

**FPGA를 이용한 한국형 고속전철 불연속 정보 수신보드
개발에 관한 연구**
**A Study On The Intermittent Message Acquisition Board
Using FPGA For KHSR**

한재문*
Han, Jae-Mun

엄정규**
Um, Jung-Kyu

김치조***
Kim, Chi-Cho

조용기***
Cho, Yong-Gee

ABSTRACT

There are two types of controller between railway and train, those are the Continuous Message Controller and the Intermittent Message Controller using for KHSR. The conventional Intermittent Message Controller board used a variable resistor for setting the phase, but the variable resistor affected some environmental facts, such as temperature, humidity, and vibration, etc.

This study suggests how to solve the environmental problem described above. Using FPGA is quite profitable. It's easy to use and maintain, flexible with the New algorithm to fix up the problem.

1. 서론

한국형 고속전철에서 사용되어지는 신호부분 차상제어장치는 연속 메시지 정보처리부와 불연속 메시지 정보처리부로 양분된다. 연속 메시지 정보처리부는 고속선 레일에 흐르는 신호를 포함한 주파수 성분의 진폭을 차상 장치에서 변복조 과정을 통하여 유용한 정보만 추출하는 방식을 사용하고 있고, 불연속 메시지 정보 처리부는 고속선상의 구조물이나 터널 등의 갑작적인 정보를 차상의 운전자에게 전달하기 위해서 각각의 정보전달의 필요성이 있는 위치에 불연속 LOOP를 설치해서 불연속 LOOP에 정보를 포함한 특정 주파수 성분이 흐르는 것을 차상에서 추출하기 위한 장치이다.

본 논문은 불연속 메시지 정보처리를 위한 보드개발에 있어 기존의 방식을 보다 단순화시키고 신뢰성을 향상 시킬 수 있도록 새로운 처리방식을 적용한 보드개발에 관한 연구에 관한 내용이다. 불연속 신호를 지상의 LOOP로부터 수신하는 안테나는 기존의 방식과 차이점이 없으나 안테나로 수신한 신호를 처리하는 과정에서 거치게 되는 필터의 방식과 필터를 통과한 신호를 처리하는 방법에서 차이점을 두어 보다 높은 신뢰성과 유지보수성을 확보하기 위해 노력 하였다. 기존의 방식이 TTL소자의 동작 특성에 의존한 신호 추출 방식이라면, 새로운 정보처리 방식은 신호과정의 패턴을 AD 변환한 후 FPGA에서 처리함으로써 보다 편리한 유지보수성과 신뢰성을 확보할 수 있다.

* LG산전(주) 연구원, 정회원** LG산전(주) 주임연구원, 정회원*** LG산전(주) 책임연구원, 정회원

2. 본 문

불연속 정보 신호는 62.5KHz 주파수를 기준으로 메시지(0 또는 1)에 따라 125KHz 캐리어 신호의 위상을 변조하여(PSK 변조) 208us 마다 1비트 즉, 4800bps 전송속도로 불연속 루프코일을 통하여 전송된다. PSK 변조 과정은 그림1에 나타내었다. 그림에서 보듯이 메시지(F2)에 따라 125KHz 신호의 위상을 180° 바꾸고 이를 62.5KHz 기준 위상과 합성하여 최종 전송 신호를 생성한다.

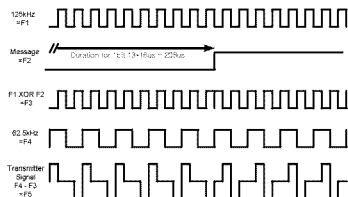


그림1. 불연속 정보 생성 원리

그림1과 같이 생성된 불연속 정보 신호는 선로상에 설치되어 있는 2개의 불연속 루프를 통하여 전송되며, 열차가 해당 루프위를 지나갈 때 열차의 선두부에 설치된 불연속 안테나가 불연속 정보를 센싱하여 불연속 수신 보드로 전송하게 된다. 그림2는 불연속 송수신 개념을 보인다.

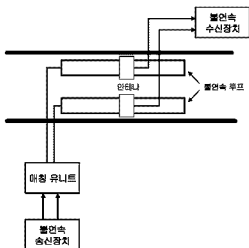


그림2. 불연속 정보 송수신 개념도

2.1. 기존 불연속 보드의 정보처리 방식

그림3의 기존 불연속 정보 수신 보드는 불연속 안테나로부터 PSK 변조 신호를 수신하여 PSK 복조를 수행하여 최종 생성한 시리얼 신호를 차상 장치로 전송하는 역할을 수행한다. 위상 천이 회로의 가변 저항으로 62.5Khz 신호의 위상 천이 정도를 결정하게 되는데, 62.5Khz 신호의 위상 천이는 불연속 정보 복조의 가장 기본적인 기준 신호가 되므로 정확한 위상 천이 조절 방법이 필요하게 되었다. 기존의 불연속 수신 장치는 위상 천이 회로를 비롯한 모든 장치가 아날로그 회로로 구성되어 있어, 특히 위상 천이 회로의 가변 저항값은 온도와 습도, 진동 등 기타 주변 상황에 의해 변동가능성이 있으므로 62.5Khz 신호의 위상 변동이 발생하여 지속적인 튜닝 및 유지 보수가 필요하였다.

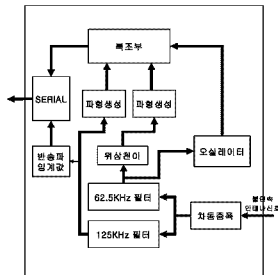


그림3. 기존 불연속 수신 보드 블록도

2.2. FPGA를 이용한 불연속 보드의 정보처리 방식

FPGA를 이용한 불연속 정보 수신 보드의 신호처리는 안테나에서 수신된 신호를 Low-Pass Filter와 High-Pass Filter를 통하여 잡음성분을 제거하게 된다. 이렇게 Filter를 통과한 신호는 125Khz와 62.5Khz의 주파수가 합성된 신호 파형을 띄게 된다. 기존의 보드에서는 이 두 신호파형을 각각의 주파수로 분리한 뒤 TTL소자의 동작특성을 이용하여 신호에 포함되어있는 불연속 메시지를 추출하게 되어 있다. 하지만 FPGA를 이용한 불연속 정보 수신 보드에서는 두개의 주파수가 합성되어있는 신호파형을 A/D변환하여 FPGA에서 처리할 수 있는 신호로 변환하게 된다. 이때 FPGA에서는 메시지 '1'과 '0'의 특징을 구분하여 지상에서 전송되어진 전체 메시지를 추출하게 된다.

그림5에서 보는 파형은 안테나를 통해서 수신된 정보를 포함한 신호 파형이다. 이 파형이 필터를 지나게 되면 그림6의 파형과 같이 잡음성분이 제거된 62.5Khz와 125Khz의 합성파형의 형태를 갖게 된다. 이 신호파형을 그림4의 A/D 변환기를 거쳐 FPGA에서 처리가 되면 그림7, 그림8과 같은 파형을 얻을 수 있는데, 그림7은 데이터 '1'을, 그림8은 데이터 '0'을 나타낸다. FPGA에서는 그림7, 그림8과 같은 파형을 바탕으로 '1'과 '0'을 구분하여 불연속 LOOP로부터 전송된 정보를 추출하게 된다.

이렇게 추출된 정보는 FPGA에서 그림4의 Serial 모듈로 전송하게 되고 Serial 모듈에서는 이 정보를 4800bps의 전송속도로 차상의 주 계이기로 전송하게 된다.

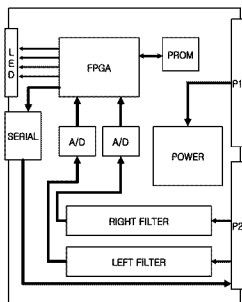


그림4. FPGA를 이용한 불연속 수신보드

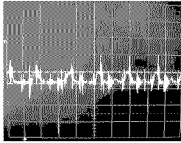


그림5. 안테나 신호파형

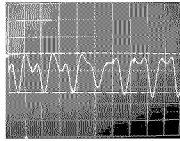


그림 6 필터링된 신호파형

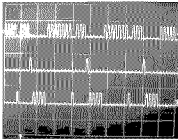


그림7. FPGA처리된 신호(1)

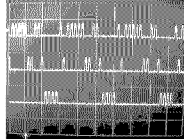


그림8. FPGA처리된 신호(2)

FPGA에서는 그림6의 신호 파형의 A/D 변환된 데이터를 패킷에 따라 데이터 '1'과 데이터 '0'으로 구분하기 위한 알고리즘이 적용되어진다. 그림9는 이러한 알고리즘을 바탕으로 구성된 VHDL코드의

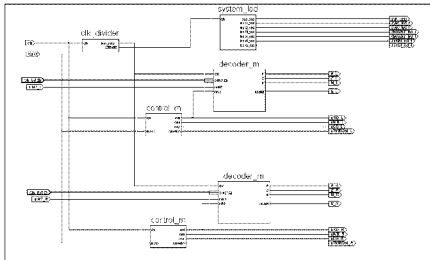


그림9. FPGA 알고리즘의 블록도

구성도이다. 각각의 모듈들은 하위에 세부 모듈들의 조합으로 구성되어 있다.

이렇게 VHDL을 이용하여 FPGA에 적용하게 되면 보드의 유지보수와 디버깅 작업에 있어서 편리함이 증대되고 기존의 보드에서의 문제점으로 지적될 수 있는 위상천이회로에 의한 작업을 없앨 수 있으므로 보다 높은 신뢰성을 획득할 수 있다.

3. 결 론

기존의 불연속 정보 수신 보드는 가변저항을 이용한 위상천이회로를 이용하여 허용 가능한 정도의 위상천이를 만족해야지만 정확한 데이터의 수신이 가능했다. 이러한 회로의 단점은 위상천이를 위해 가변저항을 이용한다는 점이다. 가변저항은 수명의 한계가 있고, 온도와 습도, 진동 등 외부 요인에 의한 시항값의 변화가 발생할 수 있는 잠재 요인이 있었다.

FPGA를 이용한 새로운 방식의 불연속 정보 수신보드의 개발은 이러한 단점을 극복하고, 유지보수 측면과 디버깅의 용이성 확보, 보다 높은 신뢰성 향상 등의 장점을 구현 했다고 할 수 있다. 현재는 불연속 정보 수신 보드에서 단순히 추출한 데이터를 주 제어기로 전송하는 수준의 동작만을 하는데, 향후 불연속 정보 수신보드 자체에서 추출한 데이터를 가공하여 주 제어기로 가공된 정보를 전송할 수 있다면, 주 제어기의 부하를 줄여 줄 수 있기 때문에 보다 효율적인 시스템을 구축할 수 있을 것으로 기대 된다.

참고문헌

1. 신년강 , “아날로그와 디지털통신”, 정문각, 1996.
2. 박계영, 홍원석, 전병복, “철도신호공학”, 동일출판사, 2001.
3. 김영권, 정연모 외, “디지털 시스템 설계를 위한 VHDL”, 홍릉과학출판사, 2001.
4. 최태영, 나상진, “신호와 시스템”, 대영사, 1998.
5. 열차제어장치 연차보고서, LG산전, 2001