

UWB OFDM 통신 시스템 용 FFT(Fast Fourier Transform) 설계에 관한 연구

박계완, 윤상훈, 정정화

A Study on the Design of FFT Architecture for Ultra-Wide Band OFDM Communication System

Kye-Wan Park, Sang-hun Yoon, Jong-Wha Chong

CAD & Communication SOC Lab
Hanyang University
E-mail : handori80@hotmail.com

Abstract

This paper proposes the architecture of UWB OFDM communication system.

More high data rate is requested in the 128-point FFT/IFFT of the UWB OFDM communication system than the conventional communication systems. So, the proposed architecture uses pipeline and parallel architecture.

For a highly efficient architecture, the optimal clipping power and the input quantization bits are found in simulation.

The hardware complexity of the proposed architecture is presented in consideration of Adder, Register and Complex Multiplier.

I. 서론

최근에, 레이더 시스템에서 사용되었던 UWB(Ultra-Wide Band) 방식이 통신 시스템에 적용되면서부터, UWB 통신 시스템에 대한 연구가 활발히 진행되고 있다.

현재 표준안으로 제시되고 있는 두 시스템의 특징을 보면, CDMA 방식(M-BOK)은 총 7GHz의 대역폭을 두 개로 나누어서 사용하고 있고, OFDM 방식은 12개의 대역폭으로 나누어서 3개의 band를 하나의 그룹으로 사용하고 있다.

본 논문에서는 두 가지 표준안 중 Multiband UWB OFDM 통신 방식에서 사용되는 IFFT/FFT 다루었다. 표준안 제안서에 제시된 특징을 만족시키는 128-Point IFFT/FFT를 설계하고 그 구조를 제시했으며 그에 따른 하드웨어 Complexity를 제시하였다.

II. FFT(Fast Fourier Transform) 알고리즘 및 구조

1. FFT (Fast Fourier Transform)

FFT 알고리즘은 크게 두 가지 방법으로 이루어진다. DIT(Decimation in Time)과 DIF(Decimation in Frequency) 방법이 있는데 DIT 방법은 시간 영역의 데이터들이 사용된 Radix에 따라 쪼개지는 반면

DIF 방법은 주파수 성분이 Radix에 따라 쪼개지게 된다. 하드웨어 구현 시 입력 데이터가 연속적(Serial)으로 들어오므로, FFT 구조는 DIF 방법을 많이 사용하고 있다. 이하 FFT 알고리즘에 대한 설명도 DIF 방법에 대해서 설명한다.

2. Radix-2 DIF(Decimation in Frequency) FFT 알고리즘 및 구조

.Radix-2 DIF FFT 구조로써 MDC(Multi-path Delay Commutator)와 SDF(Single-path Delay Feedback)의 두 가지의 구조가 사용된다.

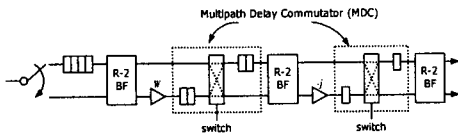


그림 2.1 8-Point Radix-2 MDC

R2MDC [3] : MDC 구조는 Pipeline 구조에서 가장 간단한 구조를 가진다. 또한, Butterfly 에 의한 연산 결과(+,-)가 동시에 나가므로, SDF 구조와 비교해 볼 때 필요한 Clock Rate가 반으로 줄어들게 된다.

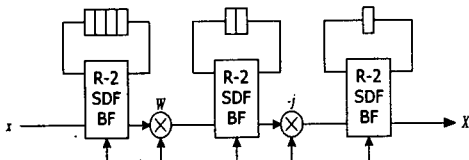


그림 2.2 8-point Radix-2 SDF

R2SDF [3]: 그림 2.2 는 8-Point Radix-2 SDF 구조를 나타낸다. SDF 구조는 Butterfly 의 (-) 연산 결과를 레지스터로 Feedback 시켜서 저장해놓기 때문에 레지스터를 보다 효과적으로 이용할 수 있다.

그러나 일정한 시간 내에서 같은 양의 데이터를 처리하기 위해 MDC 구조보다 두 배 빠른 Clock-Rate를 필요로 하게 된다.

III. 128-Point FFT MDC 구조 설계

UWB OFDM Spec. 에서 한 개의 Symbol 형태는 그림 3.1 과 같다.

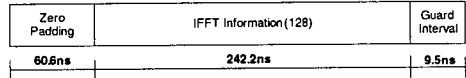


그림 3.1 UWB OFDM Symbol

한 개의 UWB OFDM Symbol 은 총 312.5ns(60.6ns + 242.2ns + 9.5ns)에 해당하므로 128-Point FFT 는 312.5ns 당 128 개의 데이터를 처리하면 된다. 이를 Hz 로 표시하면 입력은 409.6MHz 속도로 하나의 데이터가 들어오게 된다. FFT 의 하드웨어 Complexity를 생각하기 이전에 UWB OFDM용 FFT 는 그 처리 속도가 중요해지므로, SDF 구조 보다는 데이터를 병렬로 처리할 수 있는 MDC 구조가 효과적이다. 128-Point 는 Radix-4 알고리즘을 적용하기 어려운 형태이므로 Radix-2 알고리즘을 적용하고 MDC 구조를 이용하게 되면, FFT 동작 속도를 204.8MHz 로 낮출 수 있다. 여기서 R2MDC 를 두 개를 겹쳐놓은 형태로 Parallel Pipeline 구조로 잡으면 동작 속도를 102.4MHz 까지 낮출 수 있다. 그림 3.2 는 102.4MHz 128-Point FFT Parallel Pipeline MDC 구조를 나타낸 것이다.

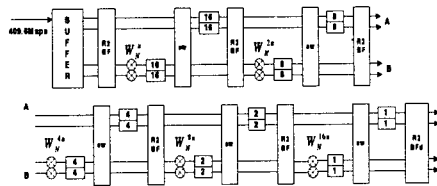


그림 3.2 128-Point FFT Parallel Pipeline MDC 구조

그림 3.2 와 같이 구조를 잡으면 Buffer 이후에는 4 개의 입력 데이터를 동시에 처리하므로, 필요 Clock 을 102.4MHz 로 동작 가능하게 된다.

R2BF : R2BF (Radix-2 Butterfly) 구조는 그림 3.3 과 같다.

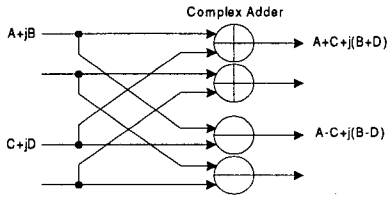


그림 3.3 Radix-2 Butterfly

R2BF 에는 Complex Adder 가 4 개가 들어가게 된다. FFT 는 실수(Real) 성분과 허수(Imaginary) 성분이 동시에 처리되므로, 총 8 개의 Adder 가 필요하게 된다. Parallel 한 구조이므로 입력은 $x[2n]$, $x[2n+1]$, $x[2n+N/2]$, $x[2n+N/2+1]$ 성분이 입력으로 들어가게 된다.

R2BFd : 마지막 단의 R2BFd 는 R2BF 와는 다른 구조를 가지게 된다. Parallel 하게 구현하다 보면 128-Point 는 4 의 n 승으로 떨어지지 않기 때문에 마지막에서는 R2BF 를 동시에 두 단을 처리해야 한다.

2 단을 한꺼번에 처리하는 데는 2 단의 Adder 가 필요하게 되어 이 곳에서 Critical-Path 가 발생 하게 된다. 여기서 102.4MHz 로 동작하기 위해서는 Critical-Path 가 9.8ns 내에 R2BF 와 Complex Multiplier 의 연산이 이루어져야 한다. 이를 위해서 위의 Path 를 필요한 속도를 얻을 때까지 분할하여 Pipeline 구조로 바꾸어야 한다.

구조 변경이 필요할 경우, Complex Multiplier 의 연산 양이 제일 많기 때문에 R2BF 와 Complex Multiplier 를 분리해야 한다. 이 경우 R2BF 후 레지스터를 넣어서 구현할 수 있다.

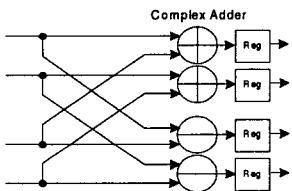


그림 3.4 Critical-Path를 고려한 R2BF 구조

또 다른 구조 변경으로는 Complex Multiplier 의 구조를 변경할 수 있다. Complex Multiplier 의 경우

4개의 Multiplier 와 2개의 Adder 로 구성되어 있다. 이 경우, Multiplier 와 Adder 를 2단으로 분리할 수 있다. 또한 그림 3.5 에서 보듯이 Complex Multiplier 이 후 레지스터가 있으므로 이 레지스터 중 하나를 Multiplier 와 Adder 사이에 넣음으로써 Critical-Path 를 단축시킬 수 있다.

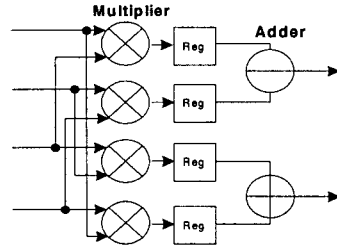


그림 3.5 Critical Path 를 고려한 Complex Multiplier 의 구조

Twiddle Factor : Twiddle Factor 는 그림 3.6 과 같은 방법으로 결정한다. 그림에서 해당되는 샘플을 얻은 후에 이를 Fixed-Point 화 하여 롬 테이블(ROM-Table)로 구현하게 된다. 그림 3.7 에서 가로축은 Sine, Cosine 값을 롬 테이블로 구현 시 Address 를 나타낸다.

$$W_N^k = e^{-j\frac{2\pi k}{N}} = \cos\left(-\frac{2\pi k}{N}\right) + j\sin\left(-\frac{2\pi k}{N}\right)$$

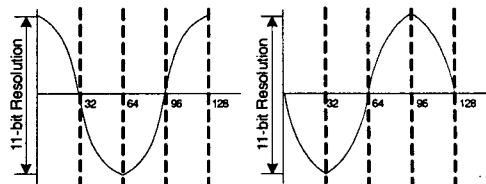


그림 3.6 128-Point Twiddle-Factor

그림 3.7은 Critical-Path를 고려해 위의 두 방법을 다 이용하여 설계된 구조이다. BF 후 진한 부분은 레지스터가 포함된 부분이다.



그림 3.7 Critical-Path를 고려한 128-Point FFT MDC 구조

IV. 하드웨어 Complexity 와 시뮬레이션

설계된 구조에 대해서 3-10 db clipping, AD 3-7bit, 0-17db SNR 에 대한 시뮬레이션을 통해 9db clipping 과 5bit 의 입력을 가질 때 가장 효율적인 성능을 나타내는 것을 알 수 있었다.

설계된 구조에 대해서 아래 표에서는 Complex Multiplier, Register 와 Adder 수에 대한 Complexity 를 나타내었다. 이 때, FFT 는 102.4MHz 의 Clock Rate 를 가진다.

	128-Point FFT MDC
1-Bit Register	1444
1-Bit Full-Adder	464
Complex Multiplier	10

표 4.1 128-Point FFT 경우의 Complexity

V. 결론

본 논문은 UWB 표준안으로 제안되고 있는 Multiband UWB OFDM 통신 시스템에서 사용되는 FFT 에 대한 효율적인 구조 제시 및 설계를 다루고 128-Point FFT에 대한 하드웨어 Complexity 를 분석하였다.

또한 시뮬레이션을 통해 최적의 clipping 파워와 입력 quantization 비트 수를 찾아내어 효율적인 구조를 제안하였다.

참고 문헌

[1] Alan V. Oppenheim, Ronald W. Schaffer Discrete-Time Signal Processing, Ch.8 on The Discrete Fourier Transform, 2nd Ed. PRETICE HALL
 [2] Bernard Skalar, Digital Communication, 2nd Ed. PRENTICE HALL
 [3] Shousheng He, Mats Torkelson, " A New Approach to Pipeline FFT Processor" , Proceedings of IPPS '96, The 10th International , 15-19 April 1996, Page(s): 766-770

[4] Shousheng He, Mats Torkelson, " Designing Pipeline FFT Processor for OFDM (de) Modulation" , ISSSE 98. 1998 URSI International Symposium on 29 Sept.-2 Oct. 1998, Page(s): 257-262

[5] A.N. Skodras, " Efficient computation of the Split-radix FFT" , Radar and Signal Processing, IEE Proceedings F, Volume: 139, Feb. 1992 Page(s): 56-60

[6] MARK A. RICHARDS, " On Hardware Implementation of the Split-Radix FFT" , Acoustics, Speech, and Signal Processing, IEEE Transactions on , Volume: 36, Oct. 1988, Page(s): 1575-1581

[7] Jae-Sung Lee, " Design of New DSP Instructions and Their H/W Architecture for High-Speed FFT" , Signal Processing Systems, 2001 IEEE Workshop on 26-28 Sept. 2001 Page(s): 80-90