

# UWB system 구현을 위한 병렬 구조 비터비 복호기 설계

이 규 선, 윤 상 훈, 정 정 화  
 한양대학교 정보통신대학원

전화 : 02-2290-0558 / 핸드폰 : 010-3933-2932

## The design of parallel Viterbi decoder for UWB system

Kyu Sun Lee, Sang Hun Yoon, Jong-Wha Chong  
 Dept. of Information & Communications, Hanyang University  
 E-mail : lee93293@empal.com

### Abstract

In this paper, we propose parallel Viterbi decoders applied to UWB(Ultra Wide Band). In consideration of power dissipation and ease of design, we design the architecture, using 132MHz clock instead of 528MHz clock in Baseband. Because Deinterleaver writes and reads the transmitted data per 6Ncbps(The number of coded bits per symbol), using the difference between the number of sampling clock per symbol and the number of coded bits per symbol, we reduce performance degradation of parallel Viterbi decoders. In comparison with using 528MHz clock , the result is little difference.

### I. 서론

초고속 근거리 무선통신 기술인 UWB(Ultra Wide Band)표준안으로 제안되고 있는 방법으로는 MB-OFDM(Multi Band-Orthogonal Frequency Division Multiplexing)기술을 사용하는 방법과 DS-SS(Direct Sequence-Code Division Multiple Access)기술을 사용하는 방법이 있다. 제안되고 있는 두 가지 방법들 중 MB-OFDM 기술을 사용하는 방법이 표준으로 채택될 것으로 예상된다. MB-OFDM 기술을 사용하여 UWB system 구현을 하는데 있어 전력소비는 200mW 이하가 되어야 한다. 또한 UWB

system은 의무적으로 110Mbps와 200Mbps, 선택적으로 480Mbps의 전송속도를 만족 시켜야 하며UWB system 중 채널코딩으로 사용되는 비터비 복호기도 200Mbps 처리속도로, 선택적으로 최대 480Mbps 처리속도로 복호해야 한다.[3]

채널코딩을 복호하는 방법으로는 Register Exchange 방법과 Trace Back 방법이 있다. Register Exchange 방법은 레지스터를 사용하여 복호하는 방법으로 전력 소비가 높아지는 반면 빠른 처리속도로 복호 할 수 있고 Trace Back 방법은 메모리를 사용하여 복호하는 방법으로 전력소비가 적어지는 반면 Register Exchange 방법보다 느린 속도로 복호한다.

본 논문은 UWB system을 구현하기 위해 MB-OFDM의 제안서를 토대로 고속으로 복호하는 Register Exchange 방법을 사용하였다. Register Exchange의 단점인 전력소비를 줄이기 위해 저 전력 구조로 설계하여 고속복호와 저 전력으로 비터비 복호기를 구현하였다.[4]

### II. 병렬 구조 비터비 복호기

#### 2.1 MB-OFDM 표준안의 송신기 구조

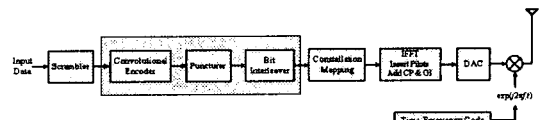


그림 1. 송신기 블록도

송신기 구조[1][2]는 위의 그림에서 스크램블러(Scrambler), 길쌈부호기(Convolution encoder), 평처리(Puncturing), 인터리버(Interleaver), 컨스탈레이션 맵핑(Constellation mapping), IFFT(Inverse Fast Fourier Transform), DAC(Digital to Analog Converter) 부분으로 구성된다.

본 논문과 직접 관련된 부분은 그림에서 위 그림에서 블록(block)으로 설정된 부분이고, 위 그림에 대한 자세한 내용은 아래에 기술 하였다.

(1) 스크램블러

스크램블러는 최대 파워 대 평균 파워 비율(Peak to Average power Ratio)를 줄이는 기능을 한다.

슈도 랜덤 바이너리 시퀀스(Pseudo random binary sequence) 발생기는 쉬프트 레지스터(Shift register)로 구성되며 다음 그림과 식으로 표현 할 수 있다.

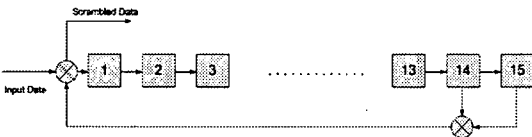


그림 2. 스크램블러

$$g(D) = 1 + D^{14} + D^{15} \quad (1)$$

D의 우측상단의 숫자는 클럭지연을 나타낸다.

PRBS를 사용하여 발생된  $x_n$ ,

$$x_n = x_{n-14} \oplus x_{n-15} \quad (2)$$

$$s_n = b_n \oplus x_n \quad (3)$$

$s_n$ 은 스크램블된 데이터이다.

(2) 길쌈부호기

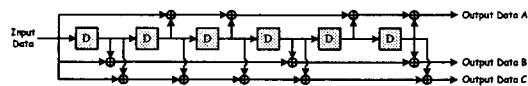


그림 3. 길쌈부호기

길쌈부호기는 실제 데이터에 러던던트(Redundant) 비트를 부과하여 채널의 잡음으로 인한 에러발생 정도를 줄이는 기능을 한다. 송신기에서는 길쌈부호기를 수신기에서는 길쌈복호기를 사용하여 데이터를 부호, 복호를 한다.

MB-OFDM에서 제안하는 길쌈 부호기의 코딩율(coding rate)은 1/3 이고 부호화 된 데이터의 다항식은  $A=[133_8]$ ,  $B=[145_8]$ ,  $C=[175_8]$ 이다. 다항식은 8진수

로 2진수로 표현하면  $A=001\ 011\ 011_2$ ,  $B=001\ 100\ 101_2$ ,  $C=001\ 111\ 101_2$ , 이다. 1이 위치한 레지스터의 Input Data의 값들을 Exclusive OR 연산을 하여 Output Data 값으로 출력한다.

(3) 평처리

평처링은 전송속도를 높이기 위해 길쌈부호기를 통해 나온 데이터 중 일정데이터를 제외하고 보내는 기능을 한다. 수신기에서는 제외된 데이터를 삽입하여 비터비 복호기를 사용하여 실제 데이터를 복원한다. 제외된 데이터를 삽입 할 때는 MB-OFDM에서는 QPSK 변조를 하므로 각 비트는 1과 0의 값을 가지고 1과 0의 중간 값 0.5를 삽입하게 된다.

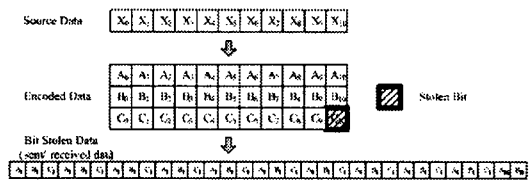


그림 4. Coding rate=11/32 일 때의 평처리

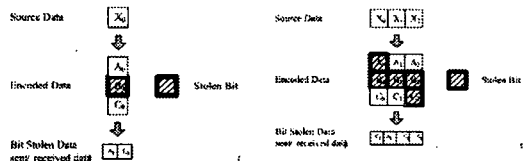


그림 5. Coding rate=1/2 와 3/4 일 때의 평처리

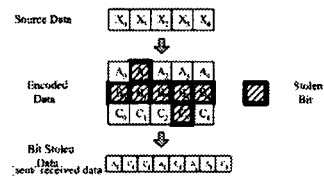


그림 6. Coding rate=5/8 일 때의 평처리

(4) 인터리버(Interleaver)

가. 심볼 인터리버(Symbol interleaver)

6개 OFDM 심볼(symbol)간에 섞어주며, 각 데이터 전송율의  $N_{CBPS}$ (The number of coded bits per OFDM symbol)에 의하여 그 크기가 결정이 된다.

그림 7 과 그림 8은 110Mbps의  $N_{CBPS}$ 는 100일 때의 예를 든 것이다.

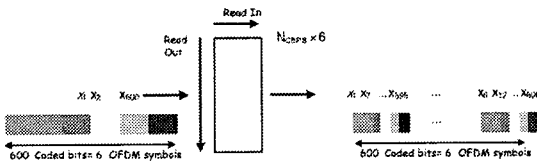


그림 7. 심볼 인터리버

나. 톤 인터리버(Tone interleaver)  
 톤 인터리버는 심볼 인터리버 다음에 1개의 심볼(symbol) 단위의 데이터를 섞어주는 역할을 한다.

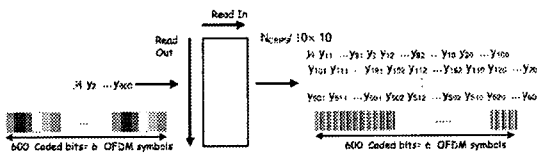


그림 8. 톤 인터리버

(5) 컨스탈레이션 맵핑(Constellation mapping) & IFFT(Inverse Fast Fourier Transform)

QPSK 변조 한 후에 165개의 샘플 값 중에 앞의 32개에는 0을 삽입하고, 그 뒤 128개에는 전송속도가 느릴 때는 QPSK 변조 후 50개의 샘플 값과 컨주게이트 시메트릭(conjugate symmetric)하게 50개를 추가 후에 100개의 샘플 값과 파일럿(pilot)들을 삽입하고, 전송속도가 빠를 때는 QPSK 변조 후 100개의 샘플 값과 데이터와 파일럿(pilot)들을 삽입하여, 128개의 샘플을 만든 뒤 5개의 0을 삽입하여 1개의 심볼을 만들어 전송한다. 또한 낮은 전송속도에서는 같은 심볼을 2번 보내고 높은 전송속도에서는 1번의 심볼만 보낸다.

2.2 병렬 구조 비터비 복호기 설계

UWB(Ultra Wide Band)는 전송속도가 빠르지만, 주파수 대역폭은 528MHz이고, 낮은 전력소비를 요한다. 그러나 실제 칩으로 구현 하였을 때 바른 동작을 하기 위해서는 528MHz 보다 낮은 clock을 사용하는 병렬구조로 설계해야한다. 528MHz의 1/4 clock 인 132MHz clock을 사용하였을 때의 병렬구조를 토대로 하여 비터비 복호시 최소 성능 저하를 고려하였고 비터비 복호기는 낮은 전력소비를 고려한 구조로 설계하였다.[3] 병렬구조 복호기를 설계하기 위해서는 1개의 심볼 당 165 clock 이 소요되며 165 clock 당 몇 개의 길쌈부호를 복호할 수 있는지를 계산하여 6개 심볼 단위로 디인터리빙하는 디인터리버(Deinterleaver)에서 6\*165 clock에서 복호 이후 여유 시간을 활용하여 병렬구조

상의 성능저하를 최소화시켜야 한다. 또한 낮은 전송속도와 높은 전송속도에서의  $N_{CBPS}$  와 심볼 스프레딩(symbol spreading)도 고려해야한다.

표 1. 시스템을 설계하기위해 필요한 매개변수들[2]

Data Rate(Mb/s)	Coding Rate(R)	Conjugate symmetric input to IFFT	Time Spreading factor	Overall Spreading Gain	$N_{CBPS}$
53.3	1/3	Yes	2	4	100
55	11/32	Yes	2	4	100
80	1/2	Yes	2	4	100
106.7	1/3	No	2	2	200
110	11/32	No	2	2	200
160	1/2	No	2	2	200
200	5/8	No	2	2	200
320	1/2	No	1 (No spreading)	1	200
400	5/8	No	1 (No spreading)	1	200
480	3/4	No	1 (No spreading)	1	200

위의 표에서 1 심볼 당 가장 적은 여유시간을 갖는 전송속도가 480Mb/s를 고려하여 설계하였다.

1 심볼에서 실제 보내려는 데이터 수는  $200 \times 3/4 = 150$  개 이고, 1 심볼의 샘플 clock 수의 165 이므로 1 심볼 당 여유시간은 15clock 이 된다. 6개의 심볼(symbol) 단위로 디인터리빙하므로 인터리빙 블록 당 여유시간은  $15 \times 6 = 90$ clock 이다. 이 수치는 528MHz로 하였을 때의 여유시간이고 528MHz의 1/4 인 132MHz clock으로 하였을 때는 22clock 이 여유시간이 된다. 132MHz의 clock을 가지고 480Mb/s의 속도로 전송한 데이터를 처리하기 위한 구조는 그림 9과 같다.

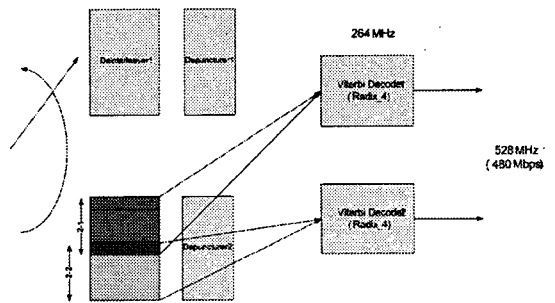


그림 9. 병렬 복호기 블록도

Deinterleaver2를 두 부분으로 나누어 동시에 각각 2개의 데이터를 읽고 1clock에 2개의 데이터를 복호하는 Radix-4 구조의 비터비 복호기 2개를 병렬로 사용하면 132MHz clock을 사용하여도 실제 528MHz clock을 사용하였을 때의 속도로 복호할 수 있다. 위의 그림에서 Deinterleaver2-1의 윗 부분의 작은 직사각형은 실제 데이터를 복호하기 위한 복호깊이(depth)의 여유 시간이고 Deinterleaver2-2의 윗 부분의 작은 직사각형도 동일하다. 그리고 비터비 복호기는 데이터를 복

호하기위해서 일정 깊이(depth)가 필요한데 Deinterleaver2-2의 윗 부분의 작은 직사각형은 Deinterleaver2-1의 마지막 데이터를 복호하기위해 여유시간을 고려하여 복호하기 위한 것이다. 이 여유 시간동안 실제 복호 할 이전의 데이터 또는 실제 복호 할 이후의 데이터를 추가하여 복호하여 병렬구조에서 성능저하를 최소한으로 하였다.

### III. 병렬 구조의 비터비 복호기 시뮬레이션(Simulation)

병렬 구조의 UWB system을 구현하기 위해 병렬 구조의 비터비 복호기와 관련 모듈과의 특성을 고려하여 최소한의 성능 저하를 위한 시뮬레이션(simulation)을 하였다.

인터리버의 첫 데이터를 복호하기 위해 필요한 복호 깊이(depth)를 head라 하고, 마지막 데이터를 복호하기 위해 필요한 복호깊이(depth)를 tail 이라 하겠다. 시뮬레이션의 목적은 22clock의 여유 시간을 최적으로 head 와 tail에 할당하는데 있다. 처음에는 head에 1 clock 여유 시간을 할당 tail에 21 clock 여유 시간을 할당하고, head에 1 clock을 증가 tail에는 1clock을 감소하는 방법으로 시뮬레이션(simulation) 하였다.

시뮬레이션(simulation) 결과로 병렬구조에서 head가 7clock tail이 15 clock의 여유 시간을 사용하면 528MHz clock을 사용하였을 때와 성능의 차이가 거의 없다.

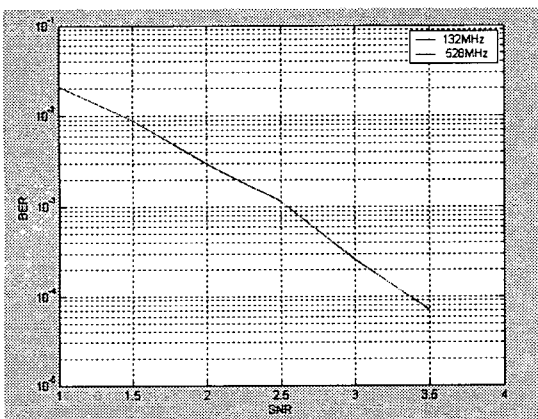


그림 10. 병렬구조의 성능평가

### IV. 병렬 구조의 비터비 복호기

UWB system을 구현하는데 있어 칩의 안정성을 고려하여 528MHz clock을 사용할 수 없고 병렬구조로

구현해야한다. 그러나 병렬구조로 구현하면 그에 따른 성능저하에 대한 것도 고려해야한다.

본 논문은 UWB system을 병렬구조로 구현할 때 1개의 심볼 당 샘플) clock 수와 복호되는 데이터 수의 차이에 착안하여 표 1과 표준안의 자료[1][2]를 토대로 병렬 구조의 복호 성능 저하가 거의 없는 최적의 여유 시간 분배 포인트를 결정하였으며 그 결과 성능저하는 거의 없음을 그림 9를 통해 알 수 있다.

본 논문은 병렬구조의 UWB system을 구현할 때 복호 시 주변 모듈과의 특성을 이용하여 설계하는데 참고자료로 활용될 수 있을 것으로 사료된다.

### 참고문헌

- [1]15-04-0122-04-003a-15-04-0122-00-003a-multi-band-ofdm-mar04-update
- [2]15-03-0268-03-003a-Multiband-OFDM-CFP-Documnt
- [3] 03030r0P802-15\_TG3a-Technical-Requirements
- [4] 송동섭, 윤상훈, 인치호 "저 전력을 소비하는 역추적 예견방식의 비터비 복호기 설계", 대한전자공학회 CAD&VLSI, 2002. 05