

무선 중계기의 적응 협대역 간섭제거기의 구현

양윤기, 김세경, 소병진

수원대학교 정보통신공학과
전화 : 031-220-2589

Implementation of the adaptive narrow band interference rejection for the wireless repeater

Yoon Gi Yang, Se Kyung Kim, Byung Jin So

Dept. of Information and Telecommunication
The University of Suwon
E-mail : ygyang@suwon.ac.kr

¹Abstract

Recently, wireless repeater with interference rejection has been considered for the next generation repeater. In this paper, adaptive interference rejection module suppressing interference in the 3G band is proposed. A novel adaptive rejection scheme is proposed and it is partially implemented by FPGA devices.

주를 이루었으나 최근 DSP 기술과 FPGA 기술의 혁신에 따라서 IF 단에서 간섭을 실시간으로 제거할 수 있는 환경이 구축되어 있다. 따라서 본 논문에서는 기존의 중계기의 간섭제거 시스템을 FPGA 로 구현하여, 저가격에서 개선된 간섭제거 성능을 얻고, 다양한 간섭환경에서 간섭을 제거할 수 있는 간섭제거 시스템의 원천 기술을 확보한다. 또한 최근에 디지털 기술로 가격 경쟁력과 제품의 유연성을 갖는 제품을 개발하는 것을 제시한다.

I. 서론

최근 최근에 주파수 자원이 고갈되면서 무선 사업자의 주파수 영역에서의 간섭을 제거하여 품질을 향상 시키는 방식의 중요성이 증대되고 있다. 사업자가 자신의 주파수 대역에서 불필요한 외부의 간섭을 제거하는 방식이 기지국 단위로 구성될 수도 있으나, 중계기에서 이를 제거하는 방식도 고려되고 있고, 많은 중계기 제작업체가 이를 차세대 중계기로서 고려하고 있다. 간섭제거 방식에서 이전에는 아날로그 방식이

II. 간섭제거 중계기

그림 1 에 기존 ICS 의 규격이 제시되어 있다. 그림에서는 4 개의 밴드 중에서 FWD_HB 의 간섭제거기만 제시되어 있고 이러한 간섭제거기가 4 개가 병렬로 연결되게 되어 있다. 그림에서 RF Unit 은 Donor 에서 입력된 - 40 dBm 의 forward band 의 신호를 30 dB 증폭하고 705MHz 의 RF oscillator 로 160 MHz 의 IF 신호를 발생시킨다. 대역폭이 10 MHz 이고 160 MHz 의 중심주파수를 가지고 있으므로 DSP 에서는 20 MHz 의 sampling 을 하게 되는데 이를 bandpass sampling 이라 한다. Service part 에서 보상필터로 feedback 된 noise 신호 (-40dBm) 은 RF unit 에서 - 10 dBm 으로 증폭되고 이를 phase

¹ 본 논문은 2003 년 정보통신부의 정보통신기초기술 연구지원사업 (정보통신연구진흥원)의 지원으로 이루어진 연구임. 2003-기초-0067

splitter 를 거쳐서 I-Q 로 분리된 후 역시 20 MHz 의 sampling 주파수로 ADC 된 후 DSP 모듈에서 적절한 간섭제거가 이루어진다.

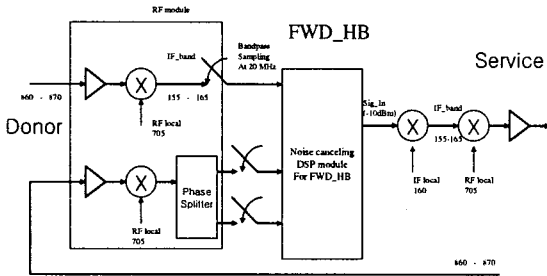


그림 1. 간섭제거 증계기

간섭제거는 샘플링된 FWD_HB 신호와 noise 신호의 time-frequency statistical information 으로 제거되는데 일반적으로 적응 필터로 구현할 수 있다. 그러나, 가장 중요한 문제는 실제 field 에서 어떠한 간섭신호가 입력 되느냐에 달려 있다. 간섭신호의 중요 특성은, 간섭신호의 세기, 간섭신호의 대역폭, time-varying property 등으로 요약될 수 있다. 이러한 신호의 통계적인 특성으로 컴퓨터로 모의시험한 결과 적응필터의 tap 수 N 등이 결정되며, 신호의 time-varying 특성을 고려하여 적절한 알고리즘 (LMS, etc) 등이 결정된다. 또한 입력신호가 고속이므로 실시간 구현상의 문제점을 고려하여야 한다.

III. 제안하는 시스템

제안하는 시스템의 하드웨어와 간섭제거 알고리즘은 밀접한 관계가 있다. 간섭제거기가 실시간으로 변화하는 간섭신호를 제거한다고 할 때, 일반적으로 알려진 적응 신호처리 기법을 사용한다고 가정하고 시스템을 제안하도록 한다. 입력신호의 대역폭이 10MHz 인 광대역 이므로 계산량이 적은 적응필터를 사용한 간섭제거기를 제안한다. T-Tap complex adaptive filter 의 계산량은 샘플당 최대 5N 정도이다. 이제 32-tap adaptive filter 를 20MHz로 동작시킨다고 하면 대략 $20M \times 5 \times 32 = 3.2$ GOPS (giga

operations per sec) 정도가 된다. 따라서, 현재까지 알려진 programmable device 로 겨우 구현이 될 정도이다. 또한 시스템의 가격도 중요한 고려요소가 되므로 알고리즘의 복잡성을 줄이는데도 세심한 고려가 있어야 한다. 제안하는 시스템은 4개의 밴드 (FWD_HB, FWD_LB, RVS_HB, RVS_LB) 에 있어 독립적으로 간섭신호를 제거하는 구조가 제시되어 있다. 다음의 그림 2 에 각각 forward channel 과 reverse channel 에 대한 간섭제거기의 블록선도가 제시되어 있다.

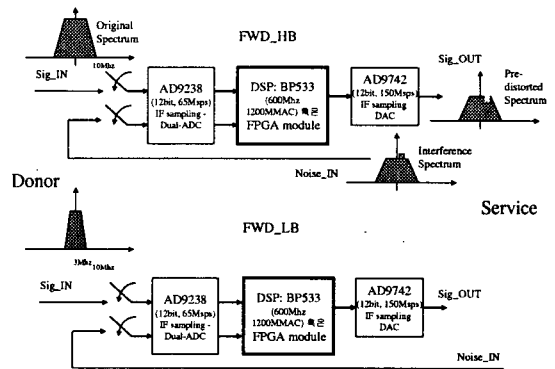


그림 2. 적응간섭제거기 모듈

4 개의 DSP 가 각각 FWD_HB, FWD_LB, RVS_HB, RVS_LB 의 간섭제거에 사용된다. 앞절의 그림들은 각각의 밴드에 간섭제거가 일어나는 과정을 도시한 것이다. 간섭제거가 이루어지는 원리는 그림 1 에서 제시된 바와 같이 송신안테나와 함께 field 에서 전파를 측정하여 수신안테나에서 신호를 검사하여 간섭신호를 추정하는 방식이다. 이러한 방식을 적응필터를 사용하여 구성하려면 그림 3 와 같은 방식이 한가지의 방식이 될 수 있다. 적응필터는 적응필터의 출력과 기준신호의 통계적인 오차의 에너지를 자동적으로 최소화 하므로 그림 4 와 같이 적응필터를 field 에서 발생된 간섭신호 $w(n)$ 을 추정하여 이를 제거한 출력을 송신안테나에 미리 보내주는 방식을 고려할 수 있다. 이때 적응필터의 입력은 각 밴드의 신호로 한다. 알고리즘을 요약하면

$$y(n) = x(n) - w(n)$$

$$\hat{w}(n) = \hat{h}(n) * x(n)$$

$$e(n) = w(n) - \hat{w}(n)$$

이 되는데 여기서 $h(n)$ 은 적응필터의 계수를 의미한다.

N 차 적응필터의 계수의 적응식은

$$h_k(n) = h_k(n) + \mu e(n)x(n-k), \quad k=0, \dots, N-1$$

와 같이 된다.

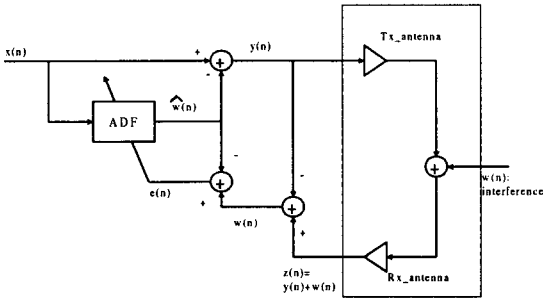


그림 3. 간섭제거용 적응필터의 구조

IV. 간섭제거 증계기

그림 4 에 모의 실험을 위한 블록선도가 제시되어 있다. 모의실험에서는 3.84 MHz 의 신호가 190MHz 의 IF 단에서 4배의 주기로 over-sampled 된 band-pass sampling 이 제시되어 있다.

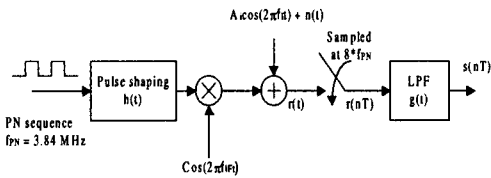


그림 4. 모의 실험 블록선도

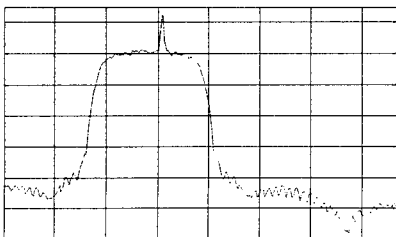


그림 5. 수신신호의 스펙트럼

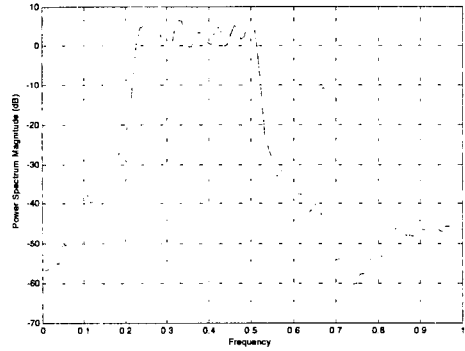


그림 6 After Cancellation

그림 5 에는 수신신호가 제시되어 있고 그림 6에는 간섭이 제거된 신호가 제시되어 있다.

V. 간섭제거 증계기의 FPGA 실험

FPGA 실험은 xilinx사의 ISE 5.1 로 코딩을 했고 시뮬레이터는 Modelsim_xe_v5.6e 를 사용했다.

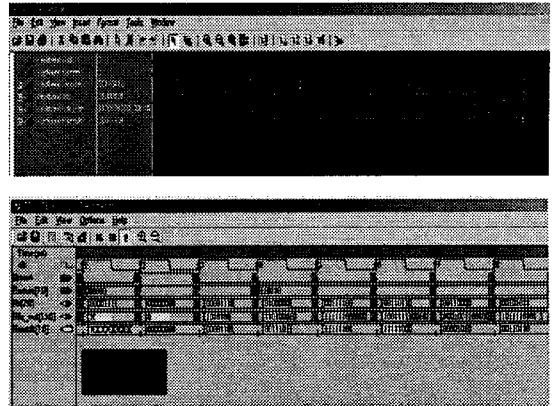


그림 8. Simulation 결과

실험 장비의 AD/DAC 확장 보드가 8bit 단위로 처리 가능하기에 입력과 출력을 8bit 로 코딩했다. 시뮬레이션 결과를 보면 입력 인가 후 4 번의 클럭 후에 잡음이 제거된 원신호를 볼 수 있다.

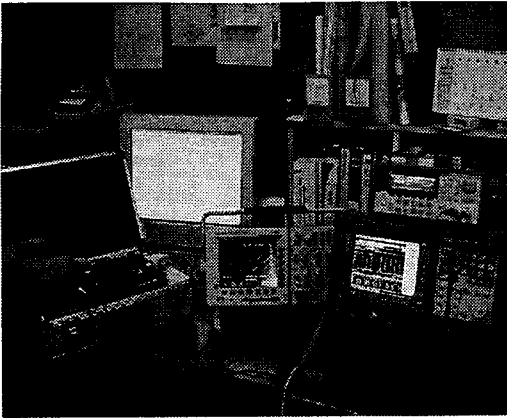


그림 9. 보드에 다운 후 결과 측정

위의 그림 9 는 Xilinx 사에서 제조한 SPATRAN 2 core 의 FPGA 칩에 해당 소스를 다운 한 후 결과를 테스트하는 것이다. 다운로드 후 함수발생기를 ADC 의 입력으로 사용해 오실로스코프와 스펙트럼 분석기로 그 결과를 측정하는 것으로 80Mhz 의 사인파를 입력으로 넣어 32 차 필터링을 통해 잡음이 완전히 제거된 결과를 볼 수 있다.

VI. 결론

본 연구에서는 FPGA 를 통한 적응 협대역 간섭제거기의 구현에 대하여 제시했다. 본 시스템은 SPATRAN-2 를 코어로 하는 시스템을 선택하였고, 32-tap adaptive filter 의 알고리즘을 사용했다.

본 연구에는 FPGA 와 Matlab 을 사용해 코딩 및 실험하였으며 이를 검증했다. 또한 소수점 이하 대의 실수를 이진코드로 변환해 주는 알고리즘을 개발하여 VHDL 코드의 필터계수를 생성하는 효율을 크게 증가시켰으며 이는 다년간의 연구결과의 축적 결과라 판단된다. 이러한 부분은 단계적으로 보강해 더욱 고차원과 복잡한 필터의 구현을 할 수 있게 하였다.

적응 협대역 간섭제거는 주파수의 자원이 고갈되는 최근 시점에 활발히 연구되어오고 있다. 본 연구에서는 장비의 한계로 인한 16bit 의 입출력의 설계는 불가능했으나, FPGA 를 통해 빠른 속도의 처리 시스템을

구현했고, 가격경쟁력과 제품의 유연성을 갖는 제품을 개발할 수 있다는 점을 보인 면에서 의의가 있다고 할 수 있다.

References

- [1] Parks, T.W. and Burrus, C.S. " Digital Filter Design" , John Wiley & Sons Inc, August, 1987
- [2] Bellanger. Maurice G " Adaptive Digital Filters (2nd)" Marcel Dekker, August, 2001
- [3] Shanbhag, Naresh R./ Parhi, Keshab K. " Pipelined Adaptive Digital Filters" , Kluwer Academic Pub, December, 1994
- [4] Scholl. Christoph " Functional Decomposition With Application to FPGA Synthesis" , Kluwer Academic Pub, November, 2001
- [5] Jenkins, Jesse H " Design With FPGAs and CPLDs" , Prentice Hall, February, 1994