High-Q 병렬분기 인덕터를 내장한 2.4 GHz SiGe VCO

이자열, 서동우, 배현철, 이상흥, 강진영, 김보우, 오승엽*

한국전자통신연구원, SiGe 팀
충남대학교*
전화 : 042-860-6363

A 2.4 GHz SiGe VCO having High-Q Parallel-Branch Inductor

J.Y Lee, S.D Suh, B.C Bae, S.H Lee, J.Y Kang, B.W.Kim, S.H Oh*

SiGe Team
Electronics and Telecommunications Research Institute
Chungnam National University*
E-mail : ljylna@ etri.re.kr

Abstract

This paper describes design and implementation of the 5.5 GHz VCO with parallel-branch inductors using 0.8μm SiGe HBT process technology. The proposed parallel-branch inductor shows 12 % improvement in quality factor in comparison with the conventional inductor. A phase noise of – 93 dBc/Hz is measured at 100 kHz offset frequency, and the harmonics in the VCO are suppressed less than – 23 dBc. The single-sided output power of the VCO is – 6.5±1.5 dBm. The manufactured VCO consumes 15.0 mA with 2.5 V supply voltage. Its chip areas are 1.8mm × 1.2mm.

I. 서론

기존의 실리콘 공정에 비해 실리콘-게르마늄 공정은 고속, 낮은 문턱전압, 저잡음의 소자를 제공하며, 또한 화합물 공정에 비해 공정단가가 저렴하다. 그래서 불과 몇 년 전부터 실리콘-게르마늄 공정을 사용한 유무선, 광통신 부품인 VCO, LNA, Mixer, PLL, preamplifier, transceiver 등 연구 및 상용 시제품이 많이 개발되어 유무선, 광통신 부품시장을 장악하고 있다[1].

실리콘 기판의 손실 때문에 실리콘 공정에서 고품질의 인덕터를 구현하기가 어렵다. 특히, 온칩(on-chip)인덕터를 사용하는 LC-tank 발진기의 위상잡음 개선정도는 인덕터의 품질(quality factor)에 많이 의존한다. 현재까지, 실리콘 인덕터의 품질을 개선하기 위해 많은 연구논문이 발표되었다[3][4]. Patrick Yue 는 인덕터의 품질을 개선하기위해 PGS(patterned Ground Shield) 인덕터 구조를 제안하였다. PGS 인덕터는 실리콘 기판에서의 손실을 근본적으로 차단하기 위해 인덕터 밑에 빗살 무늬형의 접지면을 만든 것이다. 이렇게 하면 전기장에 의한 기판에서의 손실과 인덕터에 의해서 유도된 접지면의 와류전류(eddy current)손실을 막을 수 있다[2]. 위와 같은 방법으로 인덕터의 Q-factor 가 33% 개선되었다.

최근에는 MEMS 공정을 사용해서 실리콘 집적 인덕터의 Q-factor 를 개선하였다. MEMS 공정은 실리콘 기판을 식각해서 인덕터의 근본적인 손실을 제거하는 기술이다. 참고문헌에 의하면 2.7 GHz 에서 27 이상의 고품질(high quality factor)을 얻었다[3].

지금까지 언급된 인덕터의 품질 개선방법은 다층공정을 사용하거나 특정한 모양이나 기판을 사용한 경우로, 그 것에 해당되는 마스크 및 공정이 추가된다. 따라서 공정단가가 높아지고 회로구현이 복잡해진다. 따라서 일반적으로 많이 사용되는 인덕터의 공정을 그대로 이용하면서 추가되는 공정이

없는 저가의 고품질의 인덕터 개발이 필요하다.

본 논문에서는 기존의 일반형 인덕터 공정을 그대로 이용하면서 추가되는 마스크나 공정 없이 인덕터의 품질이 개선된 병렬분기형 인덕터를 제안하였다. 본 논문에서 제시된 병렬분기 인덕터는 일반형 인덕터에 비해 품질이 12%개선되었다. 이와 같이 개발된 병렬분기 인덕터를 2.4 GHz 전압제어발진기에 사용하였다. 제작된 전압제어발진기는 4 MHz 오프셋 주파수에서 -122 dBc 의 낮은 위상잡음을 나타내었다. 또한, 제작된 전압제어발진기는 -6.5±1.5dBm 의 출력전력와 – 28 dBc 의 고조파 억압특성을 보여준다.

II. 병렬분기 인덕터 설계

Yue 가 제안한 수식에 의하면 실리콘 나선 인덕터의 Q-factor 를 열화시키는 주요한 요소는 인덕터 자체의 금속저항과 기판손실이다. 인덕터의 금속저항은 금속자체의 표피효과(skin effect)와 와류전류에 의한 손실을 나타낸다. Yue 가 제안한 나선 인덕터의 품질은 식 (1)과 같다 [2].

$$Q = \frac{\omega L_S}{R_S} \cdot \frac{R_P}{R_P + [(\omega L_S / R_S)^2 + 1] R_S} \cdot \left[1 - \frac{R_S^2 (C_S + C_P)}{L_S} - \omega^2 L_S (C_S + C_P) \right] \quad (1)$$

여기서 식 (1)에서 첫 번째 항은 금속저항에 의한 인덕터 품질의 열화를 나타내며, 두 번째 항은 기판손실, 세 번째 항이 자기공진에 의한 인덕터 품질의 열화를 나타낸다. 본 논문에서는 인덕터의 금속라인을 병렬로 분기 시킴으로써 식(1)의 첫 번째 항의 금속저항을 줄였다.

본 논문에서는 병렬분기 인덕터의 품질 개선 정도를 검증하기위해 일반형 인덕터를 제작하였다. 인덕터를 제작할 때 스펙은 표 1 에 제시된 바와 같다. 인덕터의 상.하층 금속 사이에 삽입된 유전체로 SiO2 가 사용되었다.

표 1. 제작된 인덕터의 금속과 기판 스펙

Sub.Resis [Ω-cm]	Metal	Width (μm)	Space (μm)	Thick. (μm)	Diameter (μm)
5 ~ 15	Al	10	2	1	100

그림 1 은 본 논문에서 제안한 병렬분기 인덕터의 구조를 나타낸다. 그림 1 에서 신호가 Metal 2 의 입력포트로 들어가서 비아홀(via hole)을 통해서 Metal 1 과 Metal 2 로 분기되어서 점선으로 표시된 것처럼 Metal 1 과 Metal 2 가 병렬로 연결된 모양이다. 이와 같이 신호가 입력포트에서 출력포트로 진행하면서 신호가 동일한 방향으로 병렬로 분기되었다가 다시 합쳐지고 또 다시 분기되었다가 합쳐진다. 이렇게 되면 병렬로 분기되는 부분에서는 자기인덕턴스와 상호인덕턴스가 추가적으로 발생하며 또한 금속저항이 줄어든다. 따라서 인덕터의 품질이 개선된다. 또한, 병렬로 분기된 부분의 길이를 조절함으로써 최대 인덕터 품질이 발생하는 포인트를 조정할 수 있다.

그림 2 는 일반형 인덕터와 병렬분기형 인덕터의 측정된 품질을 나타낸다. 일반형 인덕터보다 약 12 %정도 개선된 병렬분기형 인덕터의 품질을 나타낸다.

그림 3 은 위의 두 종류 인덕터의 측정된 인덕턴스를 보여준다. 주파수가 올라갈수록 병렬분기 인덕터의 인덕턴스가 상승하는 것을 알 수 있다. 이것은 추가적으로 발생하는 자기인덕턴스와 상호인덕턴스에 의한 것으로 생각된다. 표 2 는 추출된 인덕터의 금속저항을 나타내며, 병렬분기 인덕터의 금속저항이 각 각의 회전수에서 25 % 줄어들었다.

표 2. 추출된 인덕터의 금속저항

회전수 / 종류	5 Rs[Ω]	6 Rs[Ω]	7 Rs[Ω]
병렬분기	4.8	5.8	6.7
일반형	6.2	8.1	9.0

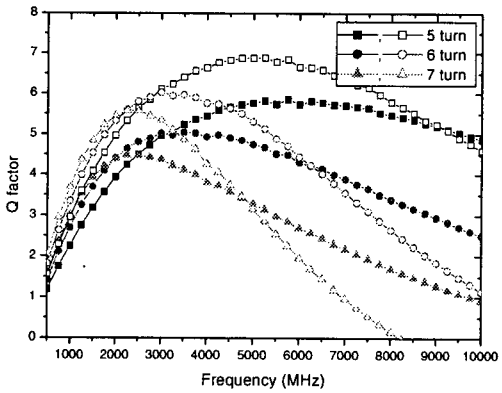

그림 2. 병렬분기(vacancy)와 일반형(solid) 인덕터의 품질(Q-factor)

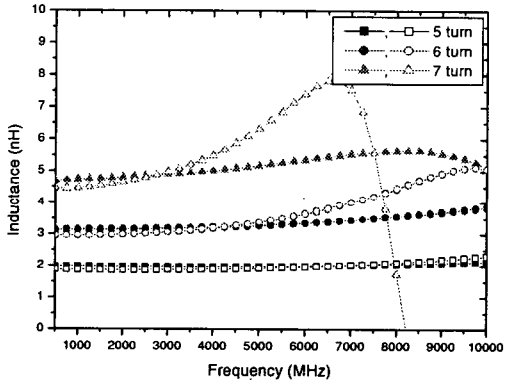

그림 3. 병렬분기(vacancy)와 일반형(solid) 인덕터의 인덕턴스

III. 저 위상잡음 VCO 설계

본 섹션에서는 VCO 의 위상잡음을 개선시키는 기존의 회로기술을 몇 가지 언급하고 본 논문에서 제작된 VCO 회로를 제시한다.

식 (2)에 나타난 것처럼 발진기의 위상잡음은 바이어스 전류에 비례한다. 따라서 본 논문의 VCO 코어회로에 두 개의 바이어스 전류소스를 사용하였다.

$$L(\omega_m) \propto \frac{1}{I_{bias}^2 R_p Q^2} \qquad (2)$$

여기서 R_p는 인덕터의 병렬저항이다.

그림 4 에 나타난 것처럼, 바이어스 전류소스의 2 차 고조파 주위의 열잡음을 제거하기 위해 커패시터를 전류소스의 컬렉터와 접지면사이에 연결해서 열잡음을 접지면으로 단락시켰다. 이와 같이 열잡음은 VCO 코어회로의 능동소자를 통해서 공진기로 침입해서 VCO 의 위상잡음 열화에 기여한다 [4].

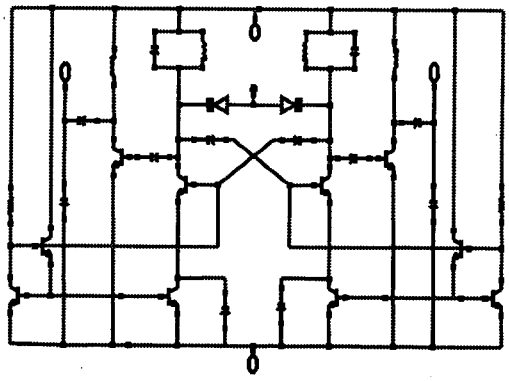

그림 4. 설계된 VCO 회로도

그림 4 의 VCO 회로는 LC-tank 공진회로와 부성저항을 발생시키는 cross-coupled HBT, 완충 증폭기로 구성된다. LC-tank 회로에는 직경 150μm, 회전수가 3 인 2.3nH 병렬분기 인덕터가 두 개 사용되었으며, 그 것의 Q-factor 는 4.5 GHz 에서 9.6 이다. 부하에 의한 VCO 코어회로에 미치는 영향을 줄이고 VCO 출력전력을 높이기 위해 common-emitter 증폭기를 완충기로 사용하였다. 설계된 VCO 는 2214 MHz ~ 2446 MHz 사이에서 동작하며, 출력전력은 -4.3±0.3dBm 을 나타낸다. 설계된 VCO 는 2V 전원전압에 15 mA 의 전류를 소모한다. 바랙터 다이오드는 HBT 를 11 개를 병렬로 연결해서 구현하였으며, HBT 의 컬렉터와 베이스의 접합 커패시턴스를 이용하였다.

IV. VCO 제작 및 측정

본 논문에서는 0.8μm SiGe HBT 공정기술을 사용해서 2.4 GHz VCO 를 설계하고 제작하였다. 제작된 VCO 는 그림 5 에 나타나있으며, VCO 의 칩 크기는 1.8mm × 1.2mm 이다.

그림 6 은 측정된 VCO 의 위상잡음을 나타낸다.

발진주파수 2230 MHz 에서 4 MHz 오프셋 주파수에서 -122 [dBc/Hz]의 위상잡음을 나타낸다.

그림 7 은 VCO 의 tuning 전압의 변화에 대한 발진주파수 및 발진전력을 보여주며, VCO 를 패키징한 전후의 데이터를 비교한 그래프이다. 패킹한 후에 발진주파수가 약 50 MHz 정도 하향 조정되었으며 출력전력은 1 dBm 향상되었다. 이것은 본딩 와이어의 인덕턴스에 의해서 발진이 낮은 주파수에서 발생한 것으로 보인다.

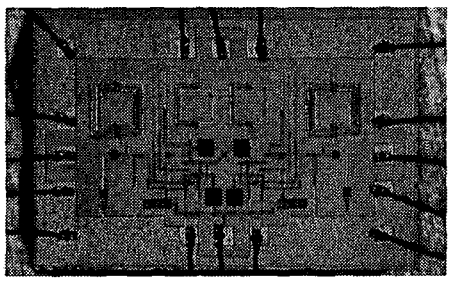

그림 5. 제작된 VCO 의 사진

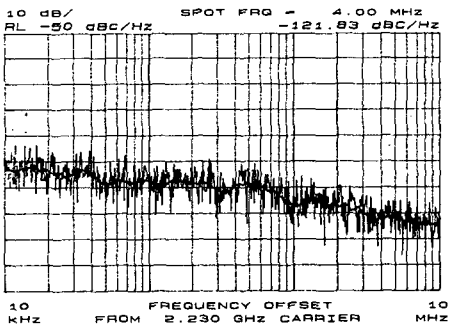

그림 6. 측정된 VCO 의 위상잡음

V. 결론

본 논문에서 실리콘 집적 인덕터의 Q-factor 를 개선하기 위해 병렬분기 인덕터를 제안하였다. 제안한 병렬분기 인덕터의 Q-factor 는 약 12% 개선되었다. 병렬분기 인덕터는 기존의 일반형 인덕터의 공정을 이용하면서 동일한 면적에서 추가되는 공정없이 Q-factor 가 개선되었다. 본 논문에서 제안한 병렬분기 인덕터를 사용해서 LC-tank 발진기를 설계하였다. 설계된 전압제어발진기는 중심주파수 2.2 GHz 에 180 MHz 의 대역폭을 나타내며 위상잡음은 4 MHz 오프셋 주파수에서 - 122 dBc/Hz 이다. 결론적으로, 본 논문에서는 저가의 고품질 인덕터를 제안하였으며 이를 VCO 에 사용해서 낮은 위상잡음을 얻었다.

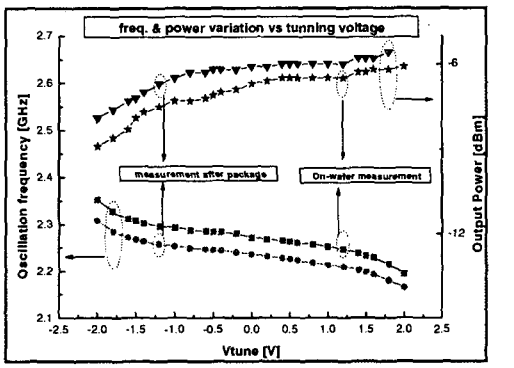

그림 7. 측정된 발진주파수 및 출력전력

References

[1] G. Dawe, et. al., " SiGe technology: Application to Wireless Digital Communic- ations" , Applied Microwave & Wireless, pp 14-24, Summer, 1994.

[2] C.Patrick Yue, et al., " On-chip Spiral Inductors with Patterned Ground Shields for Si-Based RFIC' s" , IEEE JSSC Vol. 33, no.5, pp.743-752, May. 1998

[3] E. C. Park, et al., " A 2.6 GHz Low Phase Noise VCO Monolithically Integrated with High Q MEMS indutors" , 28th ESSCIRC. September, 2002

[4] Emad Hegazi, et al., "A Filtering Technique to Lower LC Oscillator Phase Noise", IEEE JSSC, Vol.36, no.12, pp.1921-1930, December, 2001