

능동 고조파 결합을 이용한 SiGe HBT 4위상 전압제어발진기

⁰문성모⁽¹⁾, 김병성⁽²⁾, 주재홍⁽³⁾, 이문규⁽¹⁾
 서울시립대학교 전자전기컴퓨터공학부⁽¹⁾, 성균관대학교⁽²⁾, 타키오닉스⁽³⁾

A SiGe HBT Quadrature VCO using active super harmonic coupling

⁰Seong-Mo Moon⁽¹⁾, Byung-Sung Kim⁽²⁾, Jae-Hong Joo⁽³⁾ and Moon-Que Lee⁽¹⁾
 Dept. Electrical and Computer Eng., Univ. of Seoul⁽¹⁾, SungKyunkwan Univ.⁽²⁾ Tachyonics⁽³⁾

Abstract - 본 논문에서는 새로운 개념인 능동 고조파 결합을 이용한 4위상 전압제어 발진기를 설계, 제작하였다. 4위상 출력 특성을 얻기 위하여 각각의 차동 VCO의 가상 접지(Virtual Ground)면을 본 논문에서 제시된 능동 고조파 결합 회로(Active super harmonic coupling)을 이용하여 결합시키는 방법을 적용하였다. 제안된 구조는 다음과 같은 장점을 가지고 있다. 결합구조를 갖는 트랜지스터에 부가적인 전류소비를 줄일 수 있으며, layout상에서 문제되었던 대칭구조를 개선할 수 있다. 또한 기존에 발표되었던 방법인 passive transformer를 이용한 고조파 결합 보다 회로 크기를 줄일 수 있다. 측정결과 출력 전력 -12dBm, -117dBc/Hz @1-MHz 이하의 위상잡음 특성, 2.66 GHz ~ 2.91 GHz의 250 MHz 주파수 가변, 25dB 이하의 2차고조파 억압, 7 mA의 전류 소모(buffer amp. 포함되지 않음)를 가졌다.

1. 서 론

현재의 무선 통신 transceiver 구조는 저가형, 낮은 소비 전력, 회로의 소형화의 장점을 가지고 있는 direct conversion system architecture로 가는 추세이다. 위의 Zero IF를 이용하는 transceiver 구조는 image filter 나 IF bandpass filter인 SAW filter를 사용하지 않기 때문에 회로가 간단해지고, SoC (System_one_chip) solution이 가능한 장점이 있으나, image rejection mixer를 사용하기 때문에 정확한 Quadrature Local oscillation 신호를 갖는 LO가 요구된다. 따라서 direct conversion transceiver에서 사용되는 LO에서 가장 중요한 요소는 위상이 정확한 In-phase 와 Quadrature 신호이며, 현재까지도 이 부분에 대한 많은 연구가 진행되고 있다. 지금까지 연구 보고 되어진 Quadrature 신호를 얻는 방법은 다음과 같다.

- 1) 2fo 주파수에서 동작하는 차동 VCO를 설계한 후 뒷단에 주파수 분배기(Divider)를 사용하는 방법
- 2) VCO 뒷단에 passive RC complex filter를 이용하는 방법[1]
- 3) Coupling transistor를 이용하여 두개의 차동 VCO를 결합시켜 Quadrature 신호를 얻는 방법[2]
- 4) Transformer를 이용하여 두개의 차동 VCO에 존재하는 2차 고조파 성분을 서로 결합시키는 방법 (Super harmonic coupling)[3][4]

Quadrature 신호를 얻는 방법은 위에서 제시한 바와 같이 크게 4가지로 나눌 수 있으며, 지금까지 발표된 논문에 의하면 3), 4) 방식을 적용한 구조가 다른 구조들에 비하여 낮은 위상잡음 특성과 적은 전력소모를 갖는 것으로 알려져 있다. 또한 3), 4)의 구조에서도 위상잡음 특성이나 phase error를 개선하기 위해 변형된 방법들이 알려져 있으나 발표되어진 구조들은 서로 장단점이 있다.[5][6]

본 논문에서는 4)의 구조인 2차 고조파 성분을 결합시

키는 방법에 초점을 맞추어 설계하였다. 기존의 고조파 결합 방법에는 passive transformer를 사용하기 때문에 2 GHz 대역의 Quadrature VCO에 적용하기에는 transformer의 크기를 무시할 수 없다. 따라서 본 논문에서는 size가 큰 passive transformer 대신에 Active super harmonic coupling을 이용함으로써 2 GHz대역에서 회로의 size면에서 구현이 용이하지 않은 passive transformer를 active 회로로 대체할 수 있는 장점이 있다. 또한 Active super harmonic coupling 방식은 3)의 구조에서 나타날 수 있는 layout면에서 나타나는 phase error를 줄일 수 있다.

2. QVCO 설계

2.1 차동 전압제어발진기

차동 전압제어발진기는 현재 일반적으로 사용하고 있는 병렬 LC 공진회로와 Transistor에서 부성저항을 주는 cross coupled 방식을 적용하여 설계하였다. 사용된 소자는 2 GHz에서 3.2 nH의 인덕턴스와 6.49의 Q값을 갖는 인덕터, 바랙터 다이오드는 transistor의 base와 collector를 역 전압을 인가하여 이용하였다. 설계된 바랙터는 발진주파수 대역에서 0.6 pF 커패시턴스 값과 17의 Q값을 갖는다.

2.2 능동 구조를 갖는 고조파 결합기

본 논문에서 제안한 능동 구조를 갖는 고조파 결합기는 그림에서 보인 cross couple을 이용한 구조이다. active super harmonic coupling 구조는 그림에서 알 수 있듯이 두개의 transistor를 서로 coupling 시키면 각각의 collector node에서 서로 180도 위상 차이를 갖게 된다(그림 1).

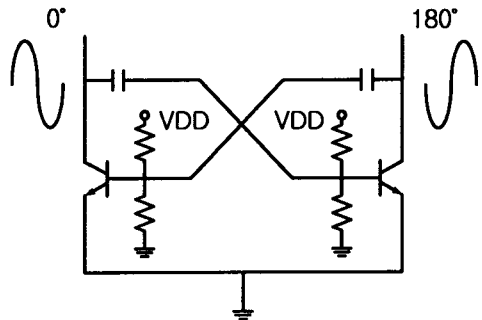


그림 1 능동 구조를 갖는 고조파 결합기

따라서 제시한 능동 구조를 갖는 고조파 결합기는 전 주파수 대역에서 transformer와 같은 역할을 하게 된다.

본 논문에서 제시한 QVCO는 각각의 차동 VCO에서

가상 접지(Virtual Ground)면인 노드를 위에서 제안한 능동 구조를 갖는 고조파 결합기를 이용하여 두 개의 VCO를 서로 injection locking 시키는 방법이다(그림 2). 각각의 VCO가 서로 injection locking 됨에 따라 출력에서 나오는 4개의 파형은 서로 Quadrature 신호를 갖게 된다. 제시된 구조에서 능동 결합 구조는 2개의 차동 VCO와 Cascode형태로 구성되어 추가적인 전류를 요구하지 않는다. 따라서 본 논문에서 제시한 구조는 일반적인 QVCO에 요구되었던 coupling transistor에 추가적인 전류소비를 줄일 수 있는 장점이 있다.

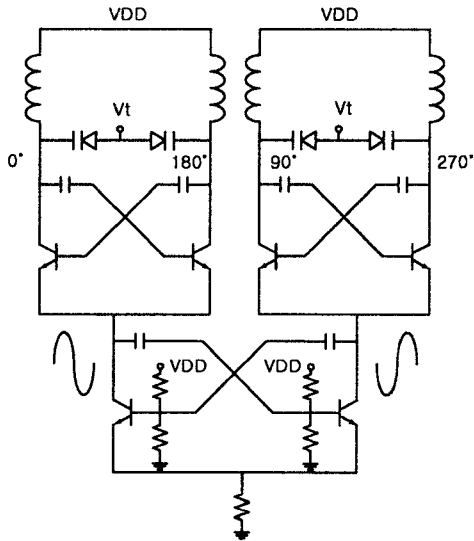


그림 2 능동 고조파 결합을 이용한 QVCO

2.3 Quadrature VCO의 설계

위에서 제시한 구조를 바탕으로 하여 Agilent Simulator인 ADS를 이용하여 Harmonic balance 와 Transient simulation을 수행하였다.

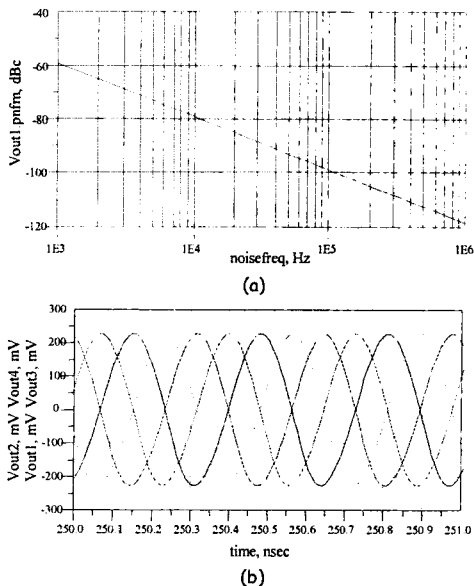


그림 3 설계한 QVCO의 Simulation 결과

Simulation 결과 control 전압이 0 V일 때 2.904 GHz에서 발진하였고, 20 dB이상의 고조파 억압특성, -118 dBc/Hz @ 1-MHz의 위상잡음 특성, control 전압을 3V까지 변화했을 때, 2.652~2.904 GHz의 250 MHz 주파수 가변 특성을 얻었다(그림 3).

바이어스 전류는 공급 전압이 3V 일 때 전체 전류는 19 mA(vco : 7 mA buffer amp. : 12 mA)를 소비하였다. Cadence의 layout 툴인 Virtuoso를 이용하여 layout하였으며, chip size는 가로 1800 × 1400 μm² 이다. 위의 설계를 토대로 국내 유일의 SiGe HBT 공정을 제공하는 Tachyonics 공정을 이용하여 제작하였다(그림 4).

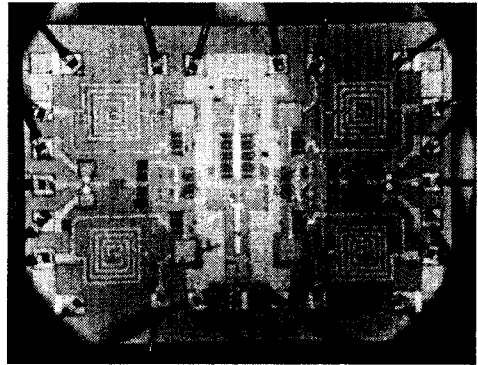


그림 4 제작된 chip (Chip size : 1.8*1.4 mm²)

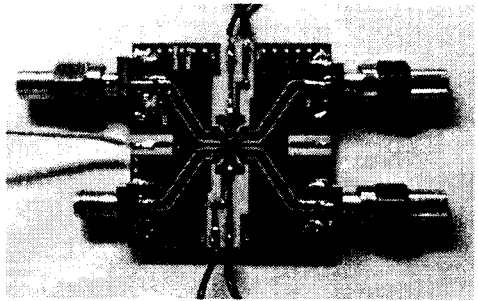


그림 5 QVCO 측정을 위한 Test board

3. 측정 결과

제작된 QVCO의 측정을 위하여 Rogers 사의 유전율 2.6 loss tangent 0.002 기판 두께 0.5t인 TMM3 기판을 이용하여 Test board를 제작하였으며, 측정기판에서 나타나는 phase error를 줄이기 위하여 측정기판에서 4개의 출력을 얻도록 대칭적인 구조로 설계하였다(그림 5). 설계된 측정 기판에 Silver paste를 이용하여 제작된 chip을 고정하였으며, 직경 1 mil인 boning wire를 이용하여 chip과 test board를 연결하였다.

측정은 Advantest 사의 R3272 spectrum analyzer를 이용하였고, 측정을 위하여 측정하고자 하는 출력의 다른 부분은 50 Ohm Termination하였다. 측정결과 바랙터의 전압이 0V일 때, 2.9GHz에서 발진하였으며 출력 전력 -12dBm, -117dBc/Hz @1-MHz 이하의 위상잡음 특성, 25dB이하의 고조파 억압특성을 얻었다(그림 6,7.). 또한 control 전압을 0~3V 가변하였을 때 2.65~2.91 GHz의 250MHz 가변 하였다, 그림 8에 control 전압에 의한 주파수가변과 출력 전력에 관한 사항을 정리하였다.

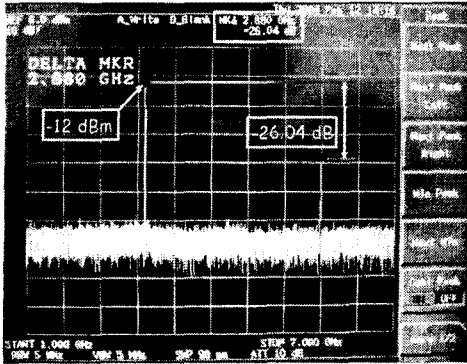


그림 6 측정된 출력 전력 및 고조파

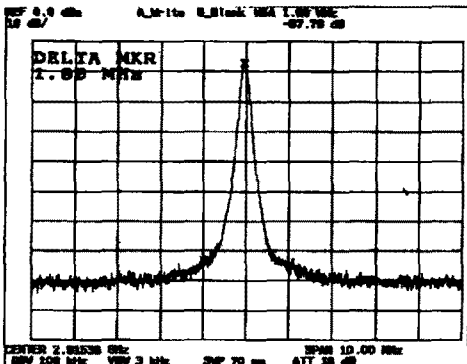


그림 7 측정된 위상잡음 특성

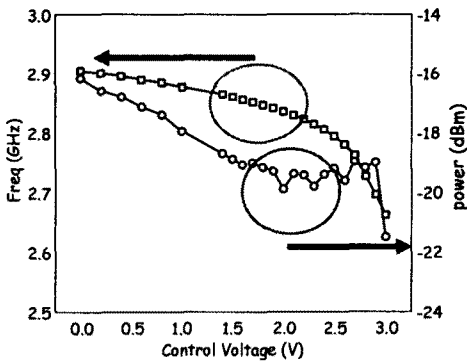


그림 8 control 전압에 따른 주파수와 출력 전력

4. 결 론

본 논문에서는 능동 구조의 고조파 결합을 이용하여 VCO 출력전압의 quadrature 특성을 구현하고, 국내의 SiGe HBT Foundry를 이용하여 제작하였다. 제안된 구조의 핵심적인 개념은 각 노드가 서로 180도 위상차이 나는 능동 결합구조를 이용하여 두개의 차동 발진기의 2차 고조파 성분을 180도 결합시켜 각각의 차동 발진기가 서로 고조파에 대해 주입 동기 (injection locking)되는 개념이다. 위의 구조는 기존의 quadrature 신호를 얻는 방법에 비하여 가상 접지면 (Virtual Ground)에서 2차 고조파 성분을 만들기 때 문에 layout면에서 기존의 발진회로보다 대칭의 구조를 얻을 수 있으며, passive transformer를 이용하는 방식에 비하여 회로의 사이즈를 줄일 수 있는 장점이 있다.

측정결과 출력 전력 -12dBm , -117dBc/Hz @1-MHz 이하의 위상잡음 특성, $2.65\text{ GHz} \sim 2.91\text{ GHz}$ 의 250 MHz 주파수 가변, 25dB 이하의 2차고조파 억압, 19 mA 의 전류 소모($v_{\text{co core}} : 7\text{ mA}$, $\text{buffer amp.} : 12\text{ mA}$)를 가졌다.

[참 고 문 헌]

- [1] J. Crols and M. Steyaert, "A fully integrated 900MHz CMOS double quadrature down converter," IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.136-137 San Francisco, CA, Feb. 1995.
- [2] A. Rofougaran et al., "A single chip 900-MHz spread spectrum wireless transceiver in 1- μm CMOS Part 1: Architecture and transmitter design," IEEE J. Solid-State Circuits, Vol. 33, pp. 515-534, Apr. 1998.
- [3] J. Cabanillas et al. "A 900 MHz low phase noise CMOS quadrature oscillator." Proc. IEEE Radio Frequency Integrated Circuits Symp., pp. 63-66, June 2002.
- [4] Sander L. J. Gierkink et al "A Low phase noise 5 GHz CMOS Quadrature VCO using Superharmonic coupling" IEEE Journal of solid state circuits, vol 38, NO.7, July 2003.
- [5] P. Vancorenland and M.S.J. Steyaert, "A 1.57GHz fully integrated very low-phase-noise quadrature VCO," IEEE J. Solid-State Circuits, Vol. 37, pp. 653-656, May 2002.
- [6] P. Andreani, "A low-phase-noise low-phase-error 1.8 GHz quadrature CMOS VCO," in IEEE Solid State Circuits Conf. Dig. Tech. Papers, San Francisco, CA, Feb. 2002, pp. 290-291.