

선형 시불변 시스템의 디지털 재설계 및 점근적 성질 해석

이호재*, 박진배*, 이연우**, 주영훈**
 * 연세대학교 전기공학과 **군산대학교 전자정보공학부

Asymptotic Property Analysis on Digital Redesign fo Linear Time-Invariant Systems

Ho Jae Lee, Jin Bae Park, Yeon Woo Lee, and Young Hoon Joo
 Yonsei University, Kunsan National University

Abstract - 본 논문은 선형 행렬 부등식 기반의 디지털 재설계 기법의 점근적 성질을 논의한다. 이를 위하여 델타 작용소를 기반한 디지털 재설계 기법을 제안한다. 샘플링 주기의 감소에 따른 재설계된 디지털 제어기의 성능회복을 증명한다.

가정 1: (A, B) 는 제어가능하다. 더욱이 $\text{rank}(B) = m$ 이다.

참고 1: 가정 $\text{rank}(B) = m$ 은 매우 자연스럽다 [18, Ch. 6.2.1].

본 논문에서 가정하는 아날로그 제어기의 형태는 다음과 같다.

$$u_c = K_c x_c \tag{2}$$

여기서 K_c 는 주어진 아날로그 제어 이득 행렬이다. 페루프 시스템은 다음과 같이 표현가능하다.

$$\dot{\bar{x}}_c = (A + B\bar{K})\bar{x}_c \tag{3}$$

식 (3)의 이산시간 모델은 다음과 같이 표현된다.

$$x_c(kT + T) = \phi x_c(kT) \tag{4}$$

여기서 $\phi = e^{(A+BK_c)T}$ 이며 $T \in \mathbb{R}_{>0}$ 는 샘플링 주기이다.

0차의 홀더와 이상적인 샘플러를 사용한 디지털 제어기를 도입한 제어 시스템은 다음과 같다.

$$\dot{\bar{x}}_d = A\bar{x}_d + B\bar{u}_d \tag{5}$$

여기서 $\bar{u}_d = u_d(kT)$ 는 시간구간 $[kT, kT + T)$, $k \in \mathbb{Z}_{\geq 0}$ 에서 상수의 제어 입력이다. 식 (5)의 이산시간 모델은 다음과 같이 표현된다.

$$x_d(kT + T) = Gx_d(kT) + Hu_d(kT) \tag{6}$$

여기서 $G = e^{AT}$, $H = \int_{kT}^{kT+T} e^{A(kT+T-\tau)} B d\tau$ 이다.

참고 2: (G, H) 의 제어가능성은 비이상적인 샘플링 주기를 선택할 경우 보존된다.

보조정리 1: $\text{rank}(B) = m$ 이라면 모든 $T \in \mathbb{R}_{\geq 0}$ 에 대하여 $\text{rank}(H) = m$ 이다.

이제 시간구간 $[kT, kT + T)$, $k \in \mathbb{Z}_{\geq 0}$ 에서 다음과 같은 재설계된 디지털 제어기를 고려하자.

1. 서 론

디지털 재설계는 샘플링 제어기 설계 기법의 하나로써 최근 각광받는 연구분야이다. 디지털 재설계는 아날로그 기존 제어설계 기법의 활용과 최근 발전한 디지털 기술을 향유하도록 하는 기법으로서 주어진 아날로그 제어기 상태 정합을 만족하도록 디지털 제어기로 변환하는 기법이다.

최근에 선형 시불변 시스템의 상태 궤환 제어기에 대하여 선형 행렬 부등식 기반 디지털 재설계 기법이 개발되었다 [1]. 이 기법의 특징은 상태 정합 조건과 재설계된 디지털 제어기의 안정화 가능성을 일관된 방식으로 고려한 것이다. 기존의 디지털 재설계 기법 [6]-[13]은 디지털 제어 시스템의 안정화 가능성을 명확하게 고려하지 않았다. 이 방법을 사용할 경우 재설계된 디지털 제어기의 안정화 가능성이 만족되지 않을 경우에는 아날로그 제어기를 교체하거나 샘플링 주기를 변화시켜야 하는 방법을 고려해야 한다.

특히 선형 행렬 부등식 기반 디지털 재설계 기법은 기존의 기법보다 넓은 샘플링 주기에 대하여 우수한 성능을 발휘할 수 있음이 입증되었다 [5],[7]-[9]. 그러나 샘플링 주기가 영으로 접근하는 경우에 재설계된 디지털 제어기의 성능은 퇴화될 수 있다. 이는 연속시간 모델과 이에 대응하는 이산시간 모델과의 연관관계에서 기인한다.

본 논문은 샘플링 주기가 영으로 접근하는 경우에 상태 정합 성능을 보장하는 디지털 재설계 기법을 제안한다. 이를 위하여 델타 작용소를 이용한 제어 시스템 표현 기법을 도입한다. 또한 본 논문에서 제안한 디지털 재설계 기법에 의하여 재설계된 디지털 제어기에 의한 제어 성능이 샘플링 주기가 영으로 접근함에 따라 아날로그 제어기에 의한 제어 성능으로 회복됨을 증명한다.

2. 본 론

2.1 아날로그 제어 시스템과 디지털 제어 시스템

다음과 같은 선형 시불변 시스템을 고려하자.

$$\dot{\bar{x}}_c = A\bar{x}_c + B\bar{u}_c \tag{1}$$

여기서 $x_c \in \mathbb{R}^n$, $u_c \in \mathbb{R}^m$, $y_c \in \mathbb{R}^p$ 이다. 첨자 'c'는 아날로그 제어를 의미한다. 첨자 'd'는 디지털 제어를 의미한다.

$$u_d(t) = K_d x_d(kT) \quad (7)$$

식 (6)과 (7)의 페루프 제어 시스템은 다음과 같이 표현된다.

$$x_d(kT + T) = (G + HK_d)x_d(kT) \quad (8)$$

2.2 디지털 재설계

본 논문의 목적은 페루프 상태 x_d 와 x_c 를 정합하는 동시에 특히 샘플링 주기 T 가 0으로 접근하는 경우에 대하여 안정화 가능성을 보장하는 디지털 제어 이득 행렬 K_d 를 구하는 것이다.

샘플링 주기 T 가 0으로 접근하는 경우에 시스템 행렬들은 $\phi \rightarrow I$, $G \rightarrow I$, $H \rightarrow [0]_{n \times m}$ 으로 접근하며 행렬 ϕ 와 $G + HK_d$ 의 고유값들은 1로 접근한다. 이는 상태 정합 문제를 수치적으로 불안정하게 만든다. 이를 해결하기 위하여 본 논문은 델타 작용소 기반 이산화 모델을 사용한다. 델타 작용소를 적용한 이산화 모델은 다음과 같이 표현된다.

$$\begin{aligned} \delta x_c(kT) &= \phi \delta x_c(kT) \\ \delta x_d(kT) &= (G_\delta + H_\delta K_d)x_d(kT) \end{aligned} \quad (9)$$

$$\text{여기서 } \phi_\delta = \frac{\phi - I}{T}, \quad \psi_\delta = \frac{\psi}{T}, \quad G_\delta = \frac{G - I}{T}, \quad H_\delta = \frac{H}{T} \text{이다.}$$

정리 1: 이산화된 시스템 (10)이 지수적으로 안정하다고 가정하자. 그렇다면 혼합 디지털 제어 시스템의 평형점 $x_{d_{eq}} = [0]_{n \times 1}$ 또한 지수적으로 안정하다.

정리 2: 다음의 문제를 만족하는 적절한 차원의 행렬 $Q = Q^T > 0$, M_d , 양의 상수 γ_1 가 존재한다면

$$\text{MP. minimize } Q, M_d, E, \gamma_1 \text{ such that}$$

$$\begin{bmatrix} -\gamma_1 Q & (\cdot)^T \\ \phi_\delta Q - G_\delta Q - H_\delta M_d & -\gamma_1 I \end{bmatrix} < 0$$

$$\begin{bmatrix} QG_\delta^T + H_\delta^T M_d^T + G_\delta Q + H_\delta M_d & (\cdot)^T \\ G_\delta Q + H_\delta M_d & -\frac{1}{T} Q \end{bmatrix} < 0$$

디지털 제어 시스템의 델타 작용소 기반 이산 시간 시스템 (10)의 상태 $x_d(kT)$ 와 아날로그 제어 시스템의 델타 작용소 기반 이산 시간 시스템 (9)의 상태 $x_c(kT)$ 는 정합 가능하며 디지털 제어 시스템은 리아푸노프의 의미에서 지수적으로 안정하다.

2.2 성능회복

본 절에서는 샘플링 주기 T 가 0으로 접근하는 경우 재설계된 디지털 제어기는 아날로그 제어기의 성능을 회복함을 증명한다.

정리 3: 디지털 제어 이득 행렬 K_d 는 샘플링 주기 T 가 영으로 접근함에 따라 유일하게 K_c 로 수렴한다.

정리 4: [디지털 재설계의 성능 회복] 시스템의 초기값을

$x_d(0) = x_c(0) = x_0$ 라 가정하고 정리 2에 의하여 디지털 제어 이득 K_d 는 정리 2에 의하여 재설계되었다고 가정하자. 샘플링 주기 T 가 영으로 접근함에 따라 재설계된 디지털 제어기는 아날로그 제어기에 의한 시스템 재적극을 회복한다.

증명: 아날로그 제어 시스템과 디지털 제어 시스템의 제적의 차이를 $e(t) = x_c(t) - x_d(t)$ 로 정의하자. 두 시스템의 평형점 $x_{eq} = [0]_{n \times 1}$ 은 모두 지수적으로 안정하므로 $\|e(t)\| \leq \epsilon$, $t \in [x, \infty)$ 이 만족되는 상수 $x = x(\epsilon) \in R_{>0}$ 가 반드시 존재한다. 또한 삼각 부등식에 의하여,

$$\begin{aligned} \|e(t)\| &\leq \|e(kT)\| + \|x_c(t) - x_c(kT)\| \\ &+ \|x_d(t) - x_d(kT)\| \text{가 성립한다.} \end{aligned}$$

구간 $[kT, kT + T)$, $k \in Z[0, \frac{x}{T}]$ 에 대하여 디지털 제어 시스템 (5)와 (7)에 의한 해는 다음과 같이 계산되며

$$\begin{aligned} x_d(t) &= x_d(kT) + (t - kT)((A + BK_d)x_d(kT) \\ &+ \int_{kT}^t A(x_d(\tau) - x_d(kT))d\tau \end{aligned}$$

Gronwall-Bellman 부등식을 사용하면

$$\begin{aligned} \|x_d(t) - x_d(kT)\| &\leq \frac{1}{\|A\|} (e^{\|A\|T} - 1) \\ &\times \|A + BK_d\| \|x_d(kT)\| \\ &\leq \frac{1}{\|A\|} (e^{\|A\|T} - 1) \|A + BK_d\| l_1 \\ &= a_1(T) \end{aligned}$$

로 유도된다.

여기서 $l_1 = \sup_{k \in Z[0, \frac{x}{T}]} \|x_d(kT)\| \in R_{\geq 0}$ 는 정리 2에 의하여 양한정 값이다. 유사하게

$$\begin{aligned} \|x_c(t) - x_c(kT)\| &\leq \frac{1}{\|A + BK_c\|} (e^{\|A + BK_c\|T} - 1) \\ &\times (\|A + BK_c\|) l_2 \\ &= a_2(T) \end{aligned}$$

이며 $l_2 = \sup_{k \in Z[0, \frac{x}{T}]} \|x_c(kT)\| \in R_{\geq 0}$ 또한 양한정이다. 따라서 함수 $a_i: R_{\geq 0} \rightarrow R_{\geq 0}$, $i=1, 2$, 는 K_∞ 함수군에 속한다. 따라서 임의의 $\epsilon \in R_{>0}$ 에 대하여 $a_1(T_1) \leq \frac{\epsilon}{3}$, $a_2(T_2) \leq \frac{\epsilon}{3}$ 이 되도록 하는 T_1, T_2 를 항상 설정할 수 있다. 이러한 관점에서 모든 $k \in [0, \lfloor \frac{x}{T} \rfloor] \subset Z_{\geq 0}$ 와 적절한 $x \in R_{>0}$ 에 대하여

$\|e(kT)\| \leq \frac{\epsilon}{3}$ 를 증명하는 것으로 위 정리의 증명은 충분하다. 다음의 부등식은 쉽게 유도되며

$$\begin{aligned} \|e(kT)\| &\leq e^{\|A\|T} (1 + T \|BK_c\|) \|e(kT - T)\| \\ &+ T e^{\|A\|T} (\|B(K_c - K_d)\| \|x_d(kT - T)\| \\ &+ \|BK_c\| a_2(T)) \end{aligned}$$

이를 풀면

$$\|e(kT)\| \leq (e^{\|A\|T}(1 + T\|BK_c\|))^k \|e(0)\| + \sum_{j=0}^{k-1} \left(\frac{1}{e^{\|A\|T(1+T\|BK_c\|)^{k-j}}} \right) \times Te^{\|A\|T} (\|B(K_c - K_d)\| l_1 + \|BK_c\| \alpha_2(T))$$

다음의 성질과

$$1/(e^{\|A\|T}(1 + T\|BK_c\|)) < 1$$

동일 초기값의 가정을 이용하면 $x_d(0) = x_c(0) = x_0$

모든 $k \in Z \left[0, \frac{1}{T} \right]$ 에 대하여 $T \rightarrow 0$ 일 때, $\|e(kT)\| \rightarrow 0$ 은 명백하다. 따라서

$$\|e(kT_3)\| \leq \frac{\epsilon}{3} \text{ 이 되도록 하는 } T_3 \in R_{>0} \text{는 항상}$$

존재한다. 결론적으로 임의의 $\epsilon \in R_{>0}$ 에 대하여 샘플링 주기 T 가 $T \leq \min\{T_1, T_2, T_3\}$ 를 만족하도록 설정한다면 모든 시간 $t \in R_{>0}$ 에 대하여 $\|e(t)\| \leq \epsilon$ 를 만족한다.

3. 결 론

본 논문은 델타 작용소 기반 디지털 재설계 기법을 제안하였다. 또한 샘플링 주기가 영으로 접근함에 따라 재설계된 디지털 제어기가 아날로그 제어기의 성능을 회복함을 입증하였다.

감사의 글 : 이 논문은 2003년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2003-041-D20212)

[참 고 문 헌]

[1] W. Chang, J. B. Park, H. J. Lee, and Y. H. Joo, "LMI approach to digital redesign of linear time-invariant systems," *IEE Proc., Control Theory Appl.*, vol. 149, no. 4, pp. 297-302, 2002.

[2] H. J. Lee, J. B. Park, and Y. H. Joo, "An efficient observer-based sampled-data control: Digital redesign approach," *IEEE Trans. Circuits Syst. I*, vol. 50, no. 12, pp. 1595-1601, 2003.

[3] H. J. Lee, H. Kim, Y. H. Joo, W. Chang, and J. B. Park, "A new intelligent digital redesign: Global approach," *IEEE Trans. Fuzzy Syst.*, vol. 12, no. 2, pp. 274-284, 2004.

[4] W. Chang, J. B. Park, and Y. H. Joo, "GA-based intelligent digital redesign of fuzzy-model-based controllers," *IEEE Trans. Fuzzy Syst.*, vol. 11, no. 1, pp. 35-44, 2003.

[5] Y. H. Joo, L. S. Shieh, and G. Chen, "Hybrid state-space fuzzy model-based controller with dual-rate sampling for digital control of chaotic systems," *IEEE Trans. Fuzzy Syst.*, vol. 7, no. 4, pp. 394-408, 1999.

[6] W. Chang, J. B. Park, Y. H. Joo, and G. Chen, "Design of sampled-data fuzzy-model-based control systems by using intelligent digital redesign," *IEEE Trans. Circuits Syst. I*, vol. 49, no. 4, pp. 509-517, 2002.

[7] J. W. Sunkel, L. S. Shieh, and J. L. Zhang, "Digital redesign of an optimal momentum management controller for the space station," *J. Guid. Control Dyn.*, vol. 14, no. 4, pp. 712-723, 1991.

[8] J. S. H. Tsai, L. S. Shieh, and J. L. Zhang, "An improvement of the

digital redesign method based on the block-pulse function approximation," *Circuits Syst. Signal Processing*, vol. 12, no. 1, pp. 37-49, 1993.

[9] B. C. Kuo, *Digital Control Systems*. NY: Holt, Rinehart and Winston, 1980.

[10] S. M. Guo, L. S. Shieh, G. Chen, and C. F. Lin, "Effective chaotic orbit tracker: A prediction-based digital redesign approach," *IEEE Trans. Circuits Syst. I*, vol. 47, no. 11, pp. 1557-1570, 2000.

[11] L. S. Shieh, W. M. Wang, and M. K. A. Panicker, "Design of PAM and PWM digital controllers for cascaded analog systems," *ISA Trans.*, vol. 37, pp. 201-213, 1998.

[12] J. Xu, G. Chen, and L. S. Shieh, "Digital redesign for controlling chaotic Chua's circuit," *IEEE Trans. Aero. Electr.*, vol. 32, no. 8, pp. 1488-1499, 1996.

[13] L. S. Shieh, Y. J. Wang, and J. W. Sunkel, "Hybrid state-space self-tuning control of uncertain linear systems," *IEE Proc. Control Theory Appl.*, vol. 140, no. 2, pp. 99-110, 1993.

[14] C. A. Rabbath, N. Hori, and N. Lechevin, "Convergence of sampled-data models in digital redesign," *IEEE Trans. Automat. Contr.*, to be published.

[15] C. P. Neuman, "Properties of the delta operator model of dynamic physical systems," *IEEE Trans. Syst., Man, Cyber.*, vol. 23, no. 1, pp. 296-301, 1993.

[16] K. R. Ralev and P. H. Bauer, "Limit cycles elimination in delta-operator systems," *IEEE Trans. Circuits Syst. I*, vol. 47, no. 5, pp. 769-772, 2000.

[17] R. H. Middleton and G. C. Goodwin, *Digital Control and Estimation: A Unified Approach*. Englewood Cliffs, NJ: Prentice-Hall, 1990.

[18] C. T. Chen, *Linear System Theory and Design*. NY: Oxford University Press, 1999.

[19] T. Chen and B. Francis, *Optimal Sampled-Data Control Systems*. Berlin, Germany: Springer-Verlag, 1995.