PCB에 있어서 수동부품 내장 기술과 적용 사례

고 영 주
(대덕전자(주))

PCB에 있어서 수동 부품 내장 기술과 그 사례
Embedded Passive Technology and a Case Study of Application for PCB

대덕전자㈜ 연구소 부장 고영주

1. 서론

1-1. PCB 기술 동향

전자산업의 급속한 디지털화, 네트워크화에 기반한 모바일화로 정보화 산업이 급성장하고 있는 가운데, 통신기기, 반도체, Package, Mobile 기기, LCD 등과 관련된 PCB 제품에서 새로운 기술을 요구하고 있다. 또한 환경문제에 대한 대응을 위한 새로운 자재/공법 등의 요구가 가속되고 있다

우선 High speed 의 신호 전송을 위하여 High performance 를 갖는 PCB 가 필요하고, 이를 위해 저유전상수(3.8 이하), 저유전손실(0.010 이하)의 원재료가 필요하고, 이들 원재료의 가공기술이 중요한 과제로 대두되고 있다. Passive 부품 수를 감소시켜 부품 및 실장에 소요되는 total cost 를 줄이고, Noise 등을 감소시키기 위해 PCB 속에 Capacitor 나 Resistor 를 내장하는 Embedded Passive 기술 역시 차세대 PCB 의 주요 과제이다.

PCB 의 impedance matching 은 이미 오래 전부터 이야기되었지만 최근에는 거의 모든 PCB 에서 impedance matching 은 필수사항이 되었고 impedance 의 요구 tolerance 는 더욱 tight 하게 되고 있다. Mobile phone 을 시작으로 적용된 Microvia 는 협 pitch 의 CSP 의 증가로 거의 모든 분야에서 그 요구가 증가되고 있다.

환경에 대한 관심이 커지며 그에 따른 규제가 생김에 따라 빠른 시일 내에 PCB 의 실장에 사용되는 solder 의 lead free 가 필수 사항이 될 가능성이 크고, PCB 역시 lead free soldering 에 대응하기 위하여 고내열성을 갖는 원자재의 적용, 또한 Finish 에 대한 새로운 요구를 목전에 두고 있다. 더 나아가서는 PCB 에 사용되는 Br, Cl 등의 halogen 계의 물질의 사용을 수 ppm 이하로 줄이는 새로운 자재의 요구가 큰 화제가 되고 있다.

1-2. Embedded Passive 기술 개요

PCB 에 수동 부품을 내장하는 기술(Embedded Passive Technology)은 꼭 새로운 기술은 아니다. 1970 년대 말, terminating resistor 를 Ni-P 계열 박막을 이용하여, 컴퓨터 용도용 고다층 PCB 에 적용된 사례가 있다. 1980 년대에는 Glass-Epoxy(FR-4) 기재의 양면에 동박 전극을 형성하여, 이 전극이 Bypass capacitor 의 역할을 하는 ZBC-2000 공법이 미국의 Zycon(현재 Sanmina 로 합병)에서 개발되어 채용되고 있고, 최근 들어 그 사용이 증가되고 있다. 이 방법은 capacitance 용량이 작은 단점을 가지고 있고, 그 특허의 합법성의 논란이 되고 있지만, 현재 가장 많이 양산에 적용되고 있는 Embedded Passive Device(이하 EPD) 기술이다.

Resistor, capacitor, inductor 등의 수동 부품을 PCB 내부에 내장하는 기술을 EPD 기술이라 하며, EPD 를 적용함에 의하여, 1)SMT space 를 줄여 PCB 의 전체 면적의 감소가 가능하고, 2)최 단거리 배선이 가능하고, 이에 따라 신호 switching 시 발생하는 noise 를 최소화할 수 있다. 3)또한 전체 부품 수의 감소에 따라 실장 신뢰성이 향상되고, solder joint 가 적어 짐에 따라 solder joint 에서 발생하는 문제를 해소할 수 있다. 그러나 이와 같은 장점에도 불구하고, ZBC-2000 이외의 EPD 의 양산은 많지 않다. 또한 ZBC-2000 도 최근의 미국 IT 경기의 회복에 딸라 그 사용량이 증가되고 있지만, 괄목할 만한 사용량의 증가는 보이지 않고 있다. 최근 많은 Set maker 는 과다한 특허료를 포함한 ZBC-2000 의 비싼 가격 때문에 ZBC-2000 보다는, 새로운 PCB 의 설계에 있어서, 단지 Ground 와 Power 간의 절연 두께를 얇게 하여 소정의 성능을 얻고 있다. 또한 ZBC-2000 의 capacitance 용량이 매우 작다는 점은 ZBC-2000 의 성장을 제한하고 있다.

그러나, 최근 PCB 에서 신호 전송 속도의 고속화에 따라, 능동 소자와 수동 소자의 배선 거리가 긴 경우 그 배선에 발생하는 inductance 가 신호 특성에 영향을 미치는 것 이 문제가 되고, 전자기기의 소형화와 동반하여, PCB 에 수동 소자를 내장하는 기술의 개발이 필수적인 과제가 되었다.

본 고에서는 EPD 의 종류 및 특성, 각 EPD 별 process 등을 기술하였고, 최근 대덕전자가 개발하고 있는 EPD 기판의 개발 현황을 소개한다. 아울러 EPD 기술 개발에 있어서의 필수 조건에 대하여 기술한다.

2. EPD 기술의 요구 동향

표 1 은 주기판(mother board)에 EPD PCB 를 채용할 시기에 대한 set maker 의 요구 사항으로 일본 ITI(Interconnect Technology Information)이 조사하여 JISSO/PROTEC Forum Japan 에서 2003 년도에

발표한 자료이다. Cellular phone, PDA, Digital video camera, Wearable product 등 소형 제품으로 표면 면적의 제약을 받는 제품의 경우 빠른 시일 내에 EPD 기술을 채용하기를 원하는 것으로 조사되었고, 또한 고속 전송이 중요한 High end server 역시 빠른 EPD 기술의 조기 채용을 희망하는 것으로 나타났다.

표 1. Mother board 에 부품 내장 PCB 의 채용 시기 (Ser maker 요구)

Products	Passive				Active		
	C	R	L	Filter	Memory	Logic	Linear
Wearable Products	2005년	2007년	2009년	2007년	없슴	없슴	없슴
Portable Audio Player	2010년	04~06년	05~06년	05~06년	05~10년	05~10년	05~10년
Cellular Phone, PDA	04~10년	04~10년	05~10년	05~10년	06~12년	06~12년	06~12년
Digital Still Camera	2007년	2007년	2007년	2007년	2012년	2012년	2012년
Digital Video Camera	2005년	2005년	2005년	2005년	2010년	2010년	2010년
Note PC	04~10년	04~10년	06~10년	05~10년	없슴	없슴	없슴
Car Navigation	2008년	2008년	2010년	2008년	2010년	2010년	2010년
Engine Automotive	2010년	06~10년	2010년	2010년	2012년	2012년	2012년
Digital TV Set	06~08년	06~08년	06~10년	06~08년	2010년	2010년	2010년
High End Server	2005년	2005년	06~10년	06~10년	2020년	2020년	없슴
Desk Top/Display	2006년	2006년	2008년	2008년	없슴	없슴	없슴

출처 : JISSO/PROTEC Forum Japan 2003 ; Interconnect Technology Information

표 2 는 역시 JISSO/PROTEC Forum Japan 2003 에서 발표된 자료로 Toshiba 가 조사한 내용이다. 표 1 의 내용은 set maker 의 장기적인 요구인 반면 표 2 는 현재 당면한 문제를 해결하기 위한 급박한 요구라 볼 수 있다. 표 1 과 표 2 를 종합하면 PCB 에 부품을 내장 하는 기술은 능동 소자 보다는 수동 소자가 우선되어야 하고, Mother board 보다 SIP 등의 module PCB 에 우선적으로 적용되리라는 것을 알 수 있다

표 2. 전자 기기 별 부품 내장의 요구 (Toshiba)

Product	Main Board	Module
휴대전화	수동부품 단, 1/3 Maker 는 없슴	RF Module, BT Module
DSC	요구는 있지만 Cost, 두께 우선	SiP Logic, SDRAM, Flash
Digital Video Camera	없슴	BT Module
Note PC	없슴	CPU, BT Module, 무선 LAN
Digital TV	없슴	Tuner 부, 무선부

출처 : JISSO/PROTEC Forum Japan 2003 ; Toshiba Corp.

3. EPD 용 재료와 특성

최근 들어 EPD 를 형성하기 위한 여러 가지 재료가 많은 재료 업체에서 개발되었고 상업화가 진행되고 있다. 표 3 은 저항(Resistor)를 형성하기 위한 대표적인 EPD 재료와 그 특성을 나타내었다. 저항 형성용 재료의 대부분은 얇은 금속 박막을 부식시키거나, 도금하여 저항체를 만드는 방식을 택하고 있고, 최근 들어 polymer thick film 이나 ceramic 계열의 물질은 coating 하는 방식도 개발이 진행되고 있다.

표 4 는 capacitor 형성용 재료와 그 특성을 나타내었다. 모든 재료는 금속판(일반적으로 구리) 사이에 유전체를 형성하여, capacitor 를 형성하고 있으며, capacitance 용량을 높이기 위하여 유전체에 특별한 filler 를 함유시키고 있다. 표 4 에서도 알 수 있듯 대부분의 고 capacitance 재료에는 비교적 저렴하면서 높은 유전 상수를 갖는 BaTiO3 를 포함하고 있다. 고주파에서 동작하기 위해서는 SRF 나 Q 값 등의 특성이 우수하여야 하고, 이를 위해서는 유전체의 유전 손실이 낮아야 하지만, 현재 개발되어 있는 대부분의 고 capacitance 유전체가 단지 capacitance 용량을 높이기 위해 유전 상수를 높이는 것에만, 개발을 집중하고 있다는 점은 지적되어야 할 사항이다.

표 3. Resistor(저항) 형성용 재료와 특성

Method	Thin Film Etching			Plate	Polymer	Ceramic
Maker	Ohmega Tech	Gould	Shipley	McDermid	Asahi	DuPont
상품명	Ohmega-Ply	TCR	InSite	M-Pass	TU-XX-08	Interra EP20X
Sheet 저항(Ω/□)	25~250	25~250	1000	25~100	0.1~1Mega	10~10K
初期精度	±15%	±15%	±15%	±10%~±15%	±10%~±20%	±5%~±10%
저항재료	NiP	NiCr/NiCrAlSi	Doped Pt	NiP	Carbon	-

표 4. Capacitor 형성용 재료와 특성

Maker	Sanmina	Gould	Oak-Mitsui	DuPont	3M	Gould	Matsu-shita	Vantico	Asahi	DuPont
상품명	BC2000	TCC	Fara-Flex	Interra	Epoxy	TPL	R5747	Problec	CX-16	Interra
유전재료	FR-4	Polyimide	Epoxy	Filled Polyimide	BaTiO3 Epoxy	BaTiO3 Epoxy	무기 Filler	BaTiO3 감광성 Epoxy	BaTiO3 Epoxy	Sintered BaTiO3
유전율	4	4	4	4~15	16	24.3	16	26~30	40~50	1500
두께(um)	25,50	25,50	10,25	8~25	8~20	4~25	50	12~50	12~40	10~20
용량 (nF/in2)	0.5~0.9	0.5~0.9	1~2	0.9~11	Max.10	5.4	1.8	10	5~20	300+

4. EPD 별 공법과 공정 Flow

본 절에서는 위에 언급한 EPD 공법 중 몇 가지 공법 개요 및 그 process flow 에 대하여 기술한다.

4-1. Embedded Resistor 공법

그림 1 은 얇은 금속 박막을 부식하여 저항을 형성하는 방법 중 하나인 TCR 공법의 공정 flow 를 나타낸다. 이 공법의 특징은 동박과 저항층(Ni-Cr)을 일반적인 염화동 에칭 방식으로 동시에 부식시킬 수 있다는데 있고, 동박만 선택적으로 에칭하고 저항층을 남기기 위해서는 통상적인 알카리 에칭액을 사용한다. 또한 oxide 처리, dry film 박리 공정에 의한 저항의 변화가 작은 장점을 가지고 있다. Ohmega-ply 공업은 TCR 공법과 유사하나, 1 차 에칭에서 동박과 저항층(Ni-P)을 별도의 에칭액으로 부식시켜야 되는 단점이 있다. InSite 공법은 저항물질로 백금을 사용하고, 저항층의 박리를 위하여는 일상적인 습식 desmear 공법을 사용한다. M-Pass 공법은 Ohmega-ply 와 마찬가지로 저항으로 Ni-P 합금을 사용하지만, 부식 공법이 아니라 필요한 부분만 선택적으로 Ni-P 합금을 도금하는 방식이다. 그림 2 는 TCR 공법을 이용하여 PCB 의 내층에 저항을 형성한 예이고, 위쪽 2 개의 그림은 signal layer 에 저항을 형성하였고, 제일 아래 그림은 ground layer 에 저항을 형성하고 있다. Asahi 화학 연구소의 TU-XX-08 은 Carbon 계열의 thick polymer 를 인쇄법을 이용하여 저항을 형성하는 방법으로 최근 Motorola 가 개발한 Mezzanine 공법 중 저항 형성에 적용하여 관심을 끌고 있다. 그림 3 은 Memory module PCB 의 array resistor 를 carbon paste 로 구현한 예이다.

문제는 이들 대부분의 저항 형성 공법이 일반적인 process 로는 +/- 15% 정도의 공차가 한계라는 점이다. 일반적인 저항 부품 수준이 +/- 10%, 또는 +/-5%나 +/-2%를 구현하기 위해서는 laser trim 이라는 특별한 공법을 도입해야 한다는 과제가 있고, PCB 용으로 개발된 laser trim 장비는 고가이고,

아직까지 생산성의 한계가 있어 양산에 적용하기 위해서는 높은 경비가 필요하다. 그림 4 는 ESI 사의 자료로, L 자 trim 방식을 이용하여 목표 저항을 구현하는 방식에 대하여 나타내었다.

그림 1. Process flow of TCR

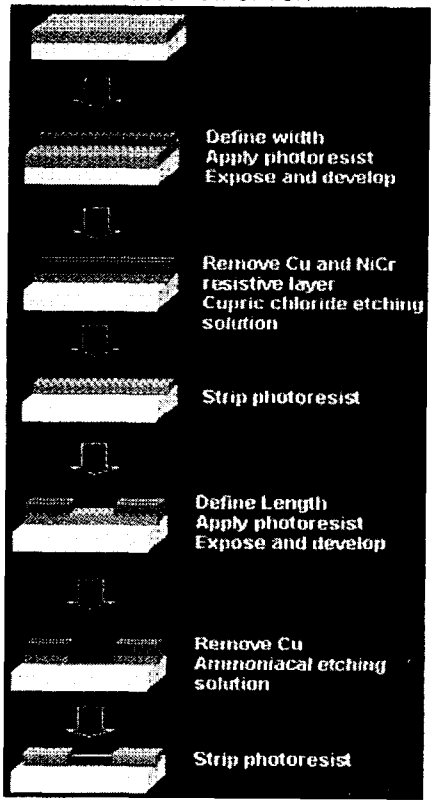


그림 2. Examples of Embedded R made by TCR

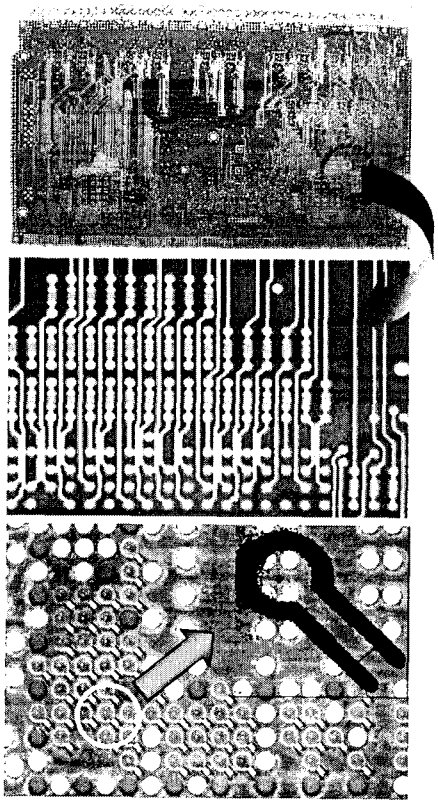


그림 3. Example of Embedded Resistor made by carbon paste(Outer Layer)

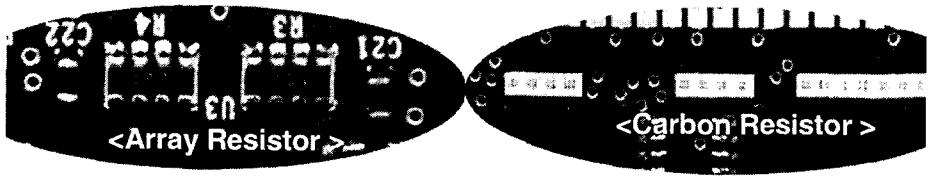
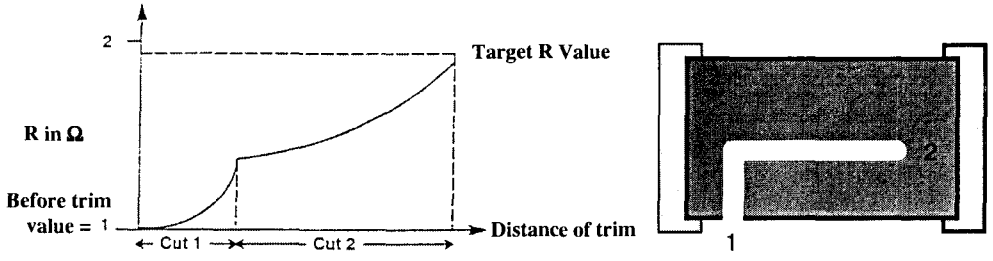


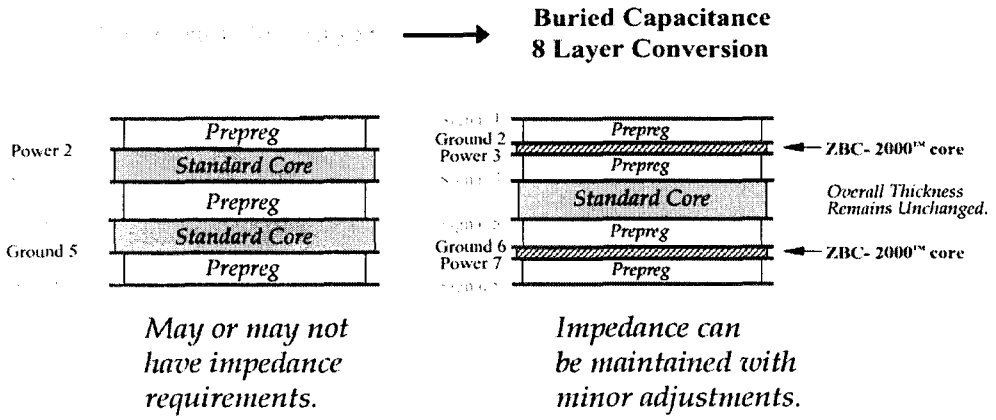
그림 4. Laser trim ("L" trim) to meet resistance tolerance



4-2. Embedded Capacitor 공법

Embedded Capacitor 중 가장 널리 상용화되고 있는 공법은 Sanmina 의 ZBC-2000 공법이다. 이 공업은 기존의 원자재를 그대로 사용하고, 단지 Ground plane 과 Power plane 을 인접하게 배치하고, 인접한 전극층(GND/Power) 사이의 유전체를 다소 얇게 하여 그 사이에서 발생하는 capacitance 를 이용하는 방식으로, 그적용 사례를 그림 5 에 나타내었다. 가장 큰 단점은 capacitance 용량이 작다는 점이나, 유전체의 두께를 더 얇게 하거나, 유전체의 유전 상수를 높게 한다면 보다 높은 capacitance 용량을 높게 할 수 있다. 이 공법은 특별한 제조 기술이 필요 없는 장점을 가지고 있으나, 특허료가 매우 고가이다.

그림 5. Schematic diagram of ZBC-2000



ZBC-2000 과 유사한 원리를 이용한 재료가 많은 재료 업체에서 상품화되고 있고, 이들 재료 중 많은 재료는 capacitance 용량을 높이기 위하여 유전 상수가 높은 filler 를 수지 속에 포함시키고 있다.

최근 Motorola 와 Huntsman(구 Vantico)가 공동 개발하여 Motorola 의 휴대 전화용 RF Module 에 적용하여 상품화에 성공하였다. Mezzanine 공업의 process flow 와 단면도를 그림 6 에 나타내었다. 이 공법의 특징은 유전 상수가 높은 (20~27) CFP(Ceramic Filled Photo-dielectric)을 capacitance 용 재료로 사용한 점이고, Carbon 계열의 PTF(Polymer Thick Film)을 이용하여 저항도 동시에 구현할 수 있다. 그림 7 은 Motorola 가 발표한 Mezzanine 공법을 이용하여 제작한 휴대 전화용 RF Module 의 사진과 layout 이다. Mezzanine 공법은 비교적 높은 capacitance 용량을 갖고 저항을 동시에 구현할 수 있지만, 공정이 복잡하고, 내층에 미세 회로를 형성하기 어려운 단점이 있다. 표 5 는 대표적인 Embedded Capacitor 공법인 ZBC-2000 과 ECURL 공법을 비교한다.

표 5. ZBC-2000 vs. Mezzanine

Contractor	Sanmina (PCB Maker)	Motorola
Capacitance	0.8pF/mm2 @50um thick.	16.8pF/mm2 (16 times) @11um thick.
Technology	Conventional Technology	1) Dielectric coating:Roller coater 2) Development : Solvent Type 3) Reliability : Need evaluation

그림 6. Process flow & cross-section of Mezzanine technology

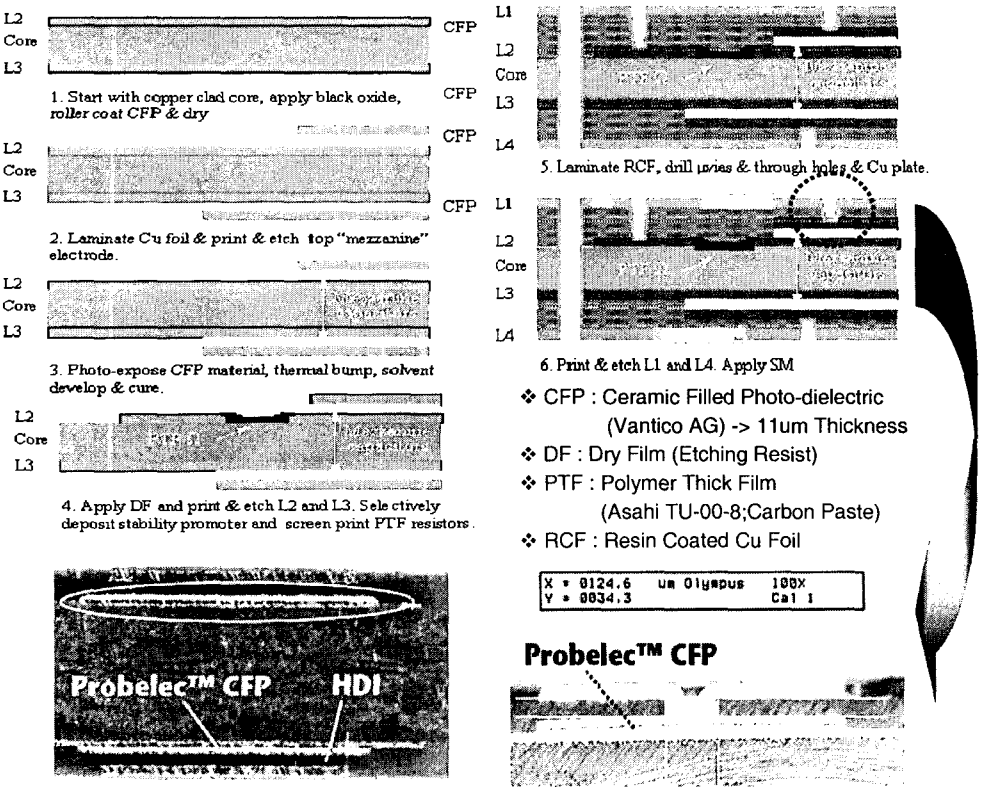
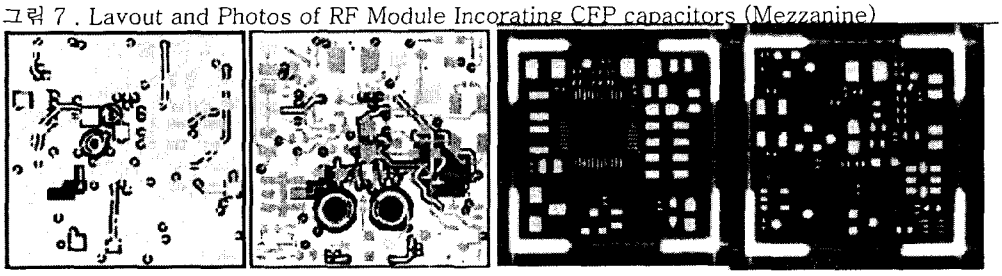


그림 7 . Lavout and Photos of RF Module Incorating CFP capacitors (Mezzanine)



5. 새로운 EPD 의 개발 필요성과 ECURL 공법 개발 현황

5-1. 개발 개요

Embedded Passive 기술은 최근 수많은 원자재 및 PCB maker 에서 주요 개발 항목으로 자리 잡고 있다. 특히 ZBC-2000 이나 Mezzanine 등의 Embedded Capacitor 는 이미 상용화되고 있으며, 그 요구가 증가하리라 예상된다. 대부분의 선진 업체들은 이들 기술을 특허화하여 새로운 기술 장벽을 만들고 있다. 이러한 기술을 선진 업체를 통하여 도입하면, 당장은 신규 EPD 시장에 조기 진입이 가능하겠

지만, 선진 업체의 기술 식민지화 될 수 있는 위험이 있다. 따라서 자사의 기술로 EPD PCB 를 개발할 필요성이 있으며, 이를 위해서는 PCB 업체와 원자재 업체, Set 업체간의 긴밀한 협조가 필요하다.

본 절에서는 이러한 요구에 대응하기 위해 개발 및 상업화를 추진 중인 ECURL 공법의 개발 현황을 소개하고자 한다. ECURL 은 Embedded Capacitor Using RCC & Laser 의 약자로, 높은 유전상수를 갖는 RCC(Resin Coated Copper Foil)를 capacitor 층으로 사용하고, Laser 를 이용하여 필요한 부분만 capacitor 를 형성하는 공법으로 2003 년 대덕전자에서 개발하여 특허 출원 중이다. 그림 8 은 ECURL 공업의 공정도와 단면 사진을 보여주고 있다. 그림 9 는 초기 개발한 ECURL 의 면적에 따른 capacitance 특성을 나타낸다. 표에서 보듯이 19um 의 유전 두께에서 약 13 pF/mm2 의 capacitance 용량을 가짐을 알 수 있고, 이는 Mezzanine 공법과 큰 차이 없는 capacitance 값이다.

그림 8. Process flow & cross-section of ECURL

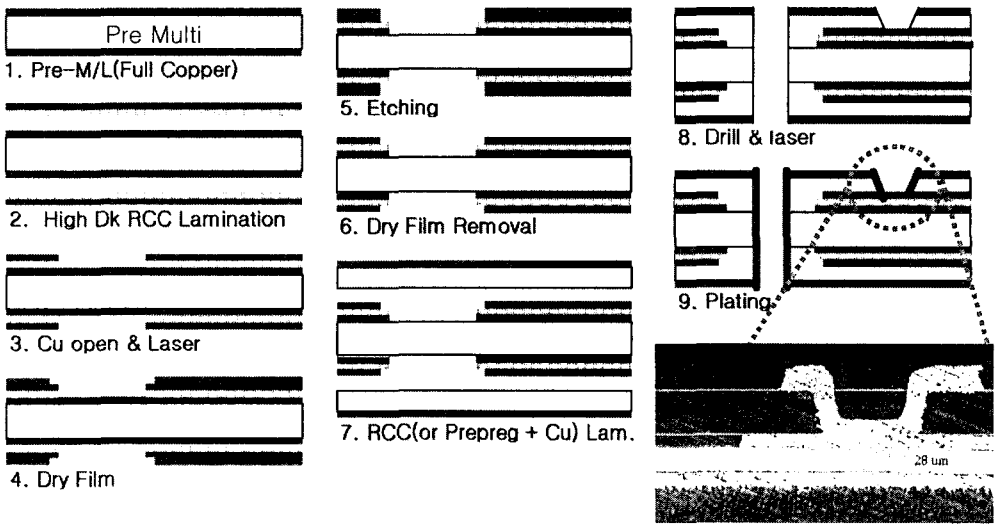
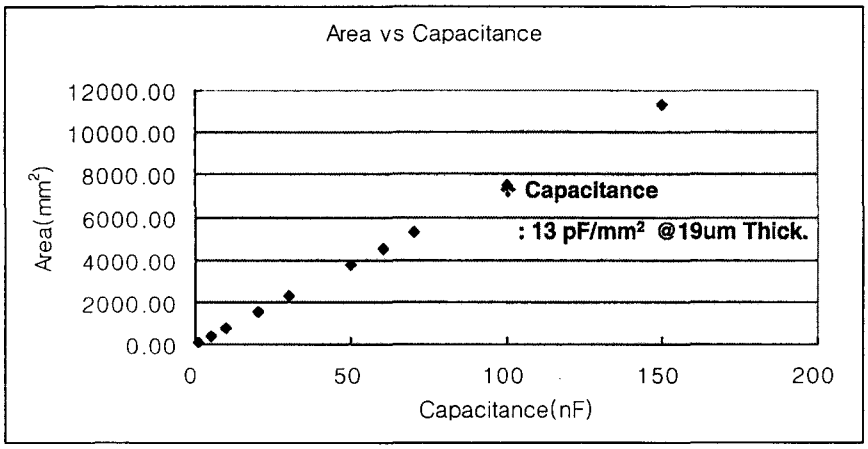


그림 9. Capacitance as a function of area (ECURL process)



5-2. ECURL 의 상품화 추진 현황

EPD 기술은 그 기술 자체가 아무리 독창적이고 뛰어난 특성을 가져도, set maker 의 검증을 거치지 않고는 상업화가 불가능하다. 휴대 전화는 더욱 많은 기능을 요구하고 있으며, 이에 따라 부품의 수 및 pin 수가 증가되고 있다. 같은 면적에 많은 기능을 실현하기 위하여 부품들이 소형화되고 있고, 회로

배선의 효율화를 위하여 더욱 복잡하고 작은 microvia 가 요구되고 있다. 휴대 전화의 핵심 부품 중 일부 부품의 경우 그 크기의 감소가 한계에 이르렀고, 이에 대한 해결 방안으로 EPD 기술을 적용한 module 기판의 요구가 대두되고 있다. 이러한 module 의 개발을 위하여 ECURL 기술을 적용하게 되었다.

새로운 상품의 적용을 위하여 ECURL 의 capacitance 를 재 확인하고, 요구 공차에 대한 점증을 실시하였다. 고주파 특성에 대응하기 위하여 capacitance 의 SRF(Self Resonant Frequency; 자기 공진 주파수)와 Q 값의 평가를 실시하였다.

이상과 같은 일련의 평가를 통하여, 실제 고객이 원하는 특성을 위하여, 개발된 ECURL 의 특성에 대하여 설명하고자 한다. 금회의 개발에 필요한 capacitance 는 1.6 pF 이고, 이 값을 0.7mm X 0.7mm 의 면적 안에 구현하면 되므로, capacitance 의 편차를 최소화 하기 위하여, ECURL 에 사용 되는 유전체의 Dk 는 13 으로, 두께는 28um 으로 하여 평균 전극 면적이 0.625mm 일 때, 1.6pF 이 되도록 유전체를 조정하였다. 이 결과 편차가 양호한 capacitance 값과 10GHz 이상의 만족스러운 SRF 를 얻을 수 있었다. 하지만 Q 값은 고객의 요구 수준(35 이상)에 미치지 못하는 28 정도의 값을 얻었다.

Q 값을 향상시키기 위해서는 signal loss 의 감소가 필요하고 이를 위하여 유전체의 Dk 및 Df 를 더욱 맞추어야 할 필요가 있다. Dk 의 경우 capacitance 값에 영향을 주고, signal loss 에 영향을 주는 정도가 작으므로, Df 의 개선이 절실히 필요하다. Df 의 개선을 위하여는 수지 자체의 개발이 필요하고, 0.03 정도인 기존의 Df 를 0.015 이하로 줄이는 개발을 원자재 업체와 co-work 을 통하여 진행 중에 있다. 그림 10 은 현재까지 개발 완료된 ECURL 의 capacitance 의 SRF 를 측정한 결과이고, 그림 11 은 Q 값을 측정한 결과이다. SRF 와 Q 값의 측정 curve 에 대한 이해를 돕기 위하여 각 그림에 일반적인 SRF 와 Q curve 를 같이 포함 시켰다.

그림 10. SRF curve of ECURL

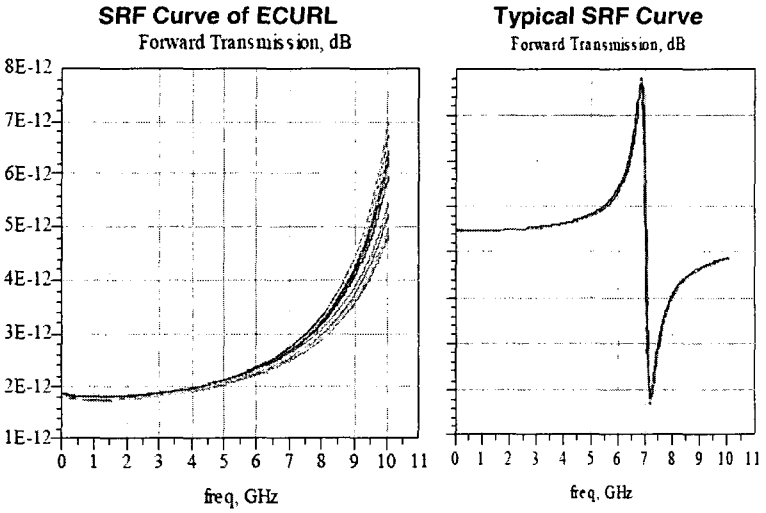
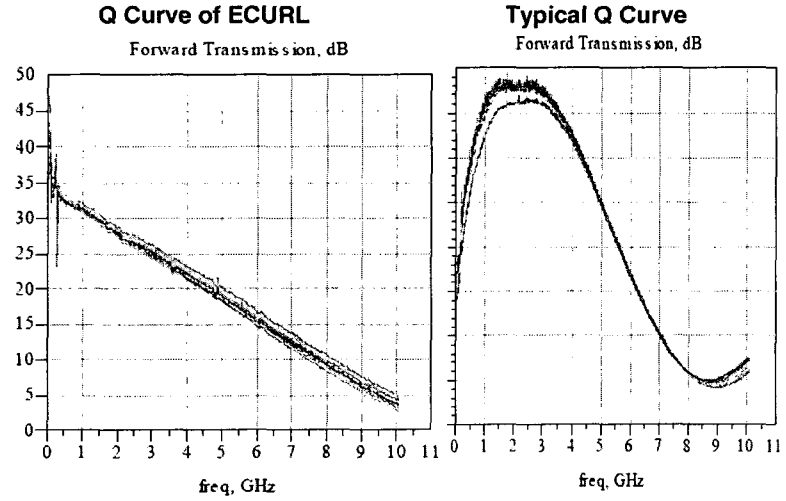


그림 11. Q curve of ECURL



6. EPD 기술 전개를 위한 향후 과제

EPD 기술은 향후 고속, 고기능 PCB 를 위한 핵심 기술이나, 이 기술의 상용화를 위하여 필요한 과제가 많이 남아 있으며, 그 대표적인 과제는

1. Cost 의 명확화
2. 설계 변경 시 단 납기 대응이 가능할 것
3. 품질이 안정적일 것
4. Passive 의 공차에 대한 현실화 (특성에 문제가 없는 한 공차의 완화)

등을 들 수 있다

EPD 기술의 전개는 PCB 업체 혼자서 성공할 수 없는 기술이며, Set/Device 업체, PCB 업체, 그리고 재료 업체간의 긴밀한 co-work 이 필요하다. EPD 기술의 개발에는 많은 장애가 있고 아래의 장애요인을 해결할 때, EPD 기술의 효과적인 상품화가 가능할 것이다.

1. 설계/Simulation Tool 의 개발: Set Maker 다사가 CAD maker 에 강력한 의뢰 필요
2. 검사 방법의 확립 : KGC(Known Good Embedded Capacitor) 확립
   저항 측정 표준화 및 측정 cost 의 감소 방안 구축
3. 재료 : 현재 미국 개발의 연장선상에서 해결할 가능성 높음
4. 제조 : 높은 특허 사용료에 대한 문제 대응
   Laser Trim 에 의한 요구치 보정이 필요 (작은 공차의 resistor)
5. 품질보증 : Module level 에서는 품질보증 가능하지만, 안정성이 문제
6. Cost : 저가로 정밀도가 높고, 범위가 넓은 chip 부품과의 경쟁에서 이길 수 있는 잠재 능력
   큰 폭의 cost down 이 없으면 시장 확대 불가능
7. 경험을 얻을 때까지 Set Maker 의 강력한 Leadership 과 PCB 업체의 제조경험 필요