

AIS용 전력 증폭기 모듈의 새로운 출력 제어 회로 설계 및 제작

한재룡^o

충남 대학교 전자 공학과

jrhan@active.cnu.ac.kr

The Novel Control Circuit Design and Implementation for an Power Amplifier Module

Han, Jae Ryong^o

ChungNam National University Radio Science & Engineering

Abstract

Through AIS(Automatic Identification System), ITU-R suggested the navigational data communication between ships and between ships and shore stations for the better safety of navigation, and it requires two different the transmitting output power level depending on its operating mode. According to ITU's recommendation, these levels should reach within 20% of its final value in 1ms. In this paper, an adequate feedback control circuit for power amplifier module is designed and implemented.

Key words : 전력 증폭기, 출력 제어회로, 폐회로, AIS

I. 서론

연안에서는 대양에서와 달리 선박이 밀집하게 되고 소형 선박이 빈번하게 왕래하게 된다. 이러한 상황에서 보통 선박에 장착된 탐색레이더에는 소형선박이 잘 나타나지 않아, 기존의 방법에 의한 관제는 악천후 시 갖은 해상사고를 발생시키게 된다. 이러한 상황에 대비한 보다 나은 관제의 필요성으로 인해 GPS등의 위성이나 다른 방법으로 선박자신이 파악하고 있는 위치와 속도 정보 및 기타 정보를 관제소에 알릴 필요가 있게 된다. 이러한 면에서 선박간 또는 선박 및 관제소간의 통신이 필요하게 되어, ITU에서는 항행정보 송수신을 위한 주파수를 할당하고, 기술적인 규격을 제정하였는데, [1],[2] 이러한 항행정보 시스템을 보통 AIS(Automatic Identification System)라 칭한다. 이를 이용하여 선박위치와 항행정보의 실시간 파악이 가능해지고, 선박자체의 충돌회피를 위한 정보가 제공되며, 연안 유조선 통항 금지구역의 감시기능이 강화되고, 인명사고 등 해상사고를 방지할 수 있다. 따라서 향후 300 ton 이상의 선박에는 모두 이 AIS를 장착하는 것을 의무화하는 국제적인 추세이다.

이러한 AIS 뿐만 아니라 기존 통신 시스템에서도 전력 증폭기의 출력을 제어하여 송수신 시, 거리에 따라 전력 증폭기 출력을 다르게 보내는 것은 중요한 시스템 사양이다. 과도한 출력은 거리가 가까운 수신 시스템

의 고장을 일으킬 수 있고, 전력의 낭비가 될 수 있으므로, 송수신 시 적당한 출력의 유지는 중요한 문제가 되어왔고, 기존에 전력 증폭기의 출력을 제어하는 회로는 많은 연구가 이루어져 왔다. [3],[4],[5],[6]

본 논문에서는 AIS의 RF 송신부 중에서 기존의 연구와 유사한 전력 증폭기의 출력 레벨을 제어할 수 있는 회로와 AIS에서 요구하는 사양을 충족시키기 위해 새로운 출력 전력 증폭기의 ON/OFF를 제어하는 회로를 제안하고, 이 회로의 설계 및 제작 과정과 측정 결과를 보였다. 특히, 기존 논문과 다르게 빠른 transmitter setting time과 송출 전력의 과도상태에서 overshoot을 최소화 하는 것이 본 논문의 초점이 되겠다.

II. 전력 증폭기 특성 및 제어회로

2-1 AIS 송신부 요구 성능과 전력 증폭기 특성

AIS는 ITU의 권고사항 1371에 따르면 VHF maritime mobile band인 156 ~ 174 MHz 주파수 대역을 사용하고, SOTDMA(Self Organized TDMA) 방식으로 통신하게 되며, 이의 기준이 되는 1 slot은 25 ms로 구성된다. 또한 이 AIS 송신부에 사용되는 출력증폭기의 송신 출력은 그 설정에 따라 low setting에서는 2 W, high setting에서는 12.5 W로 송출하게 된다. 특히 전력 증폭기의 경우 송신으로 할당된 slot에만 동작하게 되므로, 원활한 통신을 위하여, attack time 이라고도 일컬어지는 transmitter setting time은 그림 1과 같이 1ms 이내에 최종 출력 값의 20% 이내로 도달할 것과 수신기회로의 보호를 위해 최종출력의 +1.5 dB이내의 오차를 규정하고 있다.

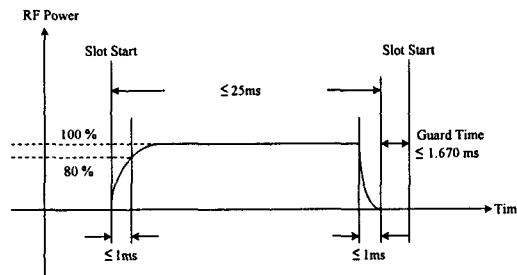


그림 1. ITU에서 권고하는 송신부의 setting time ($\leq 1\text{ms}$)

Fig. 1. Transmitter setting time recommended by ITU

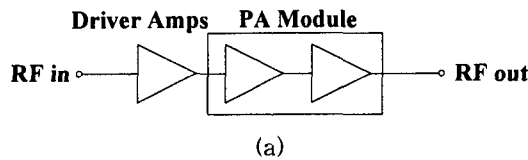


그림 2. (a) 송신 전력증폭기의 구성 (b) 송신 전력 증폭기 출력 특성

Fig. 2. (a) Transmitter amplifier block diagram

(b) Transmitter amplifier output characteristic

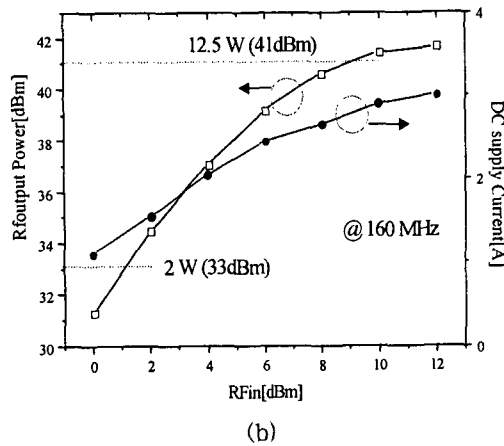


그림 2. (a) 송신 전력증폭기의 구성 (b) 송신 전력 증폭기 출력 특성
 Fig. 2. (a) Transmitter amplifier block diagram
 (b) Transmitter amplifier output characteristic

이상과 같은 요구 사항을 만족시키기 위하여 선정된 전력 증폭기의 특성은 150 ~ 175 MHz 사이 동작 주파수를 갖고, 출력은 14 W 이상이며, 효율은 40 % 이상이다. 이 선정된 전력 증폭기는 이득이 충분하지 않아서, 충분한 입력을 얻기 위해 이득이 10 dB인 구동 증폭기를 사용하여, 그림 2의 블록 다이어그램과 같이 구성하였다. 이렇게 그림 2 (a)와 같이 구성된 출력 증폭기의 총괄 출력 특성을 보기 위하여 그림 2 (a)의 RF 입력을 증가시키면서 이 때의 출력과 전류를 측정하였다. 이 결과를 그림 2(b)에 나타내었다.

그림 2 (b)에서 알 수 있듯이 160 MHz에서 12.5 W이상의 출력이 나오는 것을 알 수 있다.

2-2 전력 증폭기 출력 제어 회로구성

송신부 전력 증폭기 모듈의 제어 회로 전체 구성을 그림 3과 같이 하였다.

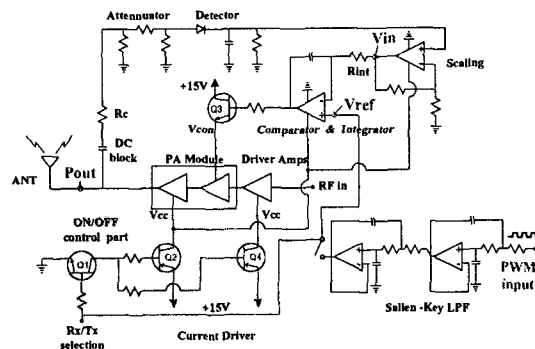


그림 3. 전력 증폭기 제어 구성도
 Fig. 3. Power amplifier control circuit

그림 3의 진한 사각형 안에 있는 부분이 전력 증폭기 모듈의 출력을 ON/OFF 하는 부분이 된다. 이와 같이 전력 증폭기 모듈의 출력을 ON/OFF 하는 부분을 두는 것은 ITU 권고에 따라 AIS에서는 SOTDMA 방식에 의한 통신을 하므로 기본적으로 전력 증폭기 모듈 출력을 ON/OFF 하는 것이 필요하게 된다. 또한 전력 증폭기 모듈을 수신 모드 시 OFF 상태로 두므로써, 송신부에 의한 수신부의 불필요한 잡음 유기를 막을 수

있게 되고, 통상적으로 전력 증폭기의 소모 전력이 전체 시스템에서 큰 부분을 차지하므로 전력 소모를 줄이기 위해서도 반드시 필요하다.

그림 3의 Digital 신호 Rx/Tx 선택은 송수신부 선택 제어 신호이며 high(5V)가 입력이 되면, transistor Q1이 활성화(ON)되어 컬렉터 전압이 0 V에 가까워지고 이는 Q2, Q4의 base 단을 활성화시키기에 충분한 전력 증폭기 모듈과 구동 증폭기의 각 전원 공급단자에 전압과 전류를 공급하게 된다. 그리하여 송신부 전력 증폭기는 stand-by 상태 즉, RF 입력이 인가될 경우 증폭할 수 있는 상태가 된다. 또한 Rx/Tx 선택에 low(0V)를 입력하면, 반대의 경우로 Q1이 꺼지고, Q2, Q4가 활성화되지 못하여 전력 증폭기 모듈과 구동 증폭기는 OFF상태 즉, RF 입력이 인가되어도 증폭할 수 없는 상태가 되어 수신부 모드로 전환된다.

그림 3의 사각형 안의 부분이 전력 증폭기 모듈의 전원을 Rx/Tx 선택 신호에 따라 ON/OFF switching을 하는 회로로서, transistor Q2 및 Q4의 용량의 적절한 선정이 필요로 한다. 이의 최대 전력소모는 모두 ON 상태로 될 때 나타난다. 중단 전력 증폭기 모듈의 출력이 12.5 W일 경우 Q2의 컬렉터 단에 2 A 이상의 큰 전류와 약 3 V 전압(공급전압에서 전력증폭기 공급전압을 뺀 것임)이 걸리므로 전력 소비가 10 W급의 대용량의 pnp형 전력 transistor를 선정하였고, Q4 역시 컬렉터 단에 500 mA의 전류와 2.5 V의 전압이 걸려 전력 소비가 1.3 W급의 pnp형 전력 transistor를 사용하였다.

그림 3의 사각형 밖에 있는 부분이 전력 증폭기 모듈의 출력 레벨을 조절하는 부분이 된다. 원하는 출력을 결정하는 신호는 AIS 시스템 제어 보드에서 인가되며, 제어회로의 편의상 PWM(Pulse Width Modulation)상태로 입력된다. 이의 DC 성분은 전력 증폭기 모듈의 원하는 출력을 지시하게 된다. 따라서 이 신호의 DC 성분을 얻기 위하여 2단의 Sallen-Key 능동 저역여파기를 사용하였으며, 이와 같이 얻어진 DC 성분은 스위치를 통과하고, 비교기의 (+)단자에 입력이 된다(이것은 비교의 기준이 되며 이것이 클 경우 큰 RF 출력을 얻어야하며, 반면 이것이 작을 경우 작은 RF 출력을 얻기 위함이다).

반면 현재 상태의 전력 증폭기 모듈의 출력에 비례하는 DC 전압은 저항 R_c 에 의해, RF신호를 감쇄 커플링하고, 이 커플링된 신호의 크기가 detector diode의 입력으로 적절하도록, 또 다시 저항을 사용한 π 형 감쇄기로 감쇄시킨다. Diode의 검파 회로는 커플링된 신호의 크기에 비례하는 DC 전압(0 ~ 1 V사이)을 출력하도록 조절되었다. 이는 PWM 신호를 filtering하여 얻은 DC 전압과 범위가 다르기 때문에, 이를 연산증폭기를 사용한 비반전 증폭기를 이용, 적절한 크기로 scaling한 후 비교기의 (-)단자에 입력이 된다. 이 비교기의 출력은 두 전압을 비교하여 high, low의 digital 신호로 출력되며, 적분하여 (+)단자 쪽이 클 경우(원하는 RF출력보다 실제 출력이 작을 경우)에 Q3 base 단에 걸리는 전압을 크게 하여 전력 증폭기 모듈의 출력조절단자(V_{com})에 큰 전압과 전류를 공급하여 증폭기 출력을 크도록 조절한다. 반면 (+)단자 쪽의 전압이 작을 경우(출력이 클 경우) Q3 base 단에 걸리는 전압을 작게 하여, 출력을 작게 조절한다. 여기서 transistor Q3은 전력 증폭기 모듈의 출력이 12.5 W 일 때, 컬렉터 단에 약 300 mA 대의 전류와 약 3 V의 전압(공급전압에서 전력증폭기 공급전압을 뺀 것임)이 걸리므로 이를 감안하여 전력 소비가 2 W급의 npn형 전력 transistor를 선정하였다

2-3 전력 증폭기 출력 제어 회로설계 및 시험

그림 3의 출력 커플링부분과 감쇄부분을 그림 4에 나타내었다. 저항으로 이루어진 감쇄기는 들여다 본 임피던스가 50 옴이므로 선정된 커플링 R_c 에 의한 감쇄는 근사적으로 다음과 같다.

$$A \approx \frac{\left(\frac{|Z_o E|}{2Z_o + R_c} \right)^2}{\frac{Z_o}{E^2}} \approx -20 \text{ [dB]} \quad (1)$$

$$A \text{ [dB]} \approx 10 \log_{10} \frac{\left(\frac{|Z_c E|}{2Z_o + R_c} \right)^2 \frac{Z_o}{E^2}}{4Z_o} \approx -20 \text{ [dB]} \quad (2)$$

이로 인한 커플링 R_c 에 의한 출력의 감쇄는, 최대 출력이 12.5 W (41 dBm)이므로 커플링 후 약 125 mW(21 dBm)가 출력되게 된다. 이는 아직도 detector diode의 선형적인 구간으로 출력하기 위해 diode 검파 회로에 직접 인가되기에는 큰 전력이어서 저항감쇄기를 이용 다시 한번 크기를 줄일 필요가 있었다. 따라서 저항을 사용한 π 형 감쇄기로 10 dB ($n=10$) 감쇄 시킬 경우, 이들의 값은 아래 식을 이용 결정할 수 있었다.

$$k = 10^{\frac{n}{20}} \quad (3)$$

$$R_1 = \frac{k+1}{k-1} \times 50 \Omega \quad (4)$$

$$R_2 = \frac{1}{2} \times \frac{k^2-1}{k} \times 50 \Omega \quad (5)$$

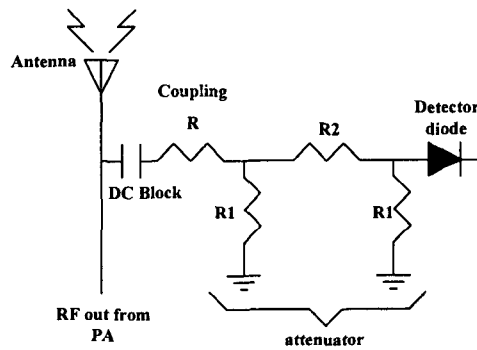


그림 4. 커플링 및 저항 감쇄회로
Fig. 4. Coupling and resistive attenuator circuit

이렇게 해서 검파회로를 통과하여 얻어진 DC 전압은 0~1V 범위가 되므로, 연산증폭기를 사용한 비반전 증폭기를 통과하여 적절한 크기로 scaling하게 되고, 이는 그림 3의 비교 적분기의 (-)단자로 입력된다.

그림 5에는 그림 3의 AIS 시스템 제어보드에서 PWM 신호가 입력되었을 때 이를 DC로 변환하기 위한 능동 filter를 보였다. 그림과 같이 능동 filter는 2단으로 구성되며 Sallen-Key 저역여파기를 사용 구성하였다. Sallen-Key 저역여파기는 식 (6)과 같이 차단 주파수 f_c 를 가지며, 이것을 기점으로 -40 dB/decade로 떨어지는 저역여파기이다.

$$f_c = \frac{1}{2\pi \sqrt{R_1 R_2 C_1 C_2}} \quad (6)$$

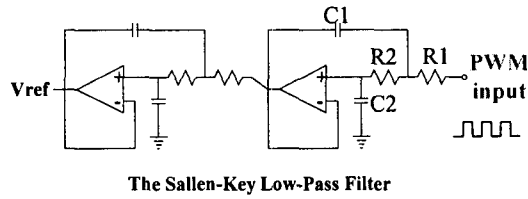


그림 5. PWM 신호의 DC 변환 회로도
 Fig. 5. DC conversion circuit of PWM signal

이 저역여파기를 시험하기 위해서 PWM 신호가 필요하게 된다. 여기서 PWM 신호는 일정 주파수에 pulse 폭만 변하는 것인데, 이를 Function Generator를 이용하여 TTL 신호를 가지고 symmetry를 조정하여 구현하였다. 이 경우 주파수와 pulse 폭이 모두 변화하는데, 주파수는 모두 차단주파수보다 높아서 pulse 폭의 변화에 따른 DC 레벨 변화를 보는 것에는 전혀 문제가 없었다. 그림 6에는 이와 같이 형성된 PWM 신호에 따른 Sallen-Key 저역여파기 출력 전압 (V_{ref})을 보여주고 있으며, 이 전압 값은 DC 성분만 존재하고, 이 DC 출력은 pulse width에 따라 비례하는 전압이 출력되고 있음을 알 수 있다. 그리하여 이 DC 전압 (V_{ref})는 비교 적분기의 (+)단자로 입력이 되는 기준으로서 활용된다.

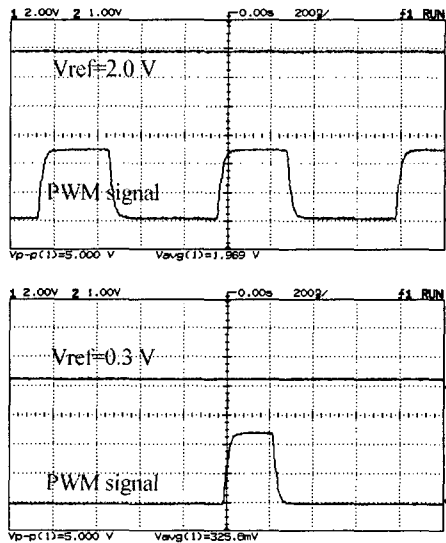


그림 6. PWM 신호 duty ratio변화에 따른 저역여파기 출력전압
 Fig. 6. Active LPF outputs with the change of the duty ratio of PWM

이상과 같이 출력 RF 신호의 크기 감지부와, PWM으로 입력되는 출력제어신호를 DC로 변환한 값은 그림 3과 같이 적분기의 각각 (-) 및 (+)단자로 입력되게 된다. 여기서 그림 3에 표시된 V_{in} 이 V_{ref} 보다 클 경우 (즉, 현재 전력 증폭기 모듈 출력이 원하는 RF 출력보다 클 경우) 비교 적분기의 저항(R_{int})을 통해 전류가 흘러 들어가 비교 적분기의 출력 전압은 감소하는 방향으로 나타나 전력 증폭기 모듈의 출력조절단자(V_{con})

의 전압은 떨어지게 되고, 이는 전력 증폭기 모듈의 출력 감소를 가져온다. 이와 반대로 V_{in} 이 V_{ref} 보다 작을 경우(즉, 원하는 출력보다 전력 증폭기 RF 출력이 작을 경우), 저항(R_{int})을 통하여 전류는 빠져나가게 되고 이는 비교 적분기의 출력 전압을 상승시켜, 전력증폭기 출력조정단자(V_{con})의 전압은 높아지게 하여 이는 전력 증폭기 출력의 증가를 가져온다. 따라서 평형 상태가 되었을 때에는 제어신호 V_{ref} 의 전압과 V_{in} 은 같아져서 적분기의 출력전압은 변화가 없게 된다.

이상과 같은 점을 주목하여 그림 3에서 function generator를 이용한 모의 PWM 신호에 의해 V_{ref} 의 값을 제어해 가며, 전력 증폭기 모듈의 RF출력이 제어되는지를 살펴보았다. 이것을 그림 7에 나타내었으며, 그림 7에서 symbol이 사각형인 것은 V_{ref} 값에 대한 전력 증폭기 모듈의 출력 P_{out} 그래프이고, 원으로 표시한 것은 V_{ref} 값이 들어올 때 그림 3의 비교기의 (-)단자에 입력되기 직전의 V_{in} 값이다. 그림 7에서 볼 수 있듯이 V_{in} 은 V_{ref} 을 거의 정확히 추적하는 것을 알 수 있으며, 전력 증폭기의 RF 출력(P_{out})은 선형적으로 V_{ref} 의 신호에 의해 제어되는 것을 알 수 있다. 또한 그림 7을 통해서 V_{ref} 값이 약 0.3 V 일 때 전력 증폭기에는 2 W 출력이 나오고, 약 2 V 일 때 12.5 W 출력이 나오게 되는데, 이 때의 측정된 spectrum을 그림 8에 보였다. 그림 8은 V_{ref} 에 의해 제어되는 전력 증폭기의 출력 spectrum 파형으로서, 전력 증폭기의 출력(P_{out})단에서 30 dB의 감쇄기를 달고 Spectrum Analyzer(HP 8564E)를 이용하여 측정하였다.

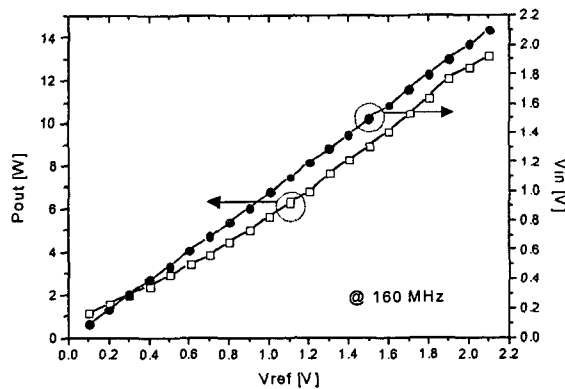


그림 7. DC 제어전압 V_{ref} 에 대한 전력증폭기 출력 및 V_{in}

Fig. 7. The output power and V_{in} vs V_{ref}

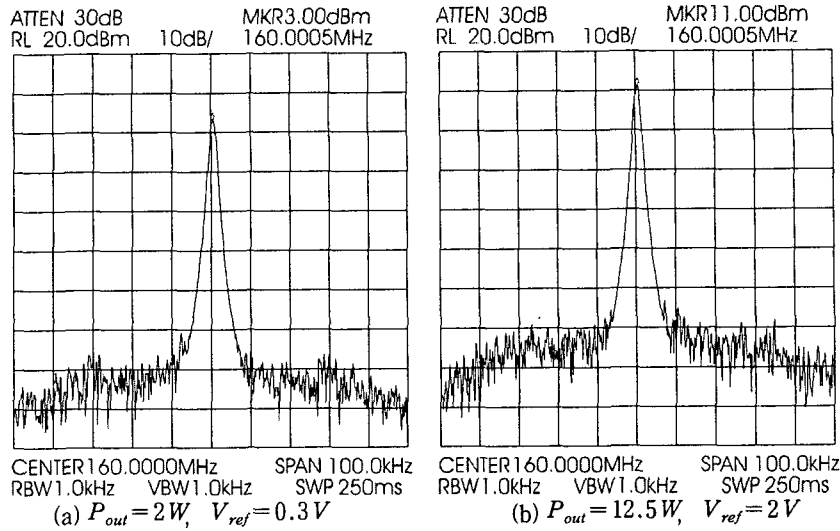


그림 8. 전력 증폭기 출력 spectrum

(a) $P_{out} = 2W$, $V_{ref} = 0.3V$ (b) $P_{out} = 12.5W$, $V_{ref} = 2V$

Fig. 8. The spectrum of the power amplifier

(a) $P_{out} = 2W$, at $V_{ref} = 0.3V$ (b) $P_{out} = 12.5W$, at $V_{ref} = 2V$

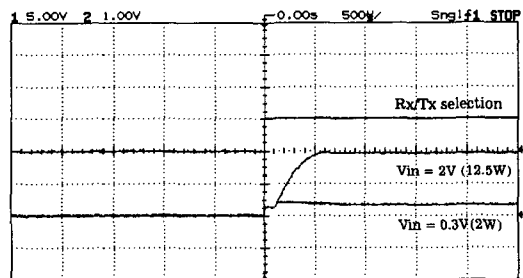


그림 9. Attack time 측정

Fig. 9. Measurement of the attack time

Transmitter setting time, 즉, attack time은 Rx/Tx 선택 신호가 high가 되어 송신부의 출력이 정상 출력의 80%에 도달하는 시간을 나타낸다. 이를 측정하기 위해 그림 3의 PWM 신호에, $V_{ref} = 2V$ or $0.3V$ 에 해당하는 모의 PWM 신호를 미리 입력하였다. 그리고 오실로스코프에서 Rx/Tx 선택 신호에 low에서 high로 single shot을 주고 이것을 scope의 trigger 입력으로 하였다. 이 경우 Rx/Tx 선택 신호가 high가 되면 전력 증폭기의 V_{cc} 부분과 구동 증폭기의 V_{cc} 부분의 전압과 전류가 공급되어, ON 상태가 되고, 비교기와 scaling-amp도 ON 상태가 되며, 역시 V_{ref} 쪽 스위치도 High가 되어 미리 인가한 PWM 신호가 비로소 비교기에 입력된다. 그러나 비교 적분기가 공급하는 전력 증폭기의 출력 조절단자(V_{com})에는 적절한 DC 전압이 형성되지 않아 시간이 경과된 후에 제어신호($V_{ref} = 2V$ or $0.3V$)를 쫓아가게 되는데, 이 경과시간을 오실로스코프로 촬영하여 확인하였다.

그림 9에 이 결과를 보였다. 그림 9를 보면, 위 부분은 Rx/Tx 선택 신호를 나타내고 있고, 아래 부분은 그림 3의 V_{in} 이 제어 DC 신호 $V_{ref} = 2V$ (전력증폭기 출력 12.5 W)와 $V_{ref} = 0.3V$ (전력 증폭기 출력 2 W)를

쫓아가는 파형이 된다. 그림 9 아래 부분에서 알 수 있듯이, 대략 400 us 이내에 12.5 W를, 200 us 이내에 2 W의 출력에 도달함을 알 수 있다.

송출 전력의 과도상태에서 overshoot을 줄이기 위해 두 가지 방법을 제안하였다. 우선 전력 증폭기의 V_{cc} 단에 대용량의 커패시터를 접지 면과 병렬로 연결해 전압 공급을 지연시키고, 그림 3에서 비교 적분기의 V_{ref} 가 들어오는 곳에 스위치를 달아서 Rx/Tx 선택 신호가 high가 될 때 V_{ref} 가 공급되게 함으로써 전력 레벨이 +1.5 dB 이하의 오차를 내도록 하는 규격을 만족하였다. 이러한 이유로는 수신 시에는 전력 증폭기의 전원은 Rx/Tx 선택단자로 꺼져 있어 V_{in} 은 0 V 이지만, 비교 적분기의 전원은 ON 상태이고, V_{ref} 가 미리 인가되어 대기하고 있으므로, Q3 베이스 단에는 최고 전압이 걸려있어 Rx/Tx 선택 신호가 high 되면, 순간적으로 전력 증폭기는 큰 출력을 송출하므로 손상을 줄 수 있기 때문이다. 또한 그림 3과 같이 비교 적분기와 DC scaling용으로 쓰는 비반전 증폭기의 전원을 Rx/Tx 선택 단자로 제어를 함으로써, 전력 증폭기의 출력 제어 오차를 줄일 수 있다. 왜냐하면, 위 두 전원이 계속 ON 상태이면, 전력 증폭기의 출력 커플링이 없음에도 불구하고, 자체 두 연산증폭기의 전압 값이 누설되어 V_{in} 이 0V가 되지 못하기 때문이다. 즉, transmitter setting time, 즉, attack time을 측정할 때 그림 9에서 V_{in} 값이 Rx/Tx 선택 단자가 high가 되기 전부터 존재하는 것으로 보여 전력 증폭기의 출력이 존재하는 것으로 인식할 수 있기 때문이다.

2-4 PCB Layout과 제작 사진

앞서 서술한 제어부분 중 전력 증폭기 모듈은 출력이 12.5 W에 달하는 만큼 많은 열이 발생하는데, 이의 영향을 최소화하기 위해 충분한 방열이 필요하므로 기존 프린트 기판과 분리하여 방열 판을 알루미늄으로 기계 가공 제작하여 부착하였고, RF 출력을 커플링 하는 부분과 DC로 검파하는 부분은 특성상 전력 증폭기와 같은 부분에 장착하였다. 그래서 이 부분은 전체 두께가 1 mm의 양면 구조의 FR4 기판(그림 10 (b))을 이용하여 제작하였다. 그리고 나머지 제어 부분은 전체 두께 1.2 mm의 4층 구조의 FR4 기판(그림 10 (a))을 이용 제작하였고, 두 프린트 기판 모두 부분 홀이 없이 관통 홀만을 사용하였다. 그림 10 (a) 와 (b)에 사용한 기판의 단면구조를 나타내었다. 그림 10 (a)에서 M1은 모든 부품이 장착되는 면이며, M2와 M4는 접지면이고, M3은 결선된 부품의 신호와 전원들이 연결된 층이다. 그리고 그림 10 (b)에서 M1은 부품이 장착되는 면이고, M2는 접지 면이다.

여기서 방열 판은 40 W급 이상으로 제작하였는데, 전력 증폭기의 V_{cc} 로 공급되는 것이 약 13 V에 전류 소모가 2 A 정도이므로, 이 전력 증폭기의 효율이 40 % 이상이라 했으므로, 최소 40 %를 가정하여 계산해보면, 40 W 정도가 열로 방출되기 때문이다.

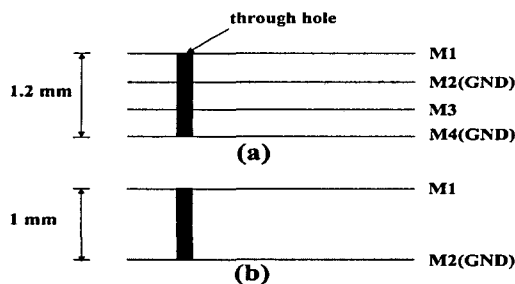


그림 10. 프린트 기판의 단면도

(a) 4 층 프린트 기판 (b) 양면 프린트 기판

Fig. 10. Sectional view of PCB

(a) 4 layer PCB (b) 2 layer PCB

그림 11은 전력 증폭기 모듈 및 이와 같이 제작된 제어 회로조합 사진을 보였다. A 부분은 선정된 12.5 W용 전력 증폭기 모듈이고, B 부분은 전력 증폭기의 출력을 커플링 하는 부분과, 이 것에 비례하는 DC 전

압을 얻어내는 검파회로 부분이다. C 부분은 전력 증폭기의 입력으로 들어가는 2 단으로 구성된 구동 증폭기이다. D 부분은 AIS 전체 제어 보드로부터 들어오는 PWM 신호에서 DC 전압을 얻어내기 위한 Sallen-Key 저역여파기와 전력 증폭기의 출력 레벨을 제어하는 부분이며, E 부분은 전력 증폭기의 전원을 ON/OFF 하는 부분이다. 앞서 서술 했듯이 그림 11의 A와 B에 해당하는 부분은 기존 AIS RF 보드에서 분리되어 방열 판이 부착된 양면 프린트 기판이다.

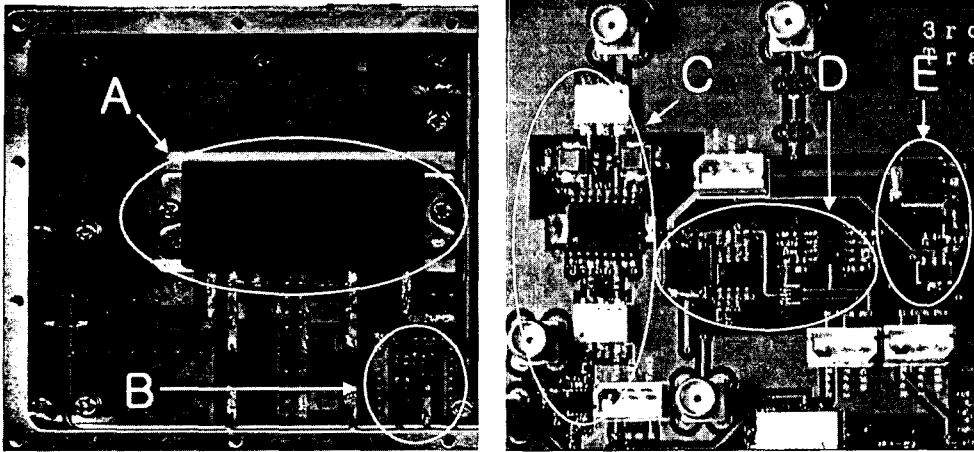


그림 11. 전력 증폭기와 제작된 출력 제어부 사진

Fig. 11. Photograph of the power amplifier and the control circuit

III. 결론

본 논문에서는 ITU-R M. 1371 규격에 준 하는 AIS용 전력 증폭기 출력 제어 회로를 새로이 제안하고 이를 설계 및 제작을 보였다. 설계, 제작된 VHF(Very High Frequency) 대역 AIS용 전력증폭기 제어회로는 Rx/Tx 선택 신호에 따라 송신증폭기를 1 ms 이내에 절제하며, 원하는 전력 레벨이 +1.5 dB 이하의 오차를 내도록한다. 또한 PWM으로 변조된 출력제어신호에 의해 출력 전력(2 W : low, 12.5 W : high)을 선택할 수 있다.

이는 향후 선박간 또는 선박과 관제소간의 항행정보를, 통신을 목적으로 하는 AIS(Automatic Identification System)에 성공적으로 장착되어 운용되리라고 믿어지며, 이를 통해 선박의 안전한 항행과 관제를 도모할 수 있을 것이다.

참고문헌

- [1] ITU-R M.1084-3, *Interim Solutions for Improved Efficiency in the use of the Band 156-174 MHz by Stations in the Maritime Mobile Service*, 1998
- [2] ITU-R M.1371, *Technical Characteristics for a Universal Shipbone Automatic Identification System Using Time Division Multiple Access in the VHF Maritime Mobile Band*, 1998
- [3] K.-J. Youn, "Low dissipation power and high linearity PCS power amplifier with adaptive gate bias control circuit", *Electronics Letters*, vol. 32, no. 17, 1996, pp. 1533-1535.
- [4] S. Wong. S. Luo, "A 2.7-5.5V 0.2-1W BiCMOS RF Driver Amplifier IC with Closed-loop Power Control and Biasing", *IEEE Digest of Technical papers*, 1998, pp 52-54.
- [5] Kyoungsoon Yang, "Automatic Control of Efficiency and Linearity in Power Amplifiers for

- Low-Power Wireless Communications", *IEEE Digest of papers*, 1998, pp 113-118.
- [6] Pradeep B.Khannur, "A CMOS Power Amplifier With Power Control and T/R Switch for 2.45-GHz Bluetooth/ISM Band Applications", *IEEE RFIC Symposium*, 2003, pp 145-148.
- [7] Sedra and Smith, *Microelectronic Circuits Fourth Edition*, Oxford, 1998
- [8] Thomas L. Floyd, *Electronic Devices Sixth Edition*, Prentice Hall, 2002