

하모닉 발진을 이용한 5.8GHz대역 주파수 합성기

°최 종 원* · 이 문 규* · 신 금 식** · 손 형 식**

서울시립대학교 전자전기컴퓨터공학부*, 한국쌍신전기(주)**

eefiri@hanmail.net

5.8GHz Band Frequency Synthesizer using Harmonic Oscillator

°Jong-Won Choi*, Moon-Que Lee*, Keum-Sik Shin**, Hyung-Sik Son**

Dept. of Electrical and Computer Eng., University of Seoul*,

and Sangshin Elecom Co. LTD., Korea**

Abstract

A low cost solution employing harmonic oscillation to the frequency synthesizer at 5.8 GHz is proposed. The proposed frequency synthesizer is composed of 2.9GHz PLL chip, 2.9GHz oscillator, and 5.8GHz buffer amplifier. The measured data shows a frequency tuning range of 290MHz, ranging from 5.65 to 5.94GHz, about 0.5dBm of output power, and a phase noise of -107.67 dBc/Hz at the 100kHz offset frequency. All spurious signals including fundamental oscillation power (2.9GHz) are suppressed at least 15dBc than the desired second harmonic signal.

key word : frequency synthesizer, oscillator, Voltage Controlled Oscillator, Harmonic Oscillator.

I 서 론

최근 들어 802.11a WLAN과 ITS의 단말기 등에 대한 관심이 고조되면서 5GHz대역의 안정적이고, 초저가로 구현이 가능한 주파수 합성기를 필요로 하고 있다. 5GHz 대역의 주파수 합성기를 구성하는 방식은 1) 5GHz PLL과 5GHz 대역의 VCO를 이용하여 직접 구현하는 방식, 2) 2GHz 대역의 주파수 합성기와 주파수 체배기를 이용하여 구현하는 방식[1], 3) 2GHz 대역의 주파수 합성기와 부고조파 주입동기 발진기로 구성하는 방식 등이 사용되고 있다.

최근 Analog Device사 등에서 5GHz 대역의 위상동기 루프(PLL) chip을 선보이고 있어, 이를 이용하여 5GHz 대역에서 직접적으로 주파수 동기화가 가능하지만, 가격이 고가인 관계로 초저가 구현에 걸림돌이 되고 있다.

2GHz대역의 주파수 합성기로 주파수 체배기를 이용하는 방식은 주파수 체배기의 변환손실이 크기 때문에 체배기의 입력과 출력에 증폭기를 필요로 하여 저가 구현과 소형 구현이 어려워진다.

5GHz 대역의 주파수 합성기를 저가로 구현하는 방식으로는 부고조파 주입동기 방식에 대한 연구가 최

근 진행되고 있다. 부고조파 주입 방식에 의한 PLL 모듈은 일반적으로 회로 구성이 비교적 간단하고 위상 잡음 특성이 우수한 장점이 있지만, 주 발진기(ITS의 경우 5.8GHz VCO)의 고정 가능한 주파수 범위가 충분히 넓지 않을 경우 소자 특성의 변화, 주위 환경 변화 등에 기인한 자체 발진 대역 변화로 인해서 부고조파에 대한 lock을 잃어버릴 수 있다는 문제점이 있다.

본 논문에서는 부고조파 동기에 문제가 없고, 회로의 구조를 간략화 할 수 있는 그림 1의 하모닉 발진을 이용한 5GHz 대역의 주파수 합성 방식을 사용하였다. 본 논문에서 채택한 방식은 부고조파 주입동기 발진기에 비해 출력전력은 작지만 주파수 동기 해제 문제가 없고, 체배기의 문제인 증폭문제를 해결하는 구조이다.

5.8GHz 대역에서는 충분히 저가로 상용화된 hybrid 나 MMIC 형태의 VCO가 흔치 않고, 능동 소자나 박막의 패키지에 의한 기생성분의 영향이 상대적으로 크고, 칩 형태로 나오는 인덕터나 캐패시터의 자체 공진 문제로 발진기 설계 및 구현에 많은 고려사항들과 상당한 어려움을 내포하고 있다. 이에 반해 부고조파 대역(2.9GHz)의 VCO 및 PLL IC는 이미 상용화가 진척되었고, 소자 선정 및 회로 설계 면에

서도 기술적 난이도가 비교적 낮아 하모닉을 증폭하는 방식은 소형화 저가화에 장점을 가지고 있다고 볼 수 있다.

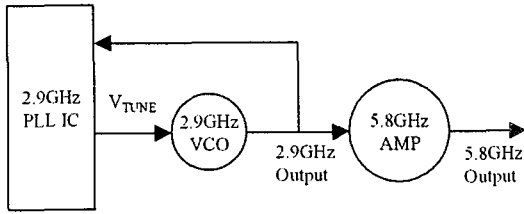


그림 1 부고조파 주입 하모닉 발진기

II 본 론

2-1. VCO 및 PLL 설계 구조 (Design)

- 소자선정

설계 기판으로서 유전체 손실이 크고, 유전율이 균일하지 않지만 비교적 낮은 주파수 대역에서 널리 사용되고 저가로 회로를 구성할 수 있는 장점이 있는 FR4를 사용하였으며, 능동소자로서는 저가로 구매할 수 있는 Si-BJT 소자를 이용하였다. 바랙터 다이오드는 주어진 바이어스 전압 범위에서의 용량 변화율과 평균 용량 값을 선정기준으로 하여 저가형 silicon abrupt 소자를 사용하였다. PLL IC는 VCO의 주파수 대역을 포함할 수 있는 소자를 이용하여야 하므로, 3GHz 미만에서 쉽게 구할 수 있는 PLL 소자를 사용하였다.

- VCO 설계 구조

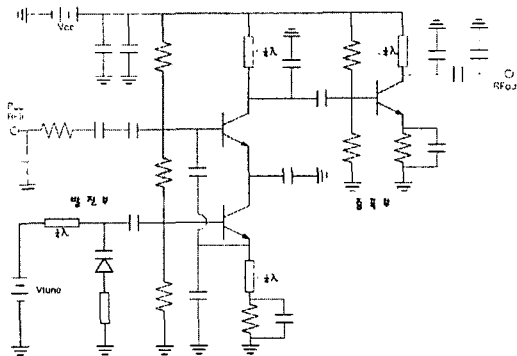


그림 2 VCO 전체 회로 구조도

그림 2의 전체적인 구조는 5.8GHz 신호의 부고조파(subharmonic) 신호인 2.9GHz 발진기의 구조를 보이

고 있다.

발진부는 공진부와 부성저항부로 이루어져 있으며, 공진부에서는 바랙터 다이오드와 마이크로 스트립 전송선로와의 병렬 공진에 의해 2.9GHz 대역의 주파수에서 공진을 일으켜 발진시 발진주파수를 안정화시키며, 부성저항부에서는 1차 트랜지스터의 베이스 부분에서 바라본 입력 임피던스의 값이 부성저항값을 갖도록 구성하여 발진조건을 만족하도록 설계하였다.

고조파 증폭부는 공통 에미터 증폭 회로이며 에미터단의 캐패시터는 RF 신호를 바이패스함으로써 입력 임피던스를 작게 하여 부하가 발진부에 주는 영향을 줄였다.

주파수 조절은 바랙터 다이오드의 인가 전압을 조절함으로써 공진부의 공진점의 변화를 가져옴으로써 가능해진다. 이는 PLL-VCO 설계시 루프필터의 출력 전압으로 조절이 가능하게 된다[2].

- PLL 설계 구조

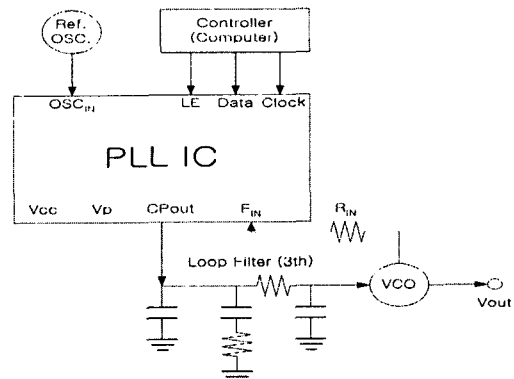


그림 3 PLL-VCO의 전체 구조도

그림 3은 설계된 PLL-VCO의 구조를 보여준다. 최적의 위상잡음 특성을 얻기 위한 PLL 시스템을 설계하는 방법은 위상검출기 출력에서의 복합잡음레벨과 전압제어발진기의 위상잡음 특성곡선이 접하는 주파수를 루프대역폭(Loop bandwidth)으로 정하고 전체 시스템의 위상전달함수로부터 계산된 루프대역폭과 설계사양에서 주어진 획득 시간을 만족하는 루프필터를 설계하여 시스템을 구현하는 것이다. 그러나 3차 이상의 시스템에서는 루프대역폭과 획득시간에 대한 수식적인 접근이 어렵기 때문에, 임의로 open loop 대역폭, 위상마진 등을 설정해 루프필터를 설계하여 일단 제작하고, 위상잡음 및 획득시간을 측정 후 최적의 특성을 얻을 때까지 루프필터를 교정했다.

2-2. 시뮬레이션 (Simulation)

- VCO 시뮬레이션

Agilent사의 ADS 시뮬레이터를 이용하였으며, 시뮬레이션 결과 그림 4에서처럼 VCO 출력 주파수는 6098~6302MHz 대역에서 발진이 일어났는데, 이는 실제 VCO 제작시 마이크로 스트립 전송 선로의 패턴 효과에 의한 주파수 감소 효과를 고려하여 약 300MHz정도의 마진을 두고 높은 주파수로 설계했기 때문이다.

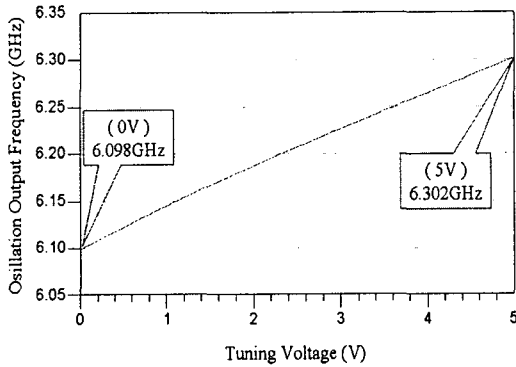


그림 4 튜닝 전압에 따른 발진 주파수 범위 ($2f_0$)

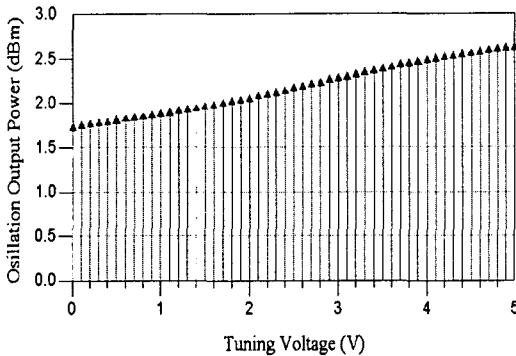


그림 5 튜닝 전압에 따른 출력 평탄도 ($2f_0$)

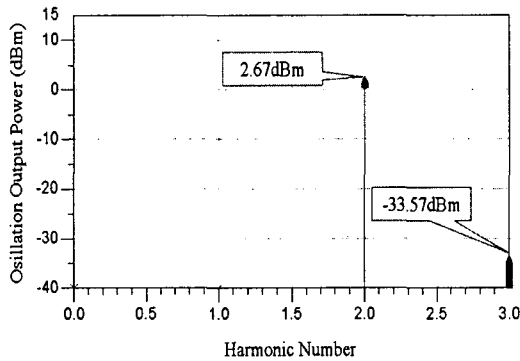


그림 6 하모닉 출력 스펙트럼

그림 5에서의 출력 전력은 1.7~2.7dBm 정도로 평탄도도 대략적으로 유지하고 있으며, 그림 6에서 부고조파 및 고조파의 출력 억압도는 35dBc정도를 보이고 있다.

그림 7에서 위상잡음 특성으로는 하모닉 성분의 위상잡음이 기본주파수 성분보다 6dB정도 나빠진다는 것을 고려하면 10kHz offset에서 -85dBc/Hz, 100kHz offset에서 -105dBc/Hz이다. 그림 8에서 2.9GHz 대역의 PLL IC 인입 주파수의 출력은 대략 -1.5dBm 정도로 PLL IC를 작동하기에 충분한 전력을 유지하고 있으며, 만일의 경우를 고려하여 저항 패드를 달아서 이 저항값을 변경하여 입력 전력의 변화를 줄 수 있도록 설계하였다.

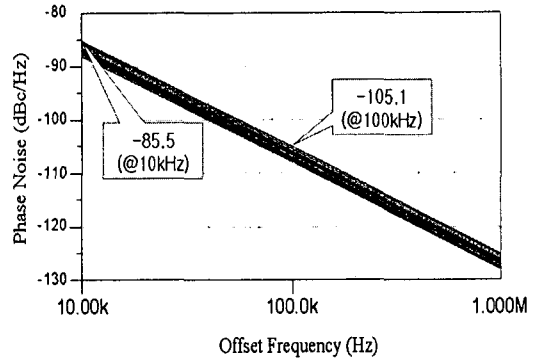


그림 7 오프셋 주파수에 따른 위상 잡음특성

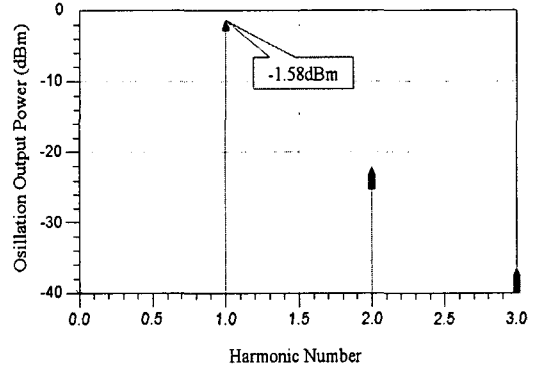


그림 8 PLL IC에 인입 주파수의 출력 정도

- PLL 시뮬레이션

PLL의 초기 설계값으로 위상마진은 46도, 루프 대역폭은 2.7kHz, 채널간격은 500kHz, 주파수 분주비 N은 5800으로 설계하여 3차 수동 루프 필터로 구현하였고, 이후 좋은 특성을 얻기 위해 루프필터를 튜닝하여 제작하였다. 루프필터 설계시 National Semiconductor에서 제공된 EasyPLL v1.0을 사용하여 설계하였다[3].

2-3. 측정(Measurement)

본 측정에서는 바이어스 전원을 5V로 인가하여 사용했으며, 전체 전류는 36mA가 소비되었다. 컴퓨터 프로그램(Codeloader : National Semiconductor)을 사용하여 PLL IC를 동작시켜 주파수 위상을 고정하고 5.8GHz를 기준으로 측정이 이루어졌다[4].

제작 후 측정된 PLL-VCO 모듈의 사용가능 주파수 범위는 5650~5940MHz로 대역폭은 290MHz이며 원래 설계 목표인 5800~5880MHz 전후로 약 60~150MHz 이상의 여유를 갖고 있으며, 출력 전력은 -1.5~0.83dBm이다.

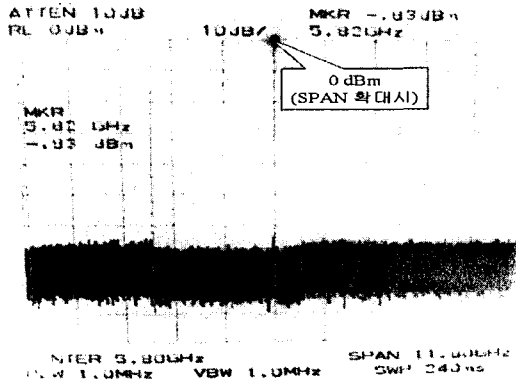


그림 9 출력 스펙트럼 (5.8GHz)

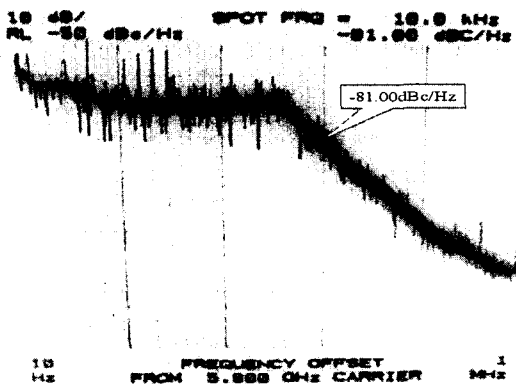


그림 10 10kHz offset freq.에서의 위상잡음

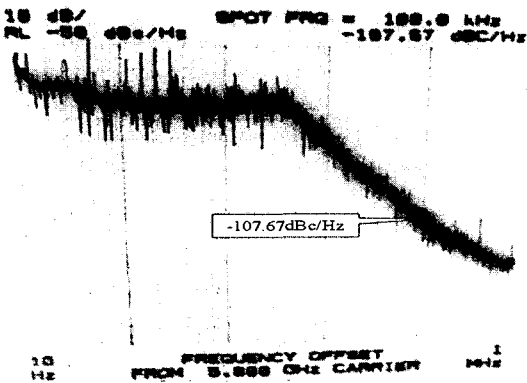


그림 11 100kHz offset freq.에서의 위상잡음

그림 9는 4차 하모닉 성분까지의 스펙트럼이며 5.8GHz에서 0dBm정도의 출력을 보여준다. 그림 10과 11은 위상잡음특성을 보여주고 있으며, 5800MHz를 기준으로 10kHz offset에서 -81dBc/Hz, 100kHz offset에서 -107.67dBc/Hz로 측정되었다. 그림 12는 획득시간을 보여주며 unlock 상태에서 lock을 했을 시에 6.58ms의 시간이 걸렸다.

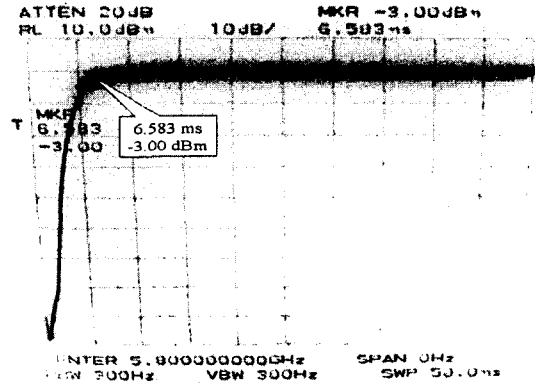


그림 12 5.8GHz로 locking시의 획득 시간

불요주파수 및 고조파 억압도는 그림 13의 부고조파에서는 17.33dBc, 그림 14의 고조파에서는 29.17dB정도를 보이고 있다.

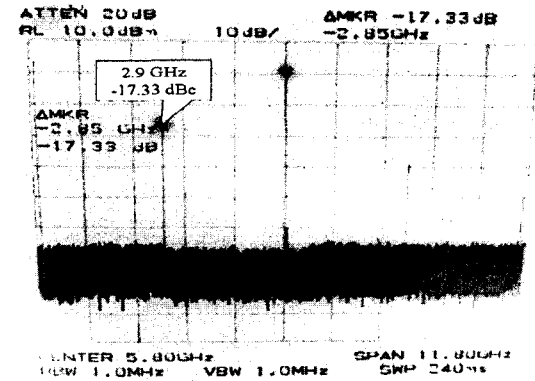


그림 13 부고조파(Subharmonic) 억압도

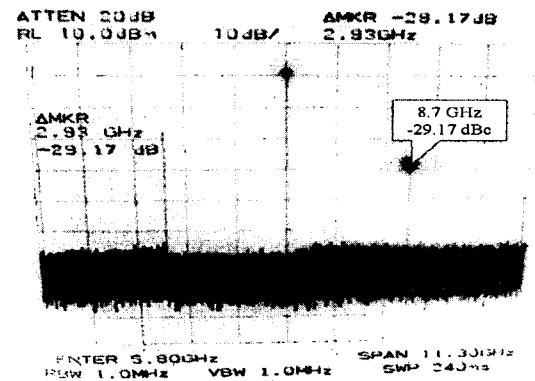


그림 14 고조파(Superharmonic) 억압도

III 결 론

본 논문에서는 소형화 및 저가격화에 중점을 둔 WLAN 및 ITS용 5.8GHz VCO 및 PLL의 설계, 제작 및 측정에 대해 다루었다.

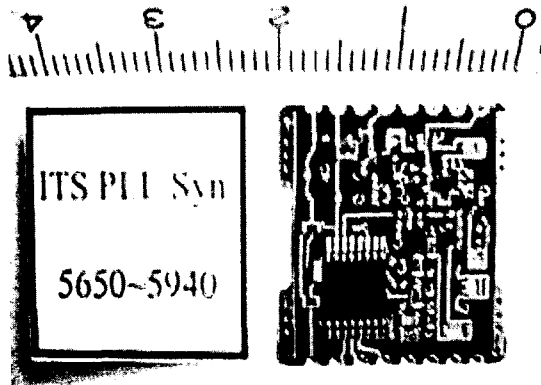


그림 15 PLL-VCO 모듈 제품 사진 (19.05 x 19.05 mm²)

그림 15는 구현된 PLL-VCO 모듈의 제품 사진이며, 크기는 19.05mm x 19.05mm이고, VCO 회로는 13mm x 13mm 정도에서 구현이 가능하다. 또한 Meander line 형태로 전송선을 사용한다면 다층기판이나 칩 인덕터 등을 사용하게 되면 10mm x 10mm 미만의 크기로도 구현 가능할 것으로 판단된다.

참 고 문 헌

- [1] Quan Xue, "A wideband subharmonically injection-locked frequency synthesizer for LMDS," Microwave and Optical Technology Letters, vol.30, No.5, pp.310-312, 2001.
- [2] 나정웅, "전압조정 발진기에 관한 연구", 한국과학기술원, 쌍신전기 위탁연구 보고서, pp.40-54, 1992년 2월
- [3] "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's" National Semiconductor Application Note 1001, pp.4, July 2001.
- [4] 고윤수, "WLL용 PLL 모듈 설계 및 제작", 충남대학교 대학원 석사학위논문, pp.47-55, 1999년 2월