

40 Gb/s 광통신 수신기용 클락 복원 회로 설계

박 찬 호^o, 우 동 식, 김 강 옥
경북대학교 전자전기컴퓨터학부
Tel. 053-950-5510 / Fax. 053-940-8810

Design of the Clock Recovery Circuit for a 40 Gb/s Optical Receiver

Chan Ho Park^o, Dong Sik Woo, Kang Wook Kim
School of Electrical Engineering and Computer Science, Kyungpook National University
E-mail: kang_kim@ee.knu.ac.kr

Abstract

A clock recovery circuit for a 40 Gb/s optical receiver has been designed and implemented. The clock recovery circuit consists of signal amplifiers, a nonlinear circuit with diodes, and a bandpass filter. Before implementing the 40 Gb/s clock recovery circuit, a 10 Gb/s clock recovery circuit has been successfully implemented and tested. With the 40 Gb/s clock recovery circuit, when a 40 Gb/s NRZ signal of -10 dBm was applied to the input of the circuit, the 40 GHz clock was recovered with the -20 dBm output power after passing through the nonlinear circuit. The output signal from the nonlinear circuit passes through a narrow-band filter, and then amplified. The implemented clock recovery circuit is planned to be used for the input of a phase locked loop to further stabilize the recovered clock signal and to reduce the clock jitter.

Key words: clock recovery circuit, clock-and-data recovery circuit (CDR), 40 Gb/s, optical receiver

I. 서론

최근 파장분할 다중화(WDM : Wavelength Division Multiplex) 기술의 성장으로 광 전송망의 고속화, 광역화가 활발하게 이루어지고 있다. 이에 따라 광 시스템은 이러한 많은 양의 데이터를 송수신 할 수 있는 고속 동작이 요구되어지고 있다. 이러한 광전송 시스템의 수신단에는 광신호로부터 전기적인 클락 신호와 데이터 신호를 추출해 내는 클락 데이터 복원기(CDR - Clock Data Recovery)가 필요하다. CDR을 거쳐 복원된 클락은 안정성(stability)과 지터(jitter)의 정도에 따라 신호의 질이 결정되므로 낮은 지터 성분과 높은 클락 안정성을 가지는 것이 매우 중요하다.

최근 40 Gb/s SDH/OTH 표준화 동향에 따라 40 Gb/s 광 링크 기술이 많은 주목을 받고 있다. 2.5 Gb/s, 10 Gb/s 속도를 지원하는 클락 데이터 복원기 및 부분회로는 많은 연구와 더불어 이미 상용화가 많이 이루어졌으나 40 Gb/s 클락 데이터 복원회로의 구성은 좀더 기술 축적이 필요하다. 현재까지의 구현된

40 Gb/s 클락 데이터 복원회로는 주로 기능성 블록들의 연결로 이루어져 왔다. 개별 블록으로 연결한 시스템은 크기 또한 만만치 않아 집적도가 떨어지며, EX-OR F/F 등의 개별 블록의 가격 또한 고가인 단점이 있다.

본 논문에서는 이러한 고가의 소자들을 사용하지 않고, 기능성 블록들을 상용 MMIC와 패키징된 chip 들을 사용하여 단일 고주파 기판에 모듈화 하여 클락 데이터 복원회로를 구현하였다. 40 Gb/s의 클락 복원회로를 구현하기에 앞서 먼저 10 Gb/s 클락 복원회로를 구현 하였으며, 동일한 방법으로 40 Gb/s의 클락 복원회로를 구현하였다. 차후 복원회로를 통해 추출된 40 GHz 클락을 10 GHz VCO 와 위상 동기 루프(PLL: Phase Locked Loop)를 구성하여 안정화된 40 Gb/s 클락 복원회로를 구성 하고자 한다.

II. 10 Gb/s 클락 복원회로 설계 및 구현

일반적으로 NRZ(Non Return to Zero) 신호는 그림 1과 같이 대역폭이 좁으며, RZ(Return to Zero) 신호에 비해 높은 대역 효율을 가진다는 장점을 가진다. 그러나 클럭 주파수($f=1/T$)에서 명확한 스펙트럼 라인이 없어 이 신호를 복원하기 위해서는 좀더 복잡한 클럭 복원과정이 필요하다. RZ 신호는 분명한 스펙트럼 라인이 존재하는 장점을 가지나 NRZ 신호에 비해 상대적으로 큰 대역폭을 필요로 하므로 대역 효율이 낮다. 따라서 대부분의 광전송 신호는 NRZ 형태이며, 수신단의 클럭 복원회로는 이러한 NRZ 신호를 복원해 낼 수 있어야 한다.

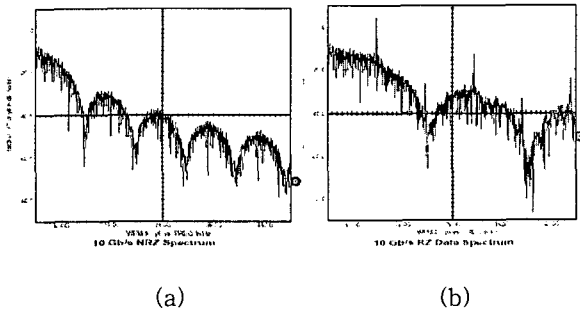


그림 1. 10 Gb/s (a) NRZ와 (b) RZ 신호의 스펙트럼[1]

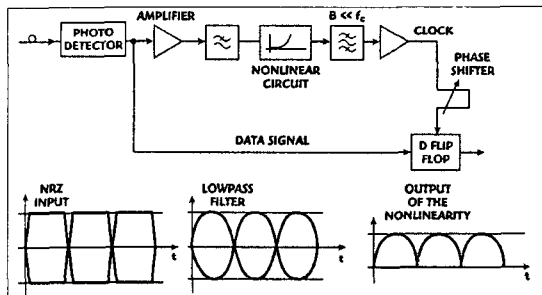


그림 2. 클럭-데이터 복원 회로 블럭도[2]

그림 2는 클럭-데이터 복원 회로의 기본 블럭도를 나타내고 있다. 광 검출기로부터 수신된 NRZ 신호는 낮은 전력을 가지므로 다이오드로 구성된 비선형 회로의 구동이 어려워 전력을 높여주는 증폭기가 필요하다. NRZ 신호는 비선형 회로를 거쳐 RZ 신호로 변환된다. 이 신호를 대역 통과 필터를 통하여 클럭 주파수만 추출하여 클럭을 복원해내고, 데이터를 복원하기 위한 충분한 전력을 가지도록 증폭기를 통과 시키게 된다.

이 논문에서는 먼저 10 Gb/s NRZ 신호로부터 클럭을 복원할 수 있는 클럭 복원 회로를 제작하였다. Photo detector로부터의 수신된 낮은 전력을 비선형 회로를 구동할 수 있도록 전력을 높여주는 증폭기로서는 Mini-Circuit사의 ERA-1SM을 사용하였다. 이 증

폭기는 10 GHz의 클럭을 복원하기 위하여 5 GHz의 성분을 주로가진 10 Gb/s의 NRZ 신호를 증폭시켜서 비선형 회로에 공급해주게 된다. 그림 2에서와 같이 증폭된 신호는 비선형 회로를 통과함으로써 전파 정류되어 10 GHz의 클럭 성분을 가지게 된다.

비선형 회로부는 다이오드와 Wilkinson 전력 결합기로 구성된다. 다이오드는 Agilent사의 HSMS-2822 Schottky diode pair를 이용하였고, Wilkinson 결합기는 Ansoft사의 Designer를 이용하여 EM 시뮬레이션을 통해 설계하였다. 다이오드의 입력 VSWR을 개선하기 위하여 open stub 매칭 회로를 구현하였다. 사용한 기판은 Rogers사의 10 mil Duroid 5880이며, 본 연구실에서 보유하고 있는 LPKF C-60 밀링 머신으로 직접 제작을 하였다. 그림 3은 비선형 회로의 시뮬레이션 회로와 제작된 회로를 보여주고 있다.[3]

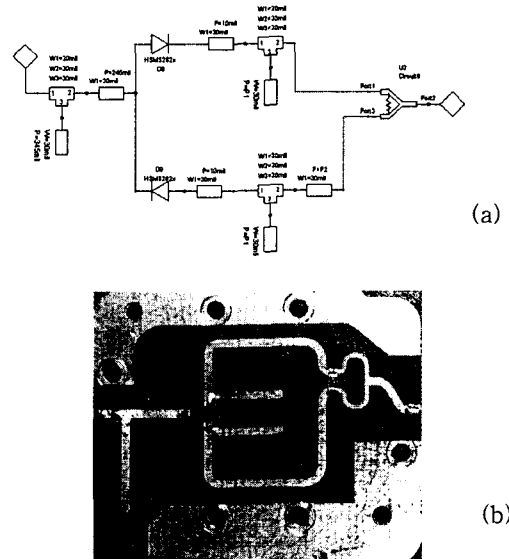


그림 3. 비선형 회로의 (a) 시뮬레이션 회로, (b) 제작된 회로

그림 3에서 보여주는 비선형 회로를 통해 10 Gb/s NRZ 신호로부터 10 GHz의 클럭 성분을 추출하게 된다. 이 출력을 10 GHz 대역 통과 필터를 통해 필터링하여 10 GHz의 클럭만 복원할 수 있다. 일반적으로 대역통과 필터는 edge coupled 형태로 제작되어지고 있으나, 이 경우 첫 단과 마지막 단의 선로간의 간격이 매우 좁아 Duroid 기판에 밀링 머신으로는 제작이 힘들며, 제작오차에 의해 필터 특성이 변할 수 있다. 따라서 그림 4와 같이 탭(tap)을 사용한 edge coupled filter 형태로 설계하여 선로간격이 적어도 10 mil 이상이 되게 하였다. 제작된 필터는 Agilent 8719ES

Network Analyzer를 이용하여 측정하였고, 그 결과는 그림 5에서 보여주듯이 10 GHz에서 -3.5 dB의 삽입 손실과 -18 dB의 반사 손실을 가졌다. 3 dB cutoff frequency의 대역은 약 500 MHz 정도였다.

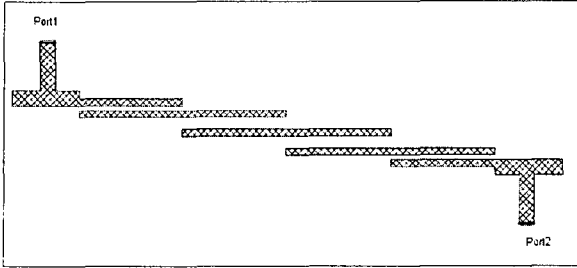


그림 4. Tab을 이용한 10 GHz 대역통과 필터

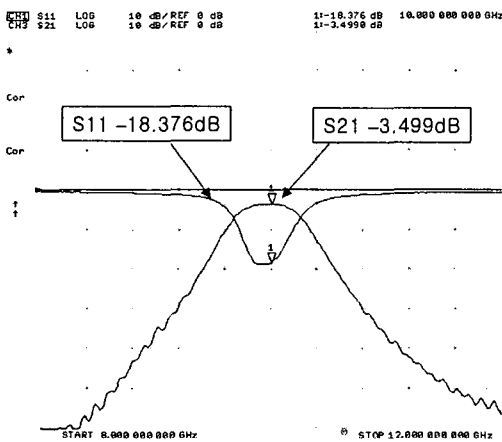


그림 5. 10 GHz 대역통과 필터 측정 데이터

마지막으로, 데이터를 복원하는 decision 회로에 충분한 전력을 공급해 주기 위한 증폭기를 추가하여, 전체 클락 복원회로를 완성 할 수 있다. 증폭기는 NEC사의 NE325S01 GaAs MESFET을 사용하여 설계하였다. 10 GHz의 중심 주파수에서 12 dB의 이득을 얻을 수 있었다. 그림 6은 제작된 10 Gb/s 클락 복원기의 모듈을 나타내었다.

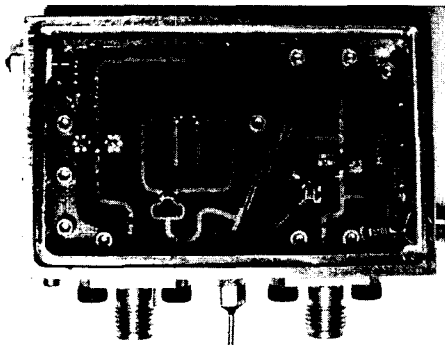


그림 6. 실제 제작된 10 Gb/s 클락 복원 회로

제작된 복원회로의 입력으로서는 10 Gb/s NRZ Generator로 0 dBm의 power를 인가하여 출력을 측정하였다. 그림 7의 결과 파형을 보면 80 mVp-p의 10 GHz의 출력 신호를 가지는 것을 볼 수 있다. 이 출력 신호를 전력으로 변환하면, -18 dBm 정도이다. 따라서 20dB 정도의 이득을 가지는 증폭기를 추가하면, 일반적으로 필요한 신호 크기인 0 dBm 정도의 10 GHz 클락을 얻을 수 있다.

이 클락 복원회로를 개방 형태의 클락 복원기에 적용하기 위해서는 유전체 공진 필터와 같은 높은 Q값을 가지는 대역 통과 필터를 이용하여 지터 특성과 회로의 안정성을 향상시킬 수 있다.

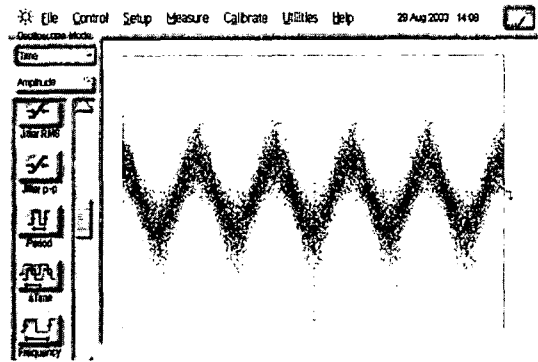


그림 7. 복원된 10 GHz 클락 파형

III. 40 Gb/s 클락 복원회로 설계 및 구현

40 Gb/s의 클락 복원회로도 10 Gb/s의 클락 복원회로와 동일한 방법으로 구성하였다. 그림 8은 제작된 40 Gb/s 클락 복원회로를 보여주고 있다. 이 회로에서 첫째단인 증폭기는 UMS사의 CHA3093 MMIC를 이용하였고, 비선형 회로에 이용된 diode는 Alpha사의 DMK2790 GaAs Schottky diode를 사용하여 Rogers사의 Duroid 5880 5 mil기판에 제작 하였다. 두께가 5 mil 기판은 40 GHz에서 50Ω 전송선로의 폭이 10 mil 기판에 비해 절반인 14.7 mil 이어서, 작은 크기의 회로 구현에 장점을 가진다. 또한 상용화된 MMIC의 두께는 약 5 mil 정도여서 높이를 맞추기 위한 Shim을 필요로 하지 않는 이점이 있다. 이 제작된 복원 회로의 크기는 1.2 × 0.7 inch 이다. 그림 8에서 보여준 40 Gb/s의 클락 복원기를 사용하여 필터 앞단의 비선형 회로까지의 측정 결과를 그림 9에서 보여주고 있다.

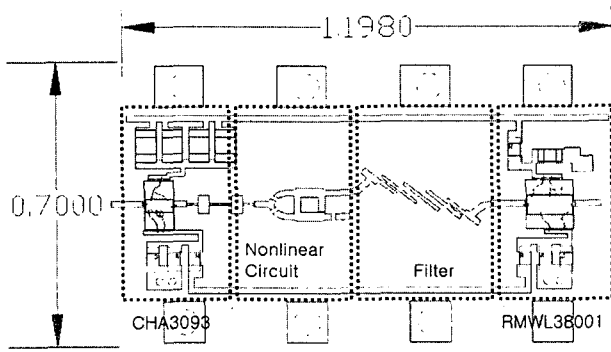


그림 8. 40 Gb/s 클럭 복원기의 전체 회로도

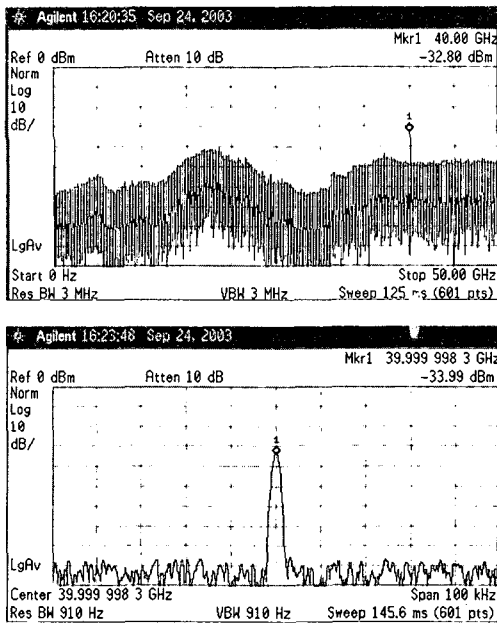


그림 9. 40 Gb/s NRZ신호가 nonlinear circuit을 통과한 후 신호의 spectrum

40 Gb/s NRZ generator로 -10 dBm의 전력을 제작된 클럭 복원회로에 입력하여 그림 9에서 나타나는 것과 같이 -34 dBm의 출력을 얻었다. 케이블 손실 3.6 dB와 출력단에 연결한 attenuator 10 dB의 손실을 감안하면, 실제 출력은 약 -20.4 dBm이다. 그림 8과 같이 약 4.5 dB의 삽입 손실을 가지는 대역 통과 필터와 24 dB 정도의 이득을 가지는 Raytheon사의 RMWL 38001 증폭기를 연결하면 0 dBm의 출력 전력을 가지는 40 GHz의 클럭 신호를 얻을 수 있을 것이다.

본 논문에서는 40 Gb/s 클럭 복원 회로를 10 Gb/s의 회로와 동일한 방법으로 비선형 회로를 사용하여 구현 하였다. 40 Gb/s의 클럭 복원회로의 출력으로부터 향상된 지터 특성과 클럭 안정화를 얻기 위하여 그

림 10과 같이 클럭 복원회로와 10 GHz VCO로 위상 동기루프를 구성하고자 한다. 안정화된 10 GHz 클럭으로는 10 GHz VC-DRO를 사용하고, 위상 변환기와 4배 주파수 체배기를 이용하면 40 GHz의 안정화된 클럭을 얻을 수 있다.

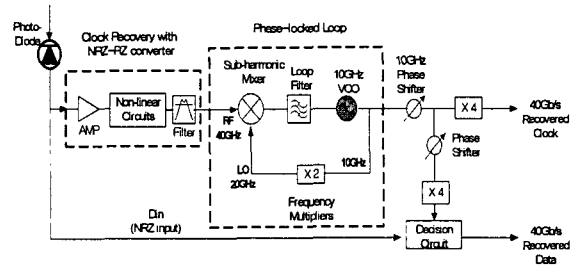


그림 10. 위상동기루프를 사용한 40 Gb/s 클럭-데이터 복원회로

IV. 결론

본 논문에서는 40 Gb/s 클럭 복원회로를 구성함에 앞서서 제작이 용이한 10 Gb/s의 클럭 복원회로를 구성하였다. 그 결과 10 GHz의 클럭 신호를 얻을 수 있었다. 또한 10 Gb/s 클럭 복원 회로와 동일한 방법으로 40 Gb/s의 클럭 복원회로를 구성 하여, 대역 통과 필터와 증폭기 없이, -20.4 dBm의 복원된 클럭 출력을 얻었고, 필터와 증폭기를 연결하면 0 dBm의 클럭 신호를 얻을 수 있다. 향후 계획으로 이미 제작된 40 Gb/s의 클럭 복원회로와 현재 설계중인 10 GHz VC-DRO 및 주파수 체배기, 루프 필터를 이용하여 위상 동기 회로를 구성하여, 복원된 클럭을 안정화 할 것이다.

Acknowledgement

본 연구는 한국전자통신연구원(1010-2003-0014) 지원으로 수행되었음.

참고 문헌

- [1] Nils Nazoa, "Design considerations and performancere requirements for high speed driver amplifiers", LA Techniques Ltd, *Technical Note Ref. LAP01 V1.0 2000*
- [2] Samo Vehovc , "Clock Recovery At Gigabit-per-second Data rates", *Microwave Journal*, July 2000
- [3] Jae Ho Song, Tea Whan Yoo, Jeong Hoon Ko, Chang Soo Park, and Jae Keun Kim, "Design and Characterization of a 10Gb/s Clock and Data Recovery Circuit Implemented with Phase-Locked Loop" *ETRI Journal*, Vol. 21, No. 3, September1999