

# 다결정 실리콘 TFT소자의 채널길이 변화에 따른 grain의 분포와 전기적 특성

이은녕, 송호영, 박세근, 이택주, 오범환, 이승걸, 이일항  
인하대학교 정보통신공학과 μ-PARC

## Grain distribution and electrical property according to grain size variation in polysilicon TFTs

Eun-Nyung Lee, Ho-Young Song, Se-Geun Park, Taek-Joo Lee,  
Beom-Hoan O, Seung-Gol Lee, El-Hang Lee  
Department of Information and Communication Engineering, μ-PARC, Inha University

### Abstract

The number of grain is determined based on Poisson distribution in respectively different active channel and it is converted to grain size which affects to the mobility and threshold voltage. the acquired data is applied to the SPICE for observing the variation of I-V characteristic with several channel lengths. we can confirm the effect on device.

**Key Words** : Poly-Si TFT, Grain boundary, SPICE, Channel length, Poisson distribution

### 1. 서론

최근 poly-silicon TFTs의 응용에 대한 관심이 크게 대두 되고 있다. 특히 Active Matrix Liquid Crystal Displays(AMLCDs) 분야에서 이러한 응용에 관한 연구들이 진행 중이다. poly-si 은 grain으로 구성이 되어 있다. 이 grain 사이에는 높은 밀도의 impurity가 존재하는데, 이 영역을 grain boundary라고 한다. grain boundary에는 높은 밀도의 trap state가 존재하여 소자의 성능을 저해하는 요인이 되고 있다.

grain boundary의 효과를 크게 2가지 기술로써 줄여줄 수 있는데, 첫 번째 방법은 grain boundary의 dangling silicon bond를 수소화 방법으로 grain boundary의 밀도를 줄여주는 것이다.[1] 두 번째 방법은 grain size를 키워줌으로써 TFT 소자내의 채널에 존재하는 grain boundary 수를 줄여주는 것이다. 최근에는 laser-annealing 기술이 많이 사용되어지고 있는 추세이고, 이로 인해서 grain boundary와 intra-grain의 defect density를 줄여줌으로써 poly-si TFTs의 성능을 개선시키려는 노력을 하고 있다.[2]

본 논문은 소자의 채널영역에서 나타날 수 있는 grain 크기 변화가 소자의 특성 변화에 미치는 영

향을 조사하였으며, SPICE를 이용하여 이를 확인하였다.

이를 위하여 기존에 particle의 random number model에 사용되어진 Poisson distribution을 이용하여 grain size variation을 구현하였다.[3]

### 2. 통계적 분포

#### 2.1 Grain의 개수 분포

각각의 채널길이에 따른 grain의 개수 분포는 Poisson distribution식(1)을 이용하여 그림 1과 같은 분포를 얻을 수 있다.

$$P(x) = \frac{e^{-\lambda} \cdot \lambda^x}{x!} \quad (1)$$

채널의 길이를 소자의 크기가 현재의 design rule(7μm~10μm)보다 작은경우(3μm), 같은경우(7μm), 큰 경우(20μm)로 나누어 채널 영역에서의 grain 분포를 나타내었다.

채널의 길이가 커질수록 probability density는 떨어지고, variation은 커지는 것을 알 수 있다.

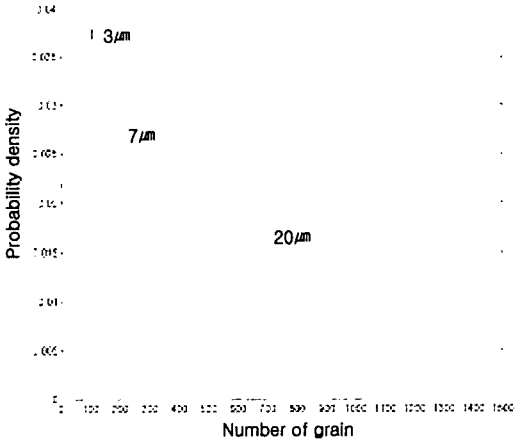


그림 1. 채널 길이에 따른 grain 개수 분포.

### 2.2 grain size의 분포

각기 다른 채널길이에서의 grain 개수 분포와 소자 동작의 연계성을 알아 보기 위해서 식 (2)를 이용하여 grain size variation으로 변환시켜, 그림 2를 얻었다.

$$L_{g, TFT}(k) = \sqrt{\frac{W \cdot L_{eff}}{k}} \quad (2)$$

식(2)에서의 W(채널의 폭)는 40μm이고, L - L<sub>eff</sub> = 0.25μm로 두었다. k는 grain의 개수 분포를 나타낸 것이다. 앞서 grain 개수의 통계적 분포를 그림 2와 같이 또 하나의 통계적 분포로 나타내었다.

채널의 길이가 커질수록 probability density는 커지는 것을 알 수 가 있다. 그러나 variation은 작게 나타났다.

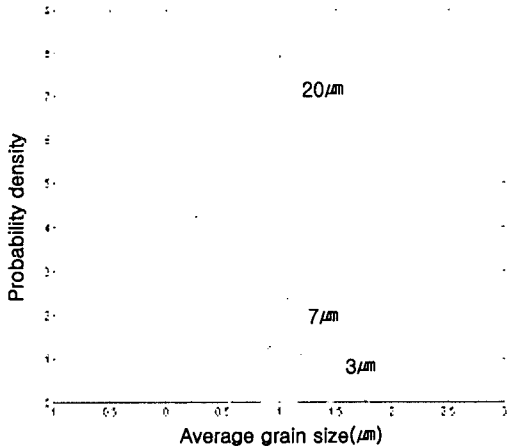


그림 2. grain의 size variation 분포.

### 2.3 문턱전압(threshold voltage) 분포

grain size와 문턱전압의 관계를 식(3)과 같이 나타내었으며, 소자의 전기적 특성에 영향을 미칠 수 있는 문턱전압은 gate로부터 유도된 charge 들이 grain boundary에 trap되어지는 물리적 현상과 short channel effect의 곂으로 표현했다.

$$V_T = V_{FB} + \left( \sqrt{\frac{8k_B T N_{tr} t_{ox}}{C_{ox} L_{g, TFT}}} \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}}} \right) \cdot \left[ 1 - \left( \frac{\epsilon_{si} E_{sc} L_{g, TFT}}{q N_{tr} L_{eff}} \right) \right] \quad (3)$$

- V<sub>FB</sub> flatband voltage
- N<sub>tr</sub> grain boundary trap density
- t<sub>ox</sub> gate oxide thickness
- C<sub>ox</sub> gate oxide capacitance per unit area
- ε<sub>si</sub> semiconductor permittivity
- ε<sub>ox</sub> gate oxide permittivity
- T absolute temperature
- k<sub>B</sub> Boltzmann's constant
- E<sub>sc</sub> short-channel field parameter

이식에서 V<sub>FB</sub>는 -0.51V, L - L<sub>eff</sub> = 0.25μm, N<sub>tr</sub> = 2 × 10<sup>13</sup> cm<sup>-2</sup>, t<sub>ox</sub> = 30nm, 그리고 E<sub>sc</sub> = 5.3 MV/cm로 놓고 그림 3으로 나타내었다.

Grain size variation에 따른 threshold voltage는 그림 3과 같이 채널의 길이가 커질수록 probability density가 커지면서 variation은 작게 나타났다.

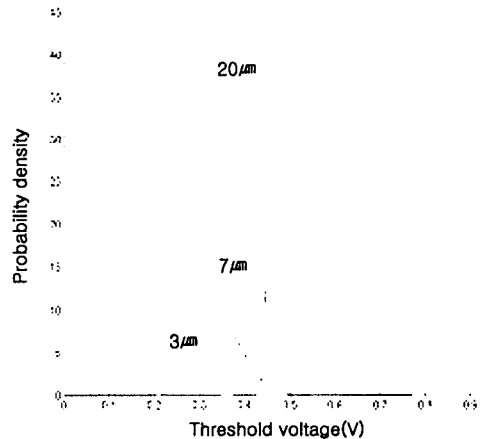


그림 3. 문턱전압의 통계적 분포.

#### 2.4. 이동도(mobility) 분포

이동도는 소자의 전기적 특성에 영향을 줄 수 있는 또 하나의 중요한 성분이다.

Grain size variation에 따른 mobility의 통계적 분포는 grain의 mobility를 구하여 field effect mobility 식(4)에 대입하여 그림(4)를 얻을 수 있었다.

식(4)와 식(5)는 전류의 방향이 grain 내부로 흐르는 성분( $\mu_{gi}$ )과 grain boundary의 수직으로 흐르는 성분( $\mu_{gb,\perp}$ ) 그리고 grain boundary와 평행하게 흐르는 성분들로 구성되었다. 이 세 성분들과 grain size variation과의 관계를 식으로 표현해서 또 다른 통계적 분포를 얻을 수 있다.

$$\begin{aligned} \mu_{FE} &= \left(\frac{l_{gb}}{L_{g,TFT}}\right) \cdot \mu_{gb,\parallel} + \left(\frac{l_{gi}}{L_{g,TFT}}\right) \cdot \mu_g \\ &= \left(\frac{l_{gb}}{L_{g,TFT}}\right) \cdot \mu_{gb,\parallel} + \left(\frac{1-l_{gb}}{L_{g,TFT}}\right) \cdot \mu_g \end{aligned} \quad (4)$$

$$\begin{aligned} \mu_g &= \mu_{gi} \cdot L_{eff} \\ &\cdot \{(N-1) \cdot [l_{gi} + \left(\frac{\mu_{gi}}{\mu_{gb,\perp}}\right) \cdot l_{gb}] + L_{g,TFT}\}^{-1} \end{aligned} \quad (5)$$

여기서  $l_{gb}$ (effective grain boundary width)값은 0.1  $\mu\text{m}$ ,  $\mu_{gi} = 300\text{cm}^2/\text{V} \cdot \text{sec}$ ,  $\mu_{gb,\perp} = 30\text{cm}^2/\text{V} \cdot \text{sec}$ ,  $\mu_{gb,\parallel} = 3\text{cm}^2/\text{V} \cdot \text{sec}$  로 하였다.

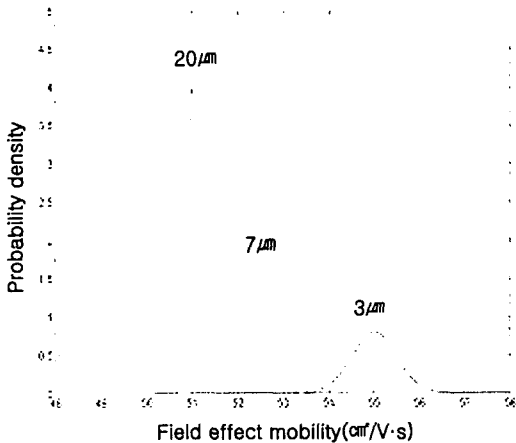


그림 4. 이동도의 통계적 분포

### 3. 결과 및 고찰

문턱전압과 이동도의 통계적 분포가 소자의 성능에 어떠한 영향을 주는지 알아보기 위해 SPICE

를 이용하여 n-ch transistor 특성을 분석 하였다.

#### 3.1. 문턱전압(threshold voltage)의 통계적 분포에 의한 I-V

문턱전압의 통계적 분포에서 variation을 4개로 sampling 하여, SPICE를 통한 I-V 특성을 그림 5와 같이 나타내었다. 이때  $V_{ds}$ 와  $V_{gs}$ 는 각각 3.3V, 1.65V로 하였고, level3을 적용하였다.

표 1과같이 채널의 길이가 커질수록  $I_d$ 는 떨어지는 것을 알 수 있고, 특히 채널길이가 20  $\mu\text{m}$ 일때의 saturation되는 부분의  $I_d$ 는 약 6.2 ~ 7.2  $\mu\text{A}$ 정도 나왔다. I-V 특성의 variation은 채널이 20  $\mu\text{m}$ 일 때 작았다.

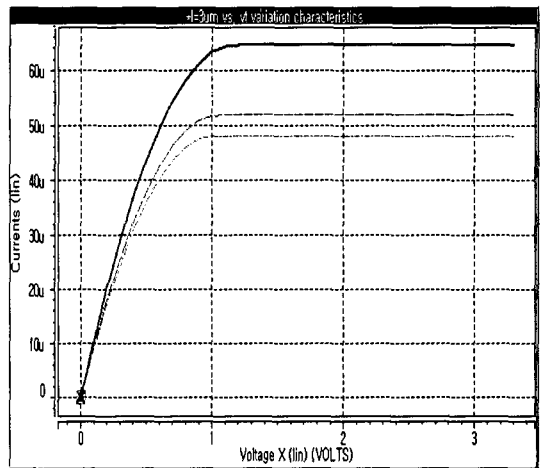


그림 5. 채널 길이 3 $\mu\text{m}$ 의 I-V 특성

표 1. 문턱전압의 variation에 따른  $I_d$

$V_t$ variation (V)	0.2V	0.3V	0.4V	0.5V
Channel length				
3 $\mu\text{m}$ ( $I_d$ variation)	65 $\mu\text{A}$	55 $\mu\text{A}$	48 $\mu\text{A}$	41 $\mu\text{A}$
$V_t$ variation				
Channel length	0.35V	0.4V	0.45V	0.5V
7 $\mu\text{m}$ ( $I_d$ variation)	23 $\mu\text{A}$	21.2 $\mu\text{A}$	18.8 $\mu\text{A}$	18 $\mu\text{A}$
$V_t$ variation				
Channel length	0.42V	0.44V	0.48V	0.5V
20 $\mu\text{m}$ ( $I_d$ variation)	7.2 $\mu\text{A}$	6.8 $\mu\text{A}$	6.4 $\mu\text{A}$	6.2 $\mu\text{A}$

### 3.2. 이동도(Mobility)의 통계적 분포에 의한 I-V

이동도의 통계적 분포 variation으로부터 4개를 sampling하여 각각의 채널에 대해 I-V특성을 그림 6과 같이 나타내었다.

표 2에서 보는 바와 같이 문턱전압에 비해 I-V특성의 variation은 상대적으로 작게 나타났다.

### 4.결 론

본 연구를 통해서 grain size variation이 소자의 성능에 영향을 미칠 수 있다는 것을 알 수 있었다. poly-si TFTs 내의 effective channel에 존재하는 grain size를 소자의 크기만큼 키워준다면, 소자 성능의 재현성을 가져다 줄 수 있을 것으로 생각된다.

### 감사의 글

본 논문은 2003년도 인하대학교 교내 특성화연구비 지원과 집적형 광자기술연구센터(ERC)를 통한 KOSEF의 지원으로 수행되었습니다.

### 참고 문헌

- [1] T. I. Kamins and D. J. Marcoux, "Hydrogenation of transistors fabricated in polycrystalline silicon films," IEEE Electron Device Letter, Vol. EDL-1, p. 159, 1980.
- [2] C. T. Angelis et al, Journal of applied physics, Vol. 86, p. 4600-4606, 1999.
- [3] S. M. Sze, VLSI Technology, 2nd ed. New York: McGraw-Hill, p. 617-618, 1988
- [4] C. A. Dimitriadis and D. H. Tassis, "On the threshold voltage and channel conductance of polycrystalline silicon thin-film transistors," Journal of applied physics, Vol. 79, p. 4431-4437, 1996.

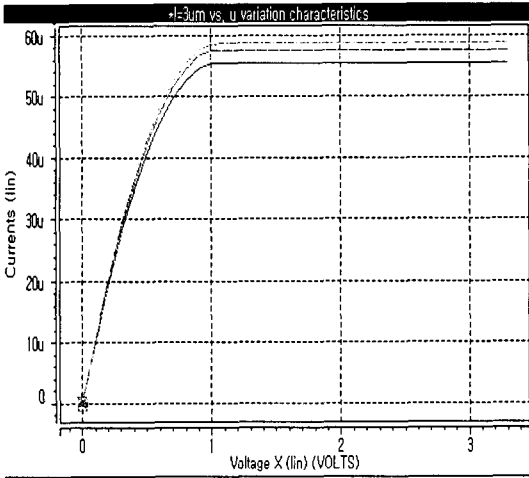


그림 6. 채널 길이 3um의 I-V 특성

표 2. 이동도의 variation에 따른  $I_d$

$\mu_{\text{eff}}$ variation ( $\text{cm}^2/\text{V} \cdot \text{sec}$ )	53.5	54.5	55.5	56.5
Channel length	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )
3 $\mu\text{m}$ ( $I_d$ variation)	56 $\mu\text{A}$	57 $\mu\text{A}$	58 $\mu\text{A}$	59 $\mu\text{A}$
$\mu_{\text{eff}}$ variation ( $\text{cm}^2/\text{V} \cdot \text{sec}$ )	51.5	52	52.5	53.5
Channel length	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )
7 $\mu\text{m}$ ( $I_d$ variation)	21.2 $\mu\text{A}$	21.4 $\mu\text{A}$	21.5 $\mu\text{A}$	22 $\mu\text{A}$
$\mu_{\text{eff}}$ variation ( $\text{cm}^2/\text{V} \cdot \text{sec}$ )	50.5	50.8	51	51.5
Channel length	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )	( $\text{cm}^2/\text{V} \cdot \text{s}$ )
20 $\mu\text{m}$ ( $I_d$ variation)	6.6 $\mu\text{A}$	6.7 $\mu\text{A}$	6.8 $\mu\text{A}$	6.9 $\mu\text{A}$