

# BLT 박막을 이용한 MFIS 구조에서 MgO buffer layer의 영향

이정미, 김경태, 김창일  
중앙대학교

## Effect of the MgO buffer layer for MFIS structure using the BLT thin film

Jung-Mi Lee, Kyoung-Tae Kim, and Chang-Il Kim  
Chung-Ang University

### Abstract

The BLT thin film and MgO buffer layer were fabricated using a metalorganic decomposition method and the DC sputtering technique. The MgO thin film was deposited as a buffer layer on SiO<sub>2</sub>/Si and BLT thin films were used as a ferroelectric layer. The electrical of the MFIS structure were investigated by varying the MgO layer thickness. TEM shows no interdiffusion and reaction that suppressed by using the MgO film as a buffer layer. The width of the memory window in the C-V curves for the MFIS structure decreased with increasing thickness of the MgO layer. Leakage current density decreased by about three orders of magnitude after using MgO buffer layer. The results show that the BLT and MgO-based MFIS structure is suitable for non-volatile memory FETs with large memory window.

**Key Words** : MFIS, MgO, BLT, memory window

### 1. 서론

강유전체를 이용한 기억소자 중 MFS-FET는 강유전체의 분극 특성을 이용하기 때문에 정보를 비파괴적으로 읽을 수 있을 뿐만 아니라 빠른 구동속도, 고직접화의 장점을 가지고 있지만, Si 위에 직접 강유전체를 증착하기 때문에 제작과정에서 강유전체와 Si의 상호반응으로 인한 확산으로 계면특성이 나빠지게 되고 낮은 유전상수를 갖는 SiO<sub>2</sub>층이 생성될 수 있다. 이것을 해결하기 위한 방법으로 강유전체와 Si 사이에 계면특성이 좋고 유전상수가 높은 절연층을 삽입하는 MFIS 구조가 제안되었다. 일반적으로 절연층은 좋은 계면을 형성하기 위해 Si 위에 heteroepitaxial 성장해야 하고, 높은 유전 상수를 갖으며, Si과 반응하지 않고, 확산 방지막의 특성을 가지고 있어야 한다.

본 연구는 여러 가지 우수한 절연체 중 MgO를

선택하였다. MgO와 BLT를 이용한 MFIS 구조의 특성을 연구하고, 이를 이용한 MFIS-FET 구조의 비휘발성 메모리 소자로의 응용 가능성을 조사하고자 한다.

### 2. 실험

P-형 Si 기판은 자연산화막(SiO<sub>2</sub>)을 제거하기 위해 유기 세정 및 표준 RCA법으로 세정하였다. MgO 박막은 DC sputtering 방법을 이용해 증착하였다. MgO 박막의 증착 조건은 표 1.에 나타내었다. BLT 용액은 bismuth(III) acetate [(CH<sub>3</sub>CO<sub>2</sub>)<sub>3</sub>Bi], lanthanum-acetate hydrate [(CH<sub>3</sub>CO<sub>2</sub>)<sub>3</sub>LA · x.H<sub>2</sub>O], titanium iso-propoxide [Ti[OCH(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>], acetic acid, 2-methoxyethanol을 사용하여 제조한 후, Si 기판과 MgO 박막 위에 스퍼인 코팅법에 의해 증착하여 BLT/Si와

BLT/MgO/Si 구조의 두 가지 시료를 제작하였다. 상부 전극으로 사용될 Pt는 지름이 300  $\mu\text{m}$ 인 새도우 마스크를 이용하여 BLT 위에 DC 스퍼터링 방법으로 증착하였다. 증착된 박막의 결정구조를 XRD를 이용하여 분석하였고, TEM을 이용하여 비정질의 SiO<sub>2</sub> 층 생성여부 및 Si과 BLT막의 내부확산이 없는지를 확인하였다. 1 MHz의 주파수에서  $\pm 3\text{ V} \sim \pm 7\text{ V}$  범위로 전압인가 하여 HP4192 impedance analyzer를 이용하여 C-V 특성을 분석하였고, semiconductor parameter analyzer (4156C)를 이용하여 I-V 특성을 측정하였다.

표 1. MgO 박막의 sputtering 조건.

Target	MgO
Sputtering pressure	$1.2 \times 10^{-3}$ Torr
RF power	100 W
Target distance	15 cm

### 3. 결과 및 고찰

그림 1은 p-형 Si 기판 위에 증착 시킨 BLT/MgO 박막의 XRD 패턴을 나타내었다. BLT 박막은 (117) 방향이 강한 BTO 층상 페로스카이트 구조의 일반적인 XRD 패턴을 나타내었고, 이차상은 관찰되지 않았다.

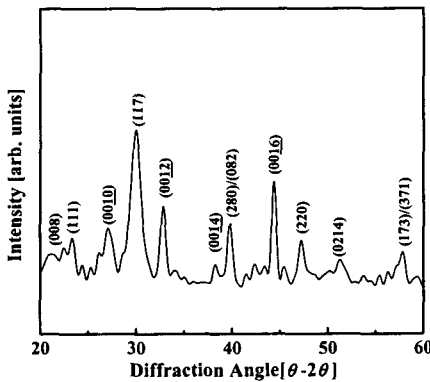


그림 1. BLT/MgO/Si 구조의 X선 회절 패턴.

그림 2는 Pt/BLT/MgO/Si 구조에서 MgO 두께에

따른 C-V 특성을 나타내었다. MgO 박막의 두께는 5 nm부터 30 nm로 다양화하였고 BLT 박막은 210 nm로 고정되었다. C-V 곡선은 축적에서 반전 상태까지 변하고, 시계방향의 히스테리시스 특성을 보인다. 이는 BLT 박막의 강유전 분극 특성에 의한 것으로 보인다. MgO 박막의 두께가 증가할수록 커패시턴스 값이 작아지고, memory window 폭 또한 감소하여 5 nm 두께의 MgO 박막에서 가장 큰 값을 갖는다.

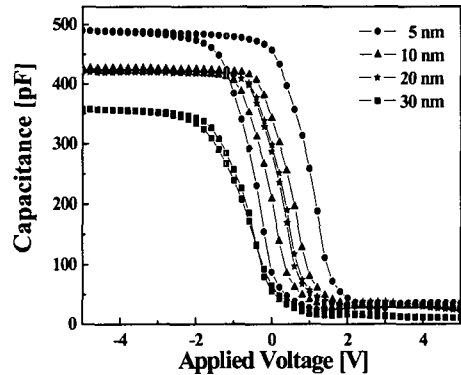


그림 2. BLT/MgO/Si 구조의 MgO 두께에 따른 C-V 특성.

그림 3은 MIS, MFIS, MFS 구조의 특성을 비교하기 위해 Pt/MgO/Si, Pt/BLT/MgO/Si, Pt/BLT/Si 구조를 제작하여 voltage sweep에 따른 C-V 특성을 나타내었다. MgO와 BLT 박막의 두께는 각각 5 nm와 210 nm이다. MFIS와 MFS 구조에서 C-V 곡선이 강유전층으로의 전하 주입에 의해 오른쪽으로 shift 된 것을 볼 수 있다. 그림 2에서와 마찬가지로 커패시턴스는 축적에서 반전 상태까지 변하며, 강유전체의 분극반전에 의한 히스테리시스 특성이 관찰되었다. 그러나 MIS 구조에서 MgO의 두께는 30 nm로 memory window 값이 거의 0에 가깝다. 이는 전하 주입과 이온 드리프트 효과를 거의 무시할 수 있음을 나타낸다.

그림 4는 BLT/MgO/Si와 BLT/Si 구조의 voltage sweep에 따른 memory window 크기 비교를 나타내었다. 그림 2의 시료와 마찬가지로 MgO 박막의 두께는 5 nm에서 30nm로 다양화

되었고, BLT 박막은 210 nm로 고정되었다. Memory window는 같은 두께의 MgO 박막에서 인가전압의 증가에 따라 증가하였다. 5 nm의 MgO 박막의 경우 0.41 V에서 2.51 V까지 증가하였다. BLT 박막 또한 인가전압이 증가함에 따라 memory window 값이 0.22 V에서 1.02 V까지 증가하였다. 이는 인가전압이 증가함에 따라 강유전체의 항전계와 분극값이 증가하여 memory window 값 또한 증가하는 것으로 사료된다.

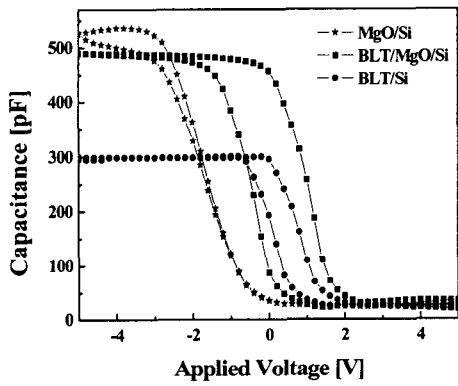


그림 3. MgO/Si, BLT/MgO/Si, BLT/Si 구조의 voltage sweep에 따른 C-V 특성.

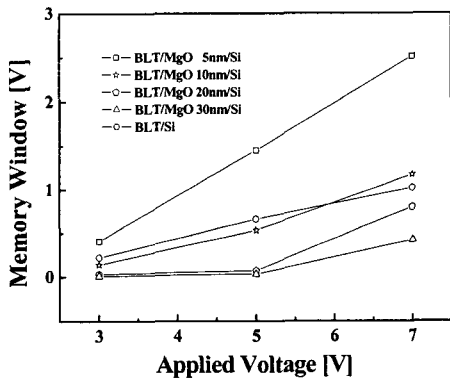


그림 4. BLT/MgO/Si와 BLT/Si 구조의 voltage sweep에 따른 memory window 크기 비교.

그림 5는 BLT/MgO/Si와 BLT/Si 구조의 current-voltage 특성을 비교하였다. MFS와 MFIS 구조는 3 V의 인가전압에서 각각  $0.2 \text{ A/cm}^2$  와

$1.52 \times 10^{-5} \text{ A/cm}^2$ 를 나타내었다. 이것으로 I-V 특성이 MgO layer에 의해 개선되었음을 알 수 있다.

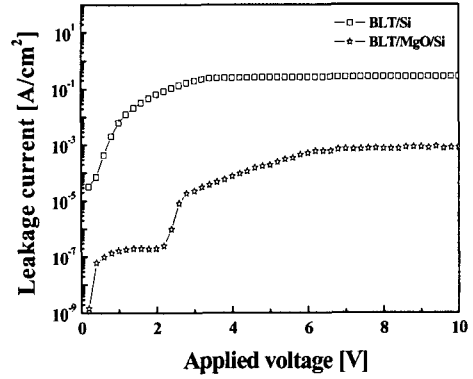


그림 5. BLT/MgO/Si와 BLT/Si 구조의 current-voltage 특성 비교.

그림 6은 MgO 박막의 계면 확산 방지막으로서의 효과를 확인하기 위해, BLT/MgO/Si 구조의 cross-sectional TEM 이미지를 나타내었다. 여기서 MgO 박막은 약 20 nm의 두께를 가진다. 일반적으로 강유전체 박막과 Si 계면사이에는 상호확산에 의해 계면 특성이 나빠지게 되고 낮은 유전상수를 가지는 비정질의 SiO<sub>2</sub> 층이 생성되는 것과 같은 문제점이 있다. 또한, 전기장을 인가했을 때 전기장의 대부분이 강유전층이 아닌 다른 부분에 걸리게 되어 소자 구동시 동작 특성에 영향을 주게 된다. 이러한 계면확산을 방지하기 위해 Si 기판위에 MgO 박막 및 BLT 박막을 증착하여 계면에서의 상호확산을 관찰하였다. 그림에서 나타난바와 같이 BLT와 Si이 서로 확산이 없는 계면 특성을 나타내었다. 약 6 nm의 SiO<sub>2</sub> 층이 어닐링 과정에서 생성되었지만 MFIS 구조에서 MgO 박막이 buffer layer로서 적합함을 알 수 있다.

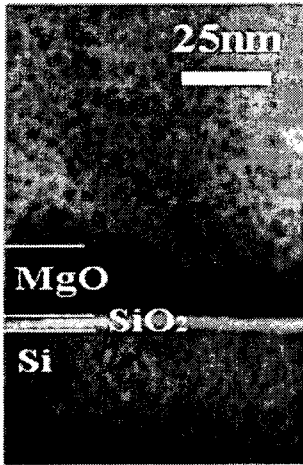


그림 6. BLT/MgO/Si 구조의 cross-sectional TEM 이미지.

#### 4. 결 론

절연물질로 사용된 MgO 박막은 DC sputtering 방법에 의해 증착되었고, 강유전체 BLT 박막은 MOD법에 의해 제조하여 스피ن 코팅 방법으로 BLT/Si와 BLT/MgO/Si 구조의 두가지 타입을 제작하였다. BLT 박막은 (117) 결정성이 강한 다결정임을 XRD를 통해 관찰 하였다. 1 MHz C-V 곡선에서 BLT/Si 구조의 메모리 윈도우는 0.66 V였고, 절연층을 사용한 BLT/MgO/Si 구조의 메모리 윈도우는 1.45 V였다. 전압 인가를 크게 할수록 메모리 윈도우값이 커짐을 알 수 있다. . 이것으로 MgO를 절연층으로 사용했을 때 특성이 우수하여 BLT/MgO/Si의 MFIS-FET 구조는 비휘발성 메모리소자로서 응용 가능성이 확인 되었다.

#### 참고 문헌

[1] J. f. Scott and C. A. Araujo, "Ferroelectric Memories", Science, Vol. 246, p. 1400, 1989.  
 [2] T .Kijima, Y. Fujisaki, and H. Ishiwara, "Fabrication and Characterization of Pt/(Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>/Si<sub>3</sub>N<sub>4</sub>/Si Metal Ferroelectric Insulator Semiconductor Structure for FET-Type Ferroelectric Memory

Applications", Jpn. J. Appl. Phys., Vol. 40, p.2977, 2001.  
 [3] K. Nagashima, T. Hirai, H. Koike, Y. Fijisaki, and Y. Tarui, "", Jpn. J. Appl. Phys., Vol. 35, p.L1680, 1996.  
 [4] H. W. Song, C. S. Lee, D. G. Kim, and K. S. No, "Characterization of MgO thin films as insulator of metal ferroelectric insulator semiconductor(MFIS) structures", Thin Solid Films, 368, p.61, 2000.  
 [5] 김경태, 김창일, 권지운, 심일훈, "MOD 법으로 제작된 Bi<sub>3.25</sub>La<sub>0.75</sub>Ti<sub>3</sub>O<sub>12</sub> 박막의 강유전 특성", 전기전자재료학회논문지, Vol. 15, No. 6, p. 486, 2002.  
 [6] T. J. Choi, Y. S. Kim, C. W. Yang, J. C. Lee, "Electrical properties of Bi<sub>3.25</sub>La<sub>0.75</sub>Ta<sub>3</sub>O<sub>12</sub> thin films on Si for a metal-ferroelectric-insulator-semiconductor structure", Appl. Phys. Lett., Vol. 79, No. 10, p. 1516, 2001.