

NMOS 게이트 전극에 사용될 Ta-Ti 합금의 특성

강영섭, 이충근, 김재영, 홍신남
한국항공대학교 전자공학과

Characteristics of Ta-Ti alloy Metal for NMOS Gate Electrodes

Young-Sub Kang, Chung-Keun Lee, Jae-Young Kim, Shin-Nam Hong
Hankook Aviation University, Department of Electronic Engineering

Abstract

Ta-Ti metal alloy is proposed for alternate gate electrode of ULSI MOS device. Ta-Ti alloy was deposited directly on SiO₂ by a co-sputtering method and good interface property was obtained. The sputtering power of each metal target was 100W. Thermal and chemical stability of the electrode was studied by annealing at 500°C and 600°C in Ar ambient. X-ray diffraction was measured to study interface reaction and EDX(energy dispersive X-ray) measurement was performed to investigate composition of Ta and Ti element. Electrical properties were evaluated on MOS capacitor, which indicated that the work function of Ta-Ti metal alloy was ~4.1eV compatible with NMOS devices. The measured sheet resistance of alloy was lower than that of poly silicon.

Key Words : Metal, Gate, Co-sputter, Ta-Ti, Work function

1. 서론

Scaling 원리를 이용하여 더 작은 크기의 반도체 소자를 추구한 결과, 반도체 소자의 채널길이는 100nm이하 영역까지 작아졌으며 게이트 산화막의 두께도 20Å 이하로 줄어들게 되었다. 이러한 반도체 소자의 급속한 크기 감소로 인해 폴리실리콘(poly silicon)의 게이트 공핍(gate depletion)[1]이나, 붕소의 침투(boron penetration), 높은 면저항, 높은 누설전류 등 기존의 소자 구조 및 물질로는 도저히 풀 수 없는 여러 가지 문제점들이 노출되었다[2]. 이것은 반도체 칩의 면적을 줄이는데 필요한 요소 중 가장 심각한 문제 중의 하나이다. 이러한 문제점들을 해결하기 위하여 게이트 전극물질로 금속(metal)을 사용하는 것이 제안되었다. 즉, 소자의 성능은 유지하면서 게이트 전극물질로 폴리실리콘을 대체할 metal gate를 사용하는 것이 바람직하다.

Metal gate를 사용하기 위해서는 몇 가지 조건을 충족 시켜야 한다. 첫째, 적합한 일함수이다.

NMOS와 PMOS에 사용할 metal gate는 각각 ~4.2eV와 ~5.2eV의 일함수 값을 가져야 한다. 둘째, 공정의 적합성이 있어야 한다. 셋째로는 게이트 전극 아래의 게이트 절연막과의 열적/화학적 계면 안정성이 있어야 한다. 전기적으로나 열적/화학적으로 우수한 PMOS에 적합한 금속 물질들은 많이 보고된 반면에 NMOS의 metal gate로 연구된 금속 물질들(Ta, Hf, Ti, Zr)은 적합한 일함수 값을 가지고 있으나 열적/화학적 불안정성으로 인해 많은 문제점이 나타났다[3]. 이러한 열적/화학적 불안정성으로 인해 게이트 전극과 산화막간의 반응성이 좋아 interlayer를 형성하게 되고 결국은 소자의 전기적인 성능 저하가 나타나게 된다. 전기적으로 적합한 일함수를 가지면서 열적/화학적으로 안정한 금속 전극 물질을 찾기 위한 연구가 많이 진행 되어 왔다. 최근에는 전기 전도성이 좋고 낮은 저항값을 가지면서 게이트 전극으로 매우 안정한 백금(Pt)이나 금(Au)을 게이트 전극으로 사용하는 방법이 제시되었지만 높은 비용이나 박막의 스트레스(stress), 사진공정에 있어서의 한계 등 여러

문제점으로 인해 부적합한 것으로 보고 되었다. 또한 MoN_x [4]나 RuO_2 [8-9]와 같은 금속 질화물/산화물을 이용하는 방법과 RuTa_x [5]과 같은 합금을 이용하는 방법들이 제시되었다.

본 논문에서는 Ta-Ti 합금을 게이트 전극으로 증착한 커패시터를 제작하여 열처리에 따른 전기적인 특성을 측정하고 EOT(effective oxide thickness) 변화 및 게이트 전극과 게이트 산화막 사이의 계면상태를 분석하였다. 아울러 순수한 Ta을 증착하여 소자를 제작하고 전기적인 특성을 측정하여 Ta-Ti 합금 게이트와 비교 분석하였다. 또한 면저항을 측정하여 현재 게이트 전극으로 사용되고 있는 폴리실리콘(poly silicon)과 비교하였다.

2. 실험

본 실험에 사용된 커패시터는 두 종류의 게이트로 제작하였다. Ta-Ti 합금과 순수한 Ta을 게이트 전극으로 사용하였으며 공정 순서는 다음과 같다. (100)의 n형 실리콘 기판에 3500Å의 필드 산화막과 30-35Å의 게이트 산화막을 열적 성장시켰다. Ta-Ti 합금 게이트는 Ta과 Ti을 co-sputtering하여 증착하였으며 스퍼터링 전력은 각각 100W이었다. 순수 Ta 게이트의 경우에는 Ta을 100W로 스퍼터하였다. 게이트 전극은 lift-off 방법으로 패터닝(patterning)하였다. 제작된 시편은 아르곤 환경에서 각각 500°C, 600°C로 10초간 급속 열처리를 수행하였다. 그림 1에는 MOS 커패시터의 간단한 공정 흐름도를 나타내었다.

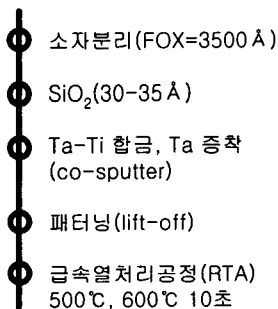


그림 1. MOS capacitor 공정 흐름도

C-V 특성은 HP4280을 사용하여 측정하였으며 평탄전압과 EOT는 NCSU C-V 프로그램[6]을 사

용하여 산출하였다. 면저항은 4점 탐침기를 사용하여 측정하였다. Ta-Ti 합금의 원자 조성 비율은 EDX(energy dispersive X-ray)를 사용하여 측정하였고, Cu K_α ($\lambda=1.54056$)를 통한 XRD(X-ray diffraction) 분석을 통해 합금의 상태 조사 및 열처리에 따른 금속 박막과 산화막과의 계면 상태 등을 조사하였다.

3. 결과 및 고찰

EDX 측정을 통해 Ta과 Ti의 정량 분석을 한 결과 합금의 원자 조성비율이 Ta이 96%이며 Ti은 4%임을 알 수 있었다.

그림 2와 그림 3은 열처리전과 600°C 열처리 후의 XRD peak를 나타낸 것이다.

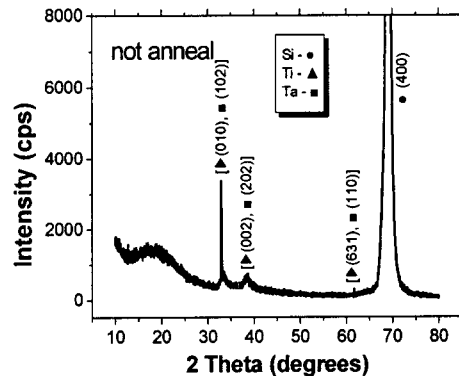


그림 2. 열처리 수행 이전의 Ta-Ti XRD peak

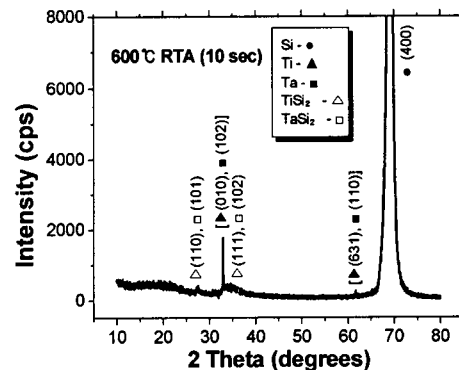


그림 3. 600°C 열처리 후의 Ta-Ti XRD peak

그림 2와 그림 3의 열처리 전과 열처리 후를 비교했을 때 Ta-Ti 전극과 SiO₂와의 계면에 실리콘 화합물(silicide)이 생성되었음을 알 수 있다. 이러한 계면에서의 반응물들이 얼마나 생성이 되었으며 전기적으로 소자의 특성에 어떠한 영향을 주는지에 대해서 다음의 C-V 측정을 통하여 알아보았다.

그림 4와 그림 5는 Ta-Ti 합금과 순수한 Ta의 열처리에 따른 C-V 특성 곡선을 비교적으로 보여주고 있다.

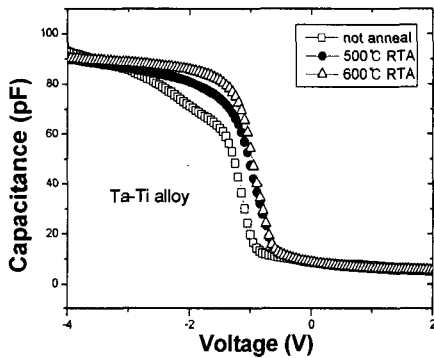


그림 4. Ta-Ti 합금 게이트를 사용한 커패시터의 열처리 온도에 따른 C-V 특성 곡선 변화

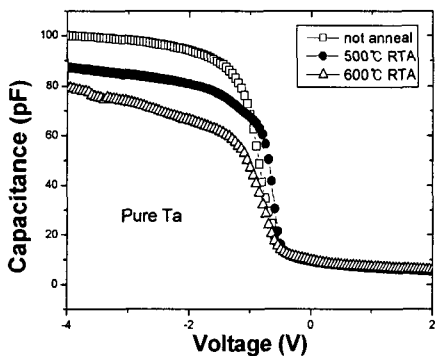


그림 5. Ta 게이트를 사용한 커패시터의 열처리 온도에 따른 C-V 특성 곡선 변화

그림 4의 경우 열처리 전과 열처리 후의 평탄 대역 전압이 이동한 것을 볼 수 있는데, 이것은 열처리에 의한 sputter damage와 fixed charge의 감소

에 기인한다. 또한 500°C와 600°C의 열처리 후에는 열처리에 따른 평탄 대역 전압의 이동이 거의 일어나지 않았으며, 열처리 전과 열처리 후의 축적 상태에서의 정전 용량 값은 거의 일치하였다. 이는 600°C까지의 열처리에 의해 Ta-Ti 합금을 사용한 게이트와 실리콘 산화막이 열적/화학적으론 큰 영향을 받지 않았다는 의미이며 전기적으로 소자의 특성이 저하되지 않았다는 것을 알 수 있다. 다시 말하면, 열처리에 게이트 전극과 실리콘 산화막과의 계면에 생성된 실리사이드 화합물들은 전기적으로 소자에 큰 영향을 미치지 않았다. 또한 측정된 C-V 곡선을 토대로 일함수 값을 산출한 결과 Ta-Ti 합금은 NMOS에 적합한 일함수 값인 4.1eV를 얻을 수 있었다.

반면에 그림 5의 경우에는 열처리에 따라 축적 상태에서의 정전 용량의 변화량이 큰 것을 알 수 있었다. 결과적으로 순수한 Ta만을 게이트 전극으로 사용할 경우 Ta과 Ti을 합금으로 증착시킨 경우에 비해 심각한 소자의 성능 저하를 보인다는 것을 추론할 수 있다.

그림 4와 그림 5에서 측정된 C-V 특성을 토대로 추출된 급속 열처리에 따른 EOT값의 변화를 그림 6에 나타내었다.

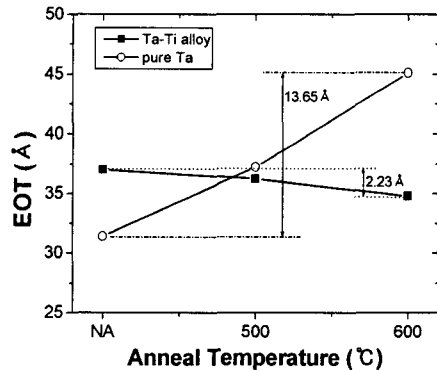


그림 6. 열처리에 따른 EOT변화

Ta-Ti 합금으로 제작한 MOS 커패시터를 열처리하지 않았을 때와 600°C 열처리한 후의 산화막 두께의 차이는 약 2Å이었다. 그림 3의 XRD peak에 나타난 실리사이드 화합물들을 토대로 이러한 두께의 변화를 볼 때, Ta-Ti 합금과 SiO₂ 사이의 계

면에는 무시해도 될 정도의 소량의 화합물들이 생성 되었다고 말할 수 있다. 반면에 순수한 Ta의 경우 열처리전과 열처리후의 산화막 두께의 차이는 약 13Å 정도로 큰 변화를 보였다. 실제로 Ta의 경우 전기적으로 NMOS에 적합한 일함수를 가지고는 있으나 실리콘 산화막과의 반응성이 매우 높아 이를 줄이려는 노력이 계속되고 있다.

폴리실리콘의 여러 단점 중 높은 면저항은 큰 문제점 중의 하나이다. 면저항이 크다는 것은 전력 소모가 크다는 것으로써 현대의 반도체 산업에 요구되는 저전력 소자에는 적합하지 않으며 소자의 scaling에 있어서 한계점으로 작용한다. 일반적으로 폴리실리콘의 면저항은 수백[Ω/□]정도이며, 이것은 폴리실리콘에 도핑할 불순물의 종류나 농도 그리고 주입 에너지에 따라 달라지지만 대체로 높은 값을 가진다[7]. 4점 탐침기를 사용하여 Ta-Ti 합금의 면저항을 측정한 결과는 65.76[Ω/□]이었다. 이는 폴리실리콘의 면저항에 비해 대체적으로 낮은 값이다. 이러한 낮은 면저항은 결과적으로 소자의 전력소모를 줄일 수 있을 것이다.

4. 결 론

NMOS의 게이트 전극에 적합한 Ta-Ti 합금의 여러 가지 특성을 알아 낼 수 있었다. MOS 커패시터의 게이트 전극으로 Ta과 Ti을 각각 100W의 전력으로 co-sputter하여 형성하였다. 커패시터를 600°C에서 열처리한 후에 전기적인 특성을 분석한 결과 일함수는 약 4.1eV로 NMOS 게이트 전극으로 사용하게에 적합한 값을 알 수 있었으며, 600°C까지의 열처리에 EOT에 큰 변화가 없었다. 또한 열적/화학적 분석을 통해 계면 상태를 살펴본 결과 극소량의 실리콘 화합물들이 생성되었으나 소자의 성능 저하는 나타나지 않았다. 반면 순수한 Ta을 게이트 전극으로 사용한 경우에는 열처리를 함에 따라 Ta-Ti 합금에 비해 전기적으로 소자의 성능 저하가 심각함을 알 수 있었다. 면저항은 65.76[Ω/□]로 폴리실리콘에 비해 낮은 값을 나타내었다.

참고 문헌

[1] C. H. Choi, P. R. Chidambaram, R. Khamankar, C. F. Machala, Z. Yu, R. W.

Dutton, "Dopant profile and gate geometric effect on polysilicon gate depletion in scaled MOS", IEEE Transaction on Elec. Dev., Vol. 49, No. 7, Jul. 2002.

[2] H. Iwai, S. Ohmi, "Problems and solutions for downsizing CMOS below 0.1μm", ICSE2000 Proceeding, Nov. 2000.

[3] V. Misra, G. P. Heuss, H. Zhong, "The use of MOS capacitors to detect interactions of Hf and Zr gate with SiO₂", J. of Appl. Phys. Letters, Jun. 2001.

[4] P. Ranade, Y. K. Choi, D. Ha, A. Agarwal, M. Ameen, T. J. King, "Tunable work function molybdenum gate technology for FDSOI-CMOS", IEDM '02, Tech. Dig. Int., page 363, 2002.

[5] H. Zhong, S. N. Hong, Y. S. Suh, H. Lazar, G. Heuss, V. Mirsa, "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices" IEDM '01, Tech. Dig. Int., page 467, 2001.

[6] J. R. Hauser et al, "SRC working paper", 1997.

[7] J. E. Suarez, B. E. Johnson, B. El-Karch, "Thermal stability of polysilicon resistors", Electronic Components and Technology Conference, 1991. Proceedings., 41st page. 537, 11-16 May 1991.

[8] H. Zhong, G. Heuss, V. Mirsa, "Electrical properties of RuO₂ gate electrodes for dual metal gate Si-CMOS", IEEE Elec. Dev. Letters, Vol. 21, No. 12, Dec. 2000.

[9] H. Zhong, G. Heuss, V. Misra, "Characterization of RuO₂ electrodes on Zr silicate and ZrO₂ dielectrics", J. of Appl. Phys. Letters, Vol. 78, No. 8, 19 Feb. 2001.