

게이트 유전체 적용을 위한 플라즈마를 이용해 질화된 HfO₂ 박막의 특성평가

김전호, 최규정, 윤순길¹, 이원재²
충남대학교 재료공학과¹, 동의대학교 나노공학부²

Characterization of Nitrided HfO₂(HfO_xN_y) for Gate Dielectric Application using Plasma

Jeon-Ho Kim, Kyu-Jeong Choi, Soon-Gil Yoon¹ and Won-Jae Lee²
Chungnam Nat'l Univ¹, Dong-Eui Univ²

Abstract

HfO₂ thin films were deposited at 300°C on p-type Si (100) substrates using Hf[OC(CH₃)₃]₄ as the precursor by plasma-enhanced chemical vapor deposition and were annealed at 300°C in nitrogen plasma ambient. Compared with HfO₂, nitrogen plasma annealed HfO₂ show good chemical stability, higher crystallization temperature, lower leakage current and thermal stability. Leakage current density of nitrogen plasma annealed HfO₂ is approximately one order of magnitude lower than that of HfO₂ for the same EOT. The improvement in electrical characteristics of nitrogen plasma annealed HfO₂ can be explained by the better thermal stability due to nitrogen incorporation.

Key Words : High-k gate dielectrics, HfO₂, TaN, Nitrogen plasma annealing

1. 서론

100 nm 이하의 CMOS 기술에서 게이트 유전체로서 SiO₂는 한계에 달하였으므로 여러 고유전율 게이트 유전체가 SiO₂의 대체물로서 연구되고 있다.¹ 고유전율 게이트 유전체를 사용함으로써, 동일 유효산화막두께 (effective oxide thickness, EOT) 에서 실제 게이트 유전체를 두껍게 할 수 있기에, 유전체의 터널링 누설전류를 현저히 줄여줄 수 있다.²

실리콘과 접촉할 때의 열역학적 안정성으로 인해 HfO₂와 HfSiO₄ 연구가 최근에 주목을 끌고 있다.³⁻⁵ 게다가, HfO₂는 다결정 실리콘 게이트와 호환성이 우수하다.⁶ 그러나, 고온에서 계면층 두께

상승으로 인한 EOT의 증가와 낮은 결정화 온도로 인한 높은 누설전류밀도 등의 문제점이 있다. 높은 누설전류밀도와 EOT와 같은 문제점들을 해결하기 위해 질소 주입 기술이 연구되고 있다.^{7,8,9} 본 연구에서는, 게이트 유전체 적용을 위하여 HfO₂ 박막에 플라즈마 어닐링을 통해 질소를 주입하는 실험을 시도하였다.

2. 실험

p형 실리콘(100) 웨이퍼를 RCA 세정한 후, HfO₂ (HfO_xN_y) 박막을 반응가스인 산소 없이 hafnium-tertiary-butoxide (Hf[OC(CH₃)₃]₄ : Techno Semichem Co., Ltd., Korea)를 사용하여

플라즈마 화학 기상 증착법으로 증착하였다. 버블러 온도를 30℃로 유지하여 Hafnium-tertiary-butoxide를 기화시킨 후 HfO₂ 박막을 Ar 분위기에서 RF 파워 40W로 증착시켰다. 플라즈마에 의한 HfO₂와 실리콘 계면의 손상을 줄이기 위해 초기에 플라즈마를 사용하지 않고 HfO₂를 1분 증착한 후, 플라즈마를 이용하여 증착하였다.⁵ 질소 플라즈마 어닐링은 Ar/N₂ (100/50 sccm) 분위기에서 플라즈마 화학증착 장비를 이용해 실험을 하였다. 어닐링 온도는 300℃에서 10분 동안 유지하였고, RF 파워를 각각 40, 70W로 변화시켜 보았다. 게이트 전극인 TaN는 DC 마그네트론 스퍼터링 방법으로 증착하였다. 실험조건은 상온에서 5mTorr, 그리고 N₂/Ar을 0.05의 비율로 증착하였다. 전기적인 특성을 측정하기 위해 TaN 게이트 전극을 lift-off lithography 방식으로 만들었고, MOS capacitor 면적을 50 × 50 μm²로 하였다. Post Deposition Annealing (PDA) 온도를 질소 분위기에서 1분 동안 600~800℃까지 변화시켰고, Post Metal Annealing (PMA)는 질소 분위기에서 1분 동안 900℃에서 실험하였다.

HfO₂ 박막의 결정구조는 x-ray diffraction (XRD; Rigaku, D/MAXRC, Japan)으로 관찰하였고, HfO₂ 박막의 표면 거칠기는 Atomic Force Microscopy를 이용해 측정되었다. HfO₂ 박막의 물리적 두께는 Ellipsometry를 사용하여 측정되었고, 박막에 주입된 질소는 auger electron spectroscopy (AES; VG Scientific Microlab 310-D, United Kingdom)를 사용하여 확인되었다. 정전용량-전압 (C-V)과 전류-전압 (I-V) 곡선은 HP4194A impedance/gain-phase analyzer와 HP4156A semiconductor parameter analyzer로 각각 측정되었다.

3. 결과 및 고찰

Figure 1에서 다양한 온도에서 열처리된 30 nm-HfO₂ 박막의 XRD 패턴을 보여주고 있다. PDA 열처리온도를 질소 분위기에서 1분 동안 500~900℃까지 변화시켜보았다. 플라즈마 어닐링을 하지 않은 As-deposited 박막에서는 단지 넓은 (111) peak만을 보여주는데 이는 사실상 결정화를 이루지 않았음을 나타낸다. 그리고 600℃ 이상에서 질소 분위기에서 1분 동안 열처리된 박막은 완전히 결정화되어 (111), (200) 면의 단상정제 HfO₂ peak을 나타내었다. 이와 반대로, 플라즈마 어닐링

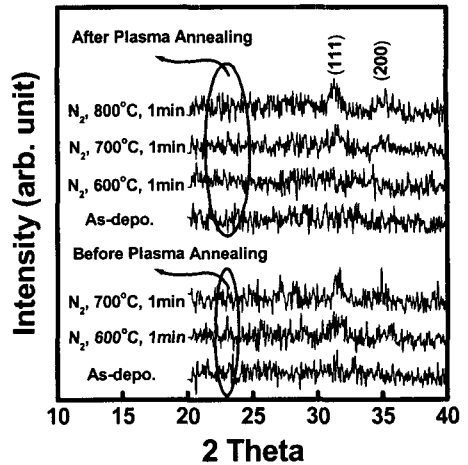


Fig. 1. X-ray diffraction patterns of before and after plasma annealing HfO₂ (~30 nm) films annealed at various temperatures for 1 min in nitrogen ambient.

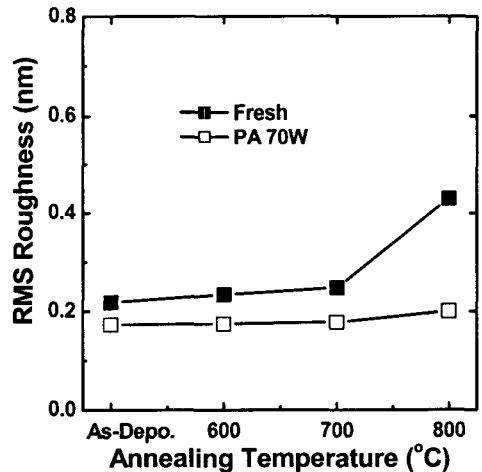


Fig. 2. Rms roughness variations by annealing temperature of HfO₂ (Fresh and PA) annealed at various temperatures for 1 min in nitrogen ambient.

한 박막은 동일한 온도에서 열처리한 결과 여전히 비정질상태로 존재했다. 이는 플라즈마 어닐링한 결과, HfO₂ 박막에 질소가 주입됨으로써 결정화는 온도가 높아진 결과로 볼 수 있었다.

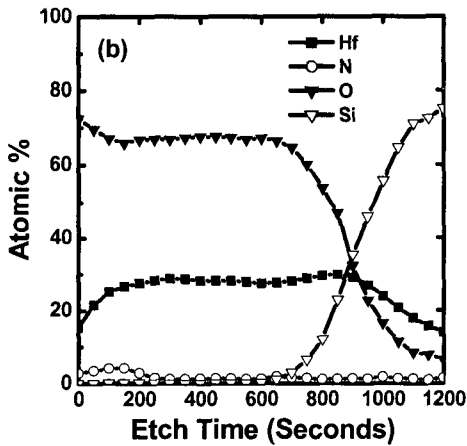
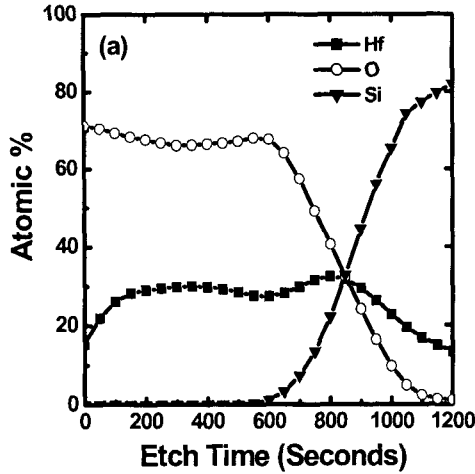


Fig. 3. AES spectrum of Fresh-HfO₂/Si (a) and plasma annealing-HfO₂/Si (b) annealed at 700°C in nitrogen ambient for 1 min.

Figure 2에서 열처리 온도에 따른 각 박막의 거칠기 변화를 나타내었다. 초기 박막의 거칠기가 열처리 온도가 증가함에 따라 급격히 증가한 반면에, 70 W에서 플라즈마 어닐링한 박막에서는 거칠기의 변화가 나타나지 않았다. 이로 보아 질소가 박막의 열적 안정성을 향상시킨 결과로 생각되었다.

Figure 3 (a) 는 플라즈마 어닐링을 하지 않은 초기 박막을 질소 분위기에서 1분 동안 700°C 열처리한 HfO₂의 AES spectrum을 보여주고 있다. 박막 안에 질소가 전혀 보이지 않았고, 플라즈마

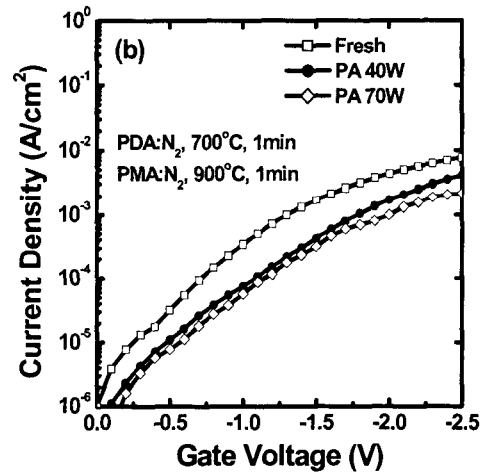
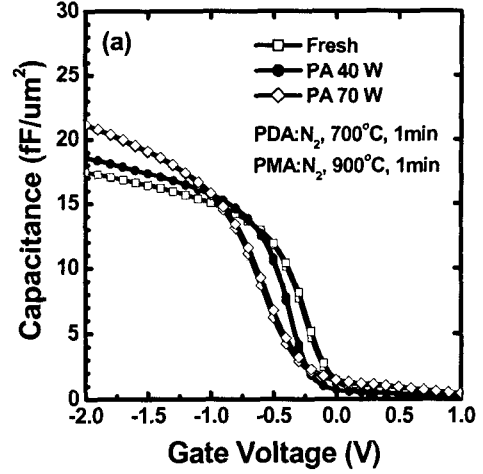


Fig. 4. C-V curve of Fresh & Plasma annealed HfO₂/Si (a) and I-V curve of Fresh & Plasma annealed HfO₂/Si (b)

어닐링한 Figure 3(b)에서는 예상했던대로 약 4~5% 정도의 질소가 확인되었다.

Figure 4 (a)는 질소 분위기에서 1분 동안 열처리된 다양한 박막의 C-V 곡선을 나타내고 있다. 초기 박막이 가장 낮은 정전용량 값을 나타낸 반면에, 70 W의 조건으로 플라즈마 어닐링 한 박막은 가장 높은 정전용량 값을 보였다. 이는 박막이 열처리를 거칠 때, 플라즈마를 통해 박막안에 존재하는 질소의 영향으로 계면 산화층의 증가를 충분

히 억제된걸로 생각되어진다. 그리고 C-V 곡선에 서 나타나고 있는 음의 평탄대 전압 이동은 질소가 박막안에 주입됨으로써 양의 고정전하가 많아져 어느 정도의 질소가 이런 작용을 한걸로 보았다. Figure 4 (b)는 질소 분위기에서 1분 동안 PDA 열처리된 TaN/HfO₂/Si 구조의 누설전류밀도를 보여주고 있다. 초기 박막에 비해 낮은 오더를 보이는 플라즈마 어닐링한 박막의 누설전류밀도는 박막 안의 질소가 게이트 유전체로의 산소확산을 억제하기 때문에 위와 같은 값을 얻었다. 그 결과, 동일한 EOT에서 플라즈마 어닐링한 박막의 누설전류밀도는 초기 박막보다 대략 일차수 정도 낮았다.

4. 결 론

게이트 유전체로 쓰이는 HfO₂ 박막을 플라즈마 화학 증착법에 의해 Hf[OC(CH₃)₃]₄를 사용하여 p형 실리콘 위에 300°C에서 증착한 뒤, 질소 플라즈마를 이용해 어닐링하였다. HfO₂의 초기 박막과 플라즈마 어닐링한 박막을 비교하여 높은 결정화 온도, 낮은 누설전류밀도, 그리고 우수한 열적 안정성 등의 뛰어난 특성을 나타내었다. 그 결과 동일한 EOT에서 플라즈마 어닐링한 박막의 누설전류밀도는 초기 박막보다 대략 일차수 정도 낮았다. 플라즈마 어닐링한 박막의 뛰어난 특성은 질소 주입으로 설명될 수 있다.

감사의 글

This work was supported by the Brain Korea 21 project in 2003 and was partially supported by the Korea Science and Engineering Foundation through the Research Center for Advanced Magnetic Materials at Chungnam National University.

참고 문헌

- [1] *International Technology Roadmap for Semiconductors* (Semiconductor Industry Association, San Jose, CA, 2002); <http://public.itrs.net>
- [2] D. A. Buchanan, *Scaling the Gate Dielectric: Materials, Integration, and Reliability*, *IBM J. Res. Develop.* Vol. 43, No. 3, p. 245, 1999.
- [3] B. H. Lee, L. Kang, W. J. Qi, R. Nieh, Y. Jeon, K. Onish, and J. C. Lee, *Ultrathin Hafnium Oxide with Low Leakage and Excellent Reliability for Alternative Gate Dielectric Application*, *Tech. Dig. Int. Electron Devices Meet.*, p. 133, 1999.
- [4] K. J. Choi, W. C. Shin, and S. G. Yoon, *Effect of Annealing Conditions on a Hafnium Oxide Reinforced SiO₂ Gate Dielectric Deposited by Plasma-Enhanced Metalorganic CVD*, *J. Electrochem. Soc.*, Vol. 149, No. 3, p. F18, 2002.
- [5] K. J. Choi, J. B. Park, and S. G. Yoon, *Control of the Interfacial Layer Thickness in Hafnium Oxide Gate Dielectric Grown by PECVD*, *J. Electrochem. Soc.*, Vol. 150, No. 4, p. F75, 2003.
- [6] S. J. Lee, H. F. Luan, W. P. Bai, C. H. Lee, T. S. Jeon, Y. Senzaki, D. Roberts, and D. L. Kwong, *High Quality Ultra Thin CVD HfO₂ Gate Stack with Poly-Si Gate Electrode*, *Tech. Dig. Int. Electron Devices Meet.*, p. 31, 2000.
- [7] S. Jeon, C. J. Choi, T. Y. Seong, and H. Hwang, *Electrical Characteristics of ZrO_xN_y Prepared by NH₃ annealing*, *Appl. Phys. Lett.*, Vol. 79, No. 2, p. 245, 2001.
- [8] C. S. Kang, H. J. Cho, Katsunori, R. Nieh, R. Choi, S. Gopalan, S. Krishnan, J. H. Han, and J. C. Lee, *Bonding States and Electrical Properties of Ultrathin HfO_xN_y Gate Dielectrics*, *Appl. Phys. Lett.* Vol. 81, No. 14, p. 2593, 2002.
- [9] C. H. Choi, S. J. Rhee, T. S. Jeon, N. Lu, J. H. Sim, R. Clark, M. Niwa, and D. L. Kwong, *Thermally Stable CVD HfO_xN_y Advanced Gate Dielectrics with Poly-Si Gate Electrode*, *Tech. Dig. Int. Electron Devices Meet.*, p. 857, 2003.
- [10] J. R. Hauser and K. Ahmed, *Characterization and Metrology for ULSI Technology*, AIP, New York, 1998, pp. 235239.