

실리콘 산화막에 대한 Ta-Mo 금속 게이트의 열적 안정성

노영진, 이충근, 김재영, 홍신남
한국항공대학교 전자공학과

Thermal Stability of Ta-Mo Alloy Metal on Silicon Oxide

Young-Jin Noh, Chung-Gun Lee, Jae-Young Kim, and Shin-Nam Hong
Hankuk Aviation University, Department of Electronic Engineering

Abstract

This paper describes the interface stability of Ta-Mo alloy metal on SiO₂. Alloy was formed by co-sputtering method, and the alloy composition was varied by controlling Ta and Mo sputtering power. When the atomic composition of Ta was about 91%, the measured work function was 4.2eV that is suitable for NMOS gate. To identify interface stability between Ta-Mo alloy metal and SiO₂, C-V, FE-SEM(Field Emission-SEM), and XRD(X-ray diffraction) were performed on the samples annealed with rapid thermal processor between 600°C and 900°C. Even after 900°C rapid thermal annealing, excellent interface stability and electrical properties were observed. Also, thermodynamic analysis was studied to compare with experimental results.

KeyWords: Work-function, Metal Gate, Sputtering Power, Composition.

1. 서 론

CMOS 소자의 크기가 100nm 이하로 감소되면서 폴리실리콘과 관계된 여러 가지 문제점들이 발생하였다 [1]. 폴리실리콘의 대표적인 문제는 폴리 공핍 현상이다 [2]. 그림 1은 도핑 농도 분포에 따른 폴리 공핍 현상을 나타내고 있다.

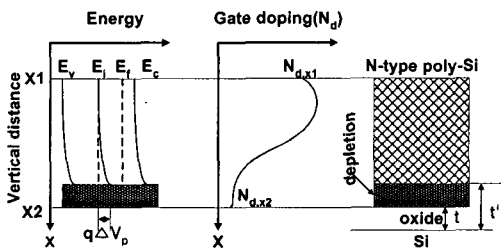


그림 1. 도핑 농도 분포에 따른 폴리공핍현상(N-type)

그림에서 E_v , E_i , E_f , E_c 는 각각 가전자대 에너지준위, 진성 페르미 에너지준위, 페르미 에너지준위, 그리고 전도대 에너지준위를 나타낸다. 또한 X1과

X2는 폴리실리콘 상단과 폴리실리콘의 하단의 위치, 그리고 $N_{d,x1}$, $N_{d,x2}$ 는 X1과 X2 위치에서의 도핑 농도를 나타낸다. 최근에는 얇은 접합 깊이(shallow junction depth)를 이루기 위해 또는 여러 가지 열처리 조건의 제약 때문에 폴리실리콘에 불순물을 도핑 하였을 경우에 폴리실리콘의 하단 부분에 불순물의 농도가 거의 없는 지역이 나타나게 된다. 이 지역이 그림 1에 나타나 있는 ($t'-t$) 지역이다. 이러한 폴리 공핍 현상 때문에 ΔV_p 와 같은 여분의 전압강하가 발생되고 또한 ($t'-t$) 만큼 유효 산화막 두께(effective oxide thickness)도 증가하게 된다. 이외에도 높은 면저항과 보론의 침투 등의 문제로 인하여 폴리실리콘을 미래의 소자에도 게이트 물질로 계속 사용하기에는 적합하지가 않다. 따라서 폴리실리콘을 금속 게이트로 대체하기 위한 연구가 진행 중이다 [3-4].

그러나 금속이 게이트 전극으로 사용되기 위해서는 몇 가지의 조건을 만족할 수 있어야 한다. 첫째로, 금속 게이트는 적합한 일함수를 가져야 한다. NMOS와 PMOS의 게이트로 사용되려면 각각 약 4.0eV와 5.0eV 정도의 일함수를 가져야 한다. 둘째

로, 공정이 적합해야 한다. 마지막으로 금속 게이트는 밑에 있는 게이트 절연막과 열적/화학적 계면 안정성을 가지고 있어야 한다.

이 논문에서는 Ta과 Mo 금속을 co-sputtering하여 합금을 형성하였다. 각각의 스퍼터링 파워를 조절하여 Ta과 Mo의 원자 조성 비율을 변화시켜 Ta-Mo 합금 게이트 MOS 커패시터를 제작하였고 여러 온도에서 금속 열처리를 수행하였다. C-V 측정과 NCSU C-V 프로그램을 이용해서 전기적인 특성을 측정하였으며 열역학적인 이론을 바탕으로 합금 게이트 전극과 SiO₂ 계면의 안정성을 검증하였다.

2. 실험

2.1 MOS 커패시터의 제작

실리콘 (100) 기판 위에 3500Å과 100Å의 필드 산화막과 게이트 산화막을 열 산화법으로 성장하였다. 이후에 Ta과 Mo 금속을 동시에 스퍼터링하여 500Å의 게이트 전극을 증착하였다. 게이트 전극은 lift-off 방법으로 패턴을 형성하였다. 이렇게 제작된 6개의 MOS 커패시터는 서로 다른 합금 조성을 갖는 게이트 전극으로 구성되어 있다. 표 1은 각각의 샘플 번호와 스퍼터링 파워 조건을 보여주고 있다.

표 1. 각 샘플번호와 파워 조건

시편 번호	Ta 스퍼터링 파워	Mo 스퍼터링 파워
1	100W	30W
2	100W	70W
3	100W	100W
4	70W	100W
5	30W	100W
6	0W	100W

2.2 MOS 커패시터 특성 측정

제작된 MOS 커패시터로부터 HP4280을 이용하여 C-V 특성을 측정하였으며 NCSU C-V 프로그램을 이용하여 평탄전압과 일함수를 추출하였다 [5]. Ta과 Mo 합금 전극의 원자 조성 비율은 FE-SEM을 통해서 측정하였고 XRD 등의 측정을 통해서 막의 재료적 특성을 파악하였다. 현재 반도체 공정에서는 게이트 형성 후에 후속 열처리 공정이 뒤따르게

된다. 따라서 이 경우 형성된 합금 게이트의 안정성을 검증하기 위해 Ar 분위기에서 각각 600°C, 700°C, 800°C, 그리고 900°C에서 급속열처리 공정을 시행한 후 앞의 방법과 동일하게 전기적 특성과 재료적 특성을 반복하여 측정하였다. 그리고 마지막으로 이론적인 열역학적인 데이터를 가지고 실험을 통해 얻어진 자료와 비교 분석하였다.

3. 결과 및 고찰

각각의 스퍼터링 조건에 따라 제작된 MOS 커패시터의 C-V 특성을 측정하고 NCSU C-V 프로그램을 이용하여 평탄전압을 추출한 후 일함수를 산출한 결과 시편 번호 2번, 즉 Ta과 Mo의 스퍼터링 파워가 각각 100W와 70W일 때 NMOS 소자에 적합한 일함수인 4.2eV를 얻을 수가 있었다. FE-SEM을 통해 측정된 2번 시편의 원자 조성 비율은 Ta이 91.07%, Mo이 8.93%로 나타났다.

그림 2는 각각 다른 온도 조건에서 급속열처리를 실시한 후 측정된 유효 산화막 두께를 보여 주고 있다.

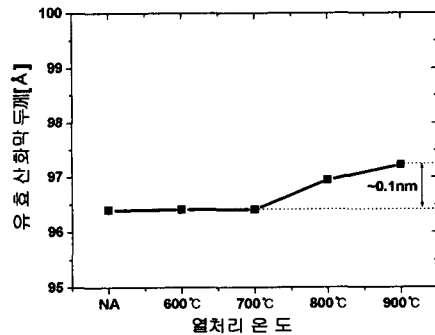


그림 2. 열처리별 유효 산화막 두께의 변화 [Ta(100W), Mo(70W)]

열처리 하지 않았을 때와 900°C 열처리 했을 때의 유효 산화막 두께를 비교해 보았을 때 대략 0.1nm 정도의 산화막 두께가 차이가 난다는 것을 알 수가 있다. Mo를 첨가하지 않고 Ta만을 게이트 전극으로 사용하였을 경우에는 550°C 열처리 이후에 약 1nm의 새롭게 형성된 계면층이 존재했다는 보고가 있다 [6]. 즉 Ta과 실리콘 산화막이 반응하여 새로운 결정구조를 가지는 물질이 발생했다는 것을 뜻한다. 그러나 Ta에 Mo을 약 9%만 첨가하여 형성

된 합금을 게이트로 사용했을 경우에는 게이트와 실리콘 산화막 사이에 거의 계면층이 존재하지 않는다는 것을 알 수 있다. Ta에 Mo를 첨가하여 형성된 합금 게이트는 본 연구에서 수행한 최고 온도인 900°C까지 안정하다는 것을 알 수가 있다.

그림 3은 열처리 하지 않았을 때와 900°C 급속 열처리 이후에 측정한 XRD 자료를 보여주고 있다. 900°C 급속 열처리 이후의 XRD 자료를 열처리 하지 않았을 때와 비교해 보았을 때 거의 동일하다는 것을 알 수가 있다. 즉 900°C 열처리 이후에도 어떤 다른 결정구조도 나타나지 않았다는 것을 의미한다. 이것도 또한 실리콘 산화막에 대한 Ta-Mo 합금 게이트가 900°C까지 안정하다는 것을 뒷받침해 준다.

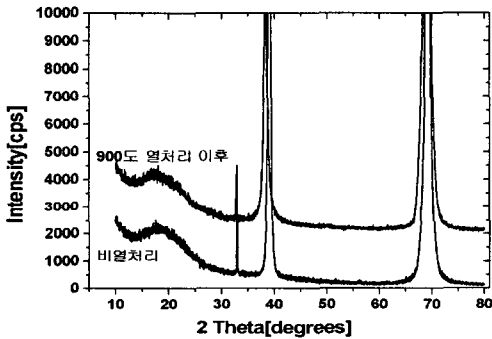


그림 3. 비열처리와 900°C 열처리 이후의 XRD [Ta(100W), Mo(70W)]

앞의 실험적인 결과들에 대해 열역학을 바탕으로 이론적으로 계산해 보았다. Ta-Mo 합금 게이트와 실리콘 산화막 사이에 어떤 반응이 일어나는 가는 정확하게 측정할 수가 없다. 그러나 열역학적인 설명은 Ta-Mo 게이트 MOS 구조에서 기본적인 계면의 화학적인 반응의 이해를 도울 것이다.

표 2는 Ta과 Mo의 SiO₂와의 반응식과 900°C에서의 생성 반응 Gibbs 자유에너지를 보여 주고 있다. 여기서 양수 값의 생성 반응 Gibbs 자유에너지를 가지는 반응식은 왼쪽 방향으로 반응을 일으키고, 음수 값의 생성 반응 Gibbs 자유에너지를 가지는 반응식은 오른쪽 방향으로 반응을 일으킨다. 즉 Ta은 SiO₂와 화학적인 반응을 하여 tantalum oxide를 형성하는 불안정한 금속이지만, Mo의 경우에는 어느 정도 고용한도에 이르기까지 Mo과 SiO₂ 사이에서 내부 확산을 하지만 SiO₂와 화학적인 반응을 일

으키지 않는 안정한 물질임을 할 수가 있다 [7]. Ta의 경우에는 tantalum oxide 형성에 대해서 매우 큰 음수 값의 생성 반응 Gibbs 자유에너지를 가지는 것을 볼 수가 있는데 이것은 Ta의 매우 높은 산소 고용도를 나타내고 결국에는 게이트 절연막 내에 있는 산소 원자의 재 분포를 초래한다. 그러나 SiO₂와 열적으로 안정한 Mo을 첨가함으로써 Ta-Mo 합금 게이트와 SiO₂의 계면이 열적/화학적 으로 안정해 진다는 것을 알 수가 있다.

표 2. 900°C에서 산화물 형성에 대한 반응식과 생성 반응 자유에너지

반응식	$\Delta G_f(\text{kJ/mol})$
$14\text{Ta}+5\text{SiO}_2 = 2\text{Ta}_2\text{O}_5+5\text{Ta}_2\text{Si}$	-212.381
$37\text{Ta}+15\text{SiO}_2 = 6\text{Ta}_2\text{O}_5+5\text{Ta}_5\text{Si}_3$	-7453.137
$4\text{Mo}+\text{SiO}_2 = \text{MoO}_2+\text{Mo}_3\text{Si}$	221.909
$8\text{Mo}+3\text{SiO}_2 = 3\text{MoO}_2+\text{Mo}_5\text{Si}_3$	642.319
$3\text{Mo}+2\text{SiO}_2 = 2\text{MoO}_2+\text{MoSi}_2$	530.160
$11\text{Mo}+3\text{SiO}_2 = 2\text{MoO}_3+3\text{Mo}_3\text{Si}$	880.677
$7\text{Mo}+3\text{SiO}_2 = 2\text{MoO}_3+\text{Mo}_5\text{Si}_3$	857.269
$3\text{Mo}+2\text{SiO}_2 = 2\text{MoO}_2+\text{MoSi}_2$	530.160

그림 4는 Ta과 Mo의 스퍼터링 파워를 각각 100W와 70W로 하여 제작한 MOS 커패시터를 600°C, 700°C, 800°C, 그리고 900°C로 Ar 분위기에서 10초 동안 급속열처리를 실행 후 측정한 C-V 특성 곡선을 보여주고 있다. 여기서 C-V 특성 곡선이 열처리 온도가 올라갈수록 오른쪽으로 이동하는 것을 볼 수 있는데 이것은 sputter damage와 고정전하의 감소에 기인 한다 [8]. 그러나 700°C에서 900°C사이의 열처리에서는 C-V 특성 곡선의 이동이 거의 없고 거의 일치하는 특성을 볼 수가 있다. 즉 어느 정도 온도까지는 sputter damage나 고정전하의 영향으로 C-V 특성 곡선이 이동하지만 그 이상의 온도에서는 안정한 고온 특성을 보이고 있다. 또한 측정 상태의 정전 용량 값도 열처리 전과 비교해서 저하되지 않는 것을 볼 수가 있다. 종합적으로 고려할 때 Ta에 Mo을 첨가한 합금 게이트는 900°C 열처리 이후에도 게이트와 SiO₂ 사이에 계면층이 거의 발생하지 않고 열적으로 안정하다는 것과 NMOS 소자의 전기적인 특성이 저하되지 않았다는 알 수가

있다.

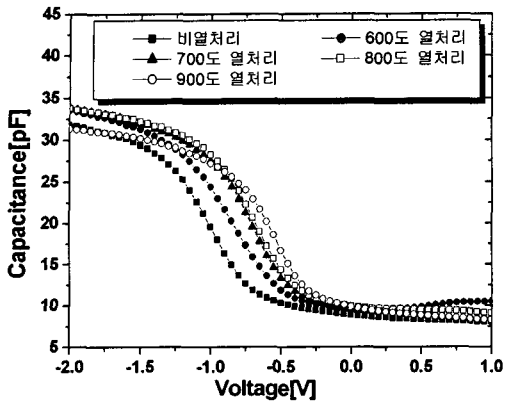


그림 4. 열처리별 C-V 곡선 [Ta(100W), Mo(70W)]

4. 결 론

NMOS 게이트 전극으로 적합한 일함수를 가지는 Ta과 Mo 합금 조성을 찾을 수가 있었다. Ta과 Mo의 스퍼터링 파워가 100W와 70W일 때 Ta과 Mo의 원자 조성 비율이 91.07%와 8.93%로 각각 나타났으며 일함수는 대략 4.2eV를 나타냈다. 그리고 불안정한 Ta에 Mo를 첨가하여 형성된 MOS 커패시터는 900°C 급속열처리 이후에도 Ta-Mo 합금 게이트와 SiO₂ 사이의 계면이 열적/화학적으로 안정하였으며 NMOS 커패시터의 전기적인 특성도 또한 저하되지 않았다.

참고문헌

[1] Hiroshi Iwai, Shun-ichiro Ohmi, "Problems and solutions for downsizing CMOS below 0.1 μ m", ICE2000 Proceedings, 11, 2000.
 [2] Chang-Hoon Choi, P. R. Chidambaram, R. Khamankar, Charle F. Machala, Zhiping Yu, Robert W. Dutton, "Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS", IEEE Transaction on Electron Devices, Vol. 49, No. 7, pp. 1227, 7, 2002.
 [3] Huicai Zhong, Shin-Nam Hong, You-Seok Suh, Heather Lazar, Greg Heuss and Veena Misra, "Properties of Ru-Ta alloys as gate

electrodes for NMOS and PMOS silicon devices", IEDM 01, pp. 467, 2001.

[4] Ronald Lin, Qiang Lu, Pushkar Ranade, Tsu-Jae King, and Chenming Hu, "An adjustable work function technology using Mo gate for CMOS devices", IEEE Electron Device Letters, Vol. 23, No. 1, pp. 49, 1, 2002.
 [5] J. R. Hauser et al, "SRC working paper", 1997
 [6] Takeo Ushiki, Kunihiro Kawai, Ichiro Ohshima, and Tadahiro Ohmi, "Chemical reaction concerns of gate metal with gate dielectric in Ta gate MOS device: An effect of self-sealing barrier configuration interposed between Ta and SiO₂", IEEE Trans. on Electron Devices, Vol. 47, No. 11, 11, 2000.
 [7] Robert Beyers, "Thermodynamic considerations in refractory metal-silicon-oxygen systems", J. Appl. Phys. 56(1), 1, 7, 1984.
 [8] Huicai Zhong, Greg Heuss, and Veena Misra, "Characterization of RuO₂ electrode on Zr silicate and ZrO₂ dielectrics", Applied Physics Letters, Volume 78, Number 8, pp. 1134, 2, 2001.