

Locking Time과 Jitter 특성의 개선을 위한 PLL 설계에 관한 연구

박재범, 박윤식, 김화영, 성만영
고려대학교 전기공학과

A Study on the Design of PLL for Improving of Characteristics of Locking Time and Jitter

JaeBoum Park, YunSik Park, HwaYoung Kim, ManYoung Sung
Korea Univ.

Abstract

In this paper, we focus our attention on the improvement of locking time and jitter parameter and propose the new structure of PLL which combined with the FVC, FOVI Matcher(FVC-Output and VCO-input Matching Circuit), Control Circuit and the conventional charge pump PLL. Using fast operation characteristics of the FVC, the circuit matching FVC-Output and VCO-input (FOVI Matcher) made to synchronize very fast. Fast locking time is usually required for application where the PLL has to settle rapidly if they switch from an idle mode to a normal mode and to track high-frequency data bit rate in data recovery systems. After a fast acquisition is achieved by the using the FVC, the conventional PLL operates for removing the phase error between the reference signal and the feedback signal. Therefore this structure can improve the trade-off between acquisition behavior and locked behavior.

Key Words : PLL, FVC, fast acquisition, low jitter

1. 서 론

PLL은 입력 신호와 출력 신호의 위상 차이를 0으로 만들기 위하여 부귀환 루프를 사용하는 비선형 아날로그 소자로서, 넓은 응용범위를 가지고 있다. 최근 통신 장비의 고속화 및 고주파수화 추세를 만족시키기 위해 여러 구조의 PLL이 제안되었는데 기존 PLL 구조는 PLL의 성능을 결정짓는 파라미터 중 락킹 시간과 지터를 동시에 개선할 수 없다는 문제점을 가지고 있다^{[1][2][3][4][5][6]}.

그러므로 이 논문에서는 동작 모드에 따라 Loop Filter의 전하 충전 방식을 달리하여 Acquisition 모드 동작 특성과 지터 특성을 동시에 개선시켰다.

이 논문에서 제안한 PLL 구조는 고속동작에서 우수한 특성을 보이는 주파수-전압 변환기(Frequency-to-Voltage Converter:FVC)로 Acquisition 모드를 수행하여 락킹 시간의 최소화를 실현하고 최종 락 과정인 트래킹(Tracking) 모드는 기존 Sequential PLL로 동작시켜 지터를 감소시키는 결과를 얻을 수 있었다.

2. 본 론

2.1 Charge Pump PLL의 구성 및 동작 특성

아래 그림 1에서 나타낸 바와 같이 Charge Pump PLL은 위상 주파수 검출기(Phase Frequency Detector :PFD), 전하 펌프(Charge Pump), 루프 필터, 전압 제어 발진기(Voltage Controlled Oscillator:VCO)로 구성된다. PFD는 외부 입력 신호(Reference signal :REF)와 전압 제어 발진기의 출력 신호(Feedback signal:FB)를 입력받아 두 신호의 위상차 및 주파수차에 비례하는 펄스 폭을 갖는 UP, DN 신호를 출력한다. UP, DN 전압 신호는 전하 펌프를 지나 전류 신호로 바뀌고 루프 필터를 통과하여 필터링된다. 루프 필터에 의해 필터링된 신호는 전압 제어 발진기의 입력 전압이 되어 이 전압에 비례하는 주파수를 갖는 FB 신호를 출력하여 두 입력 신호 REF와 FB의 주파수 및 위상을 일치시킨다. 즉 PLL은 부귀환 루프를 이용하여 외부 입력 신호(REF)와 전압 제어 발진기의 출력 신호(FB)의 위상 및 주파수 차이를 점차적으로 0이 되게 하는 시스템이다.^[5]

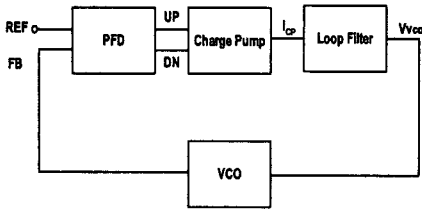


그림 1. Charge Pump PLL의 기본 구성.
Fig. 1 Block diagram of the charge pump PLL.

PLL의 응용 분야에서는 보통 지터를 줄이기 위해 매우 좁은 대역폭 ω_n 을 가지도록 전체 회로를 설계한다. 그러나 출력 신호의 주파수가 급격히 변해야 할 경우에 ω_n 이 좁은 PLL에서는 전체 락킹 시간이 매우 길어지게 된다. 즉 PLL의 ω_n 에 따라 지터 성능과 락킹 성능은 trade-off 관계에 있다.^[3]

2.3 FVC의 구성 및 동작 특성

그림 2에서 보이는 FVC는 제어 신호 ϕ_1 과 ϕ_2 를 나타낸 그림 3에서 보는 바와 같이 입력 신호와 주파수는 같으나 위상이 다르며 수 ns 정도의 폭을 갖는 펄스들로 구성된다. FVC는 입력 신호로부터 얻을 수 있는 제어 신호를 이용하여 용량이 같은 두 개의 커패시터 C_1, C_2 에 전하를 재분배함으로써 일정한 출력 전압을 얻는 원리로 동작하며 이 때 출력 전압은 FVC의 입력 신호의 주파수에 반비례한다.^{[5][6]}

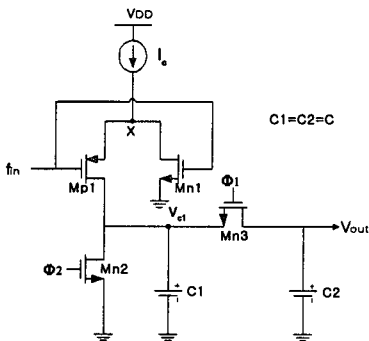


그림 2. FVC 회로도.
Fig. 2 FVC.

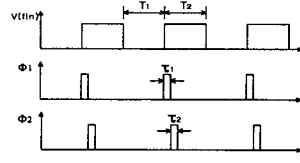


그림 3. 제어신호 파형.
Fig. 3 Control signal waveform.

2.4 제안한 PLL의 구성 및 동작 원리

제안한 PLL 구조는 아래 그림 4에서와 같이 Sequential PFD를 사용한 PLL에 비해 동작시간이 빠른 FVC를 Acquisition mode에 이용하여 REF 신호에 대한 FVC의 출력전압이 FVC출력-VCO입력 매칭회로(FVC output-VCO input matcher:FOVI matcher)를 거쳐 VCO의 출력 주파수와 REF 신호의 주파수가 서로 근접하게 되고 그 후에 Control Circuit의 제어를 통해 Sequential PFD를 사용한 PLL Loop을 동작시킴으로써 락킹 시간과 지터를 동시에 개선할 수 있었다.

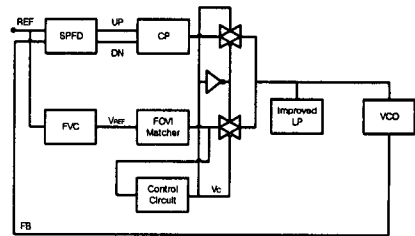


그림 4. 제안한 PLL의 구성.
Fig. 4 Block diagram of the proposed PLL.

그림 5에 나타낸 FOVI Matcher 회로는 FVC의 입력신호의 주파수에 반비례하는 전압을 출력하는 특성을 주파수에 비례하도록 반전시켜주며 차동 증폭단과 피드백을 이용한 저항성분들로 구성되어 있다. 그림에서 V_{bias} 는 출력전압의 레벨을 결정지어 주며 저항 R_1 과 R_2 는 R_2/R_1 의 비로 신호를 증폭시켜주는 역할을 하여 VCO의 입력단에서 요구되는 전압값으로 조절시켜 준다.

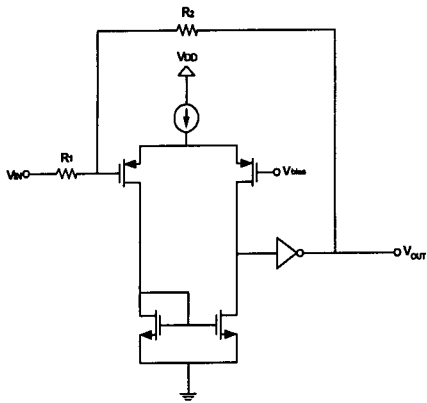


그림 5. FOVI matcher 회로도.
Fig. 5 FOVI matcher.

그림 6에 나타낸 제어 회로는 FOVI Matcher 회로의 출력 전압을 입력으로 받아 동작 루프를 결정하는 제어 전압 V_C 를 출력한다. 제어 회로는 입력 전압의 파형을 미분하여 입력 파형의 기울기가 0에 가까울 때 2.5V의 전압이 미분기를 통하여 나오게 되고 이 전압을 그림 7에 나타낸 Magnitude Comparator 회로를 통해 2.5V 근방에 전압이 MC 회로의 입력으로 들어갔을 때 "1"의 값을 출력하며 그밖에는 "0"을 출력하며 $V_L(V_D)$ 과 $V_H(V_n)$ 값을 통해 제어 회로의 민감도를 결정한다.

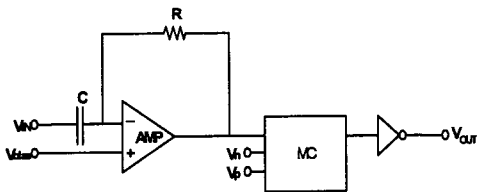


그림 6. 제어회로의 구성.
Fig. 6 Block diagram of the control circuit.

제한한 PLL에서 사용된 루프 필터는 그림 8에서와 같이 제어 전압 V_C 가 "0"일 때에는 R_1 보다 훨씬 작은 트랜스미션 게이트의 온저항으로 인해 시간에 대한 VCO 입력전압의 리플이 크게 감소할 뿐만 아니라 락이 안정적으로 빨리 이루어지며 선형적으로 된다. 제어 전압 V_C 가 "1"이 되면 루프 필터의 저항이 R_1 으로 증가하면서 전체 시스템의 지터를 감소시키게 된다.

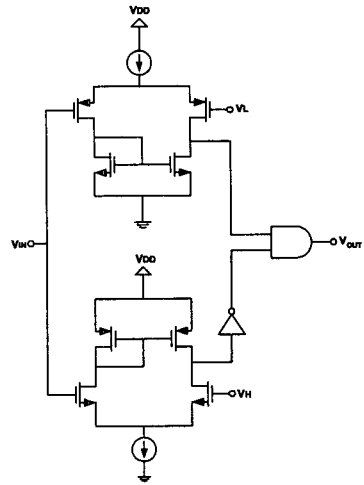


그림 7. magnitude comparator의 회로도.
Fig. 7 magnitude comparator.

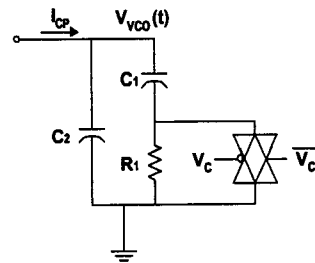


그림 8. 개선된 루프 필터의 회로도.
Fig. 8 Circuit of the improved loop filter.

2.5 시뮬레이션 결과 및 고찰

기존 PLL과 제안된 PLL의 락킹 특성을 비교하기 위해 5V의 전원 전압을 갖는 $1.5\mu\text{m}$ 표준 CMOS 공정 파라미터를 이용하여 설계하였고 제안한 PLL의 사양은 표 1와 같다.

표 1. 제안한 PLL의 설계 파라미터.

Table. 1 Design parameters of the proposed PLL.

Key Parameters		Value
VCO	Tuning Range	10 - 90 MHz (62.83 - 565.49 Mrad/s)
	Gain	20 MHz/V
Charge Pump	I_{CP}	50 μ A
Loop Filter	R_1	7 k Ω
	C_1	7 pF
	C_2	90 pF
FVC	C_1	5 pF
	C_2	5 pF
	I_C	340 μ A
AMP	DC Gain	70 dB
	Phase Margin	55°

그림 9는 제안한 PLL과 기존 PLL의 락킹 특성을 비교하기 위해 입력 주파수가 71.43 MHz일 때 전압 제어 발진기의 입력 전압 $V_{VCO}(t)$ 의 변화를 도시한 것이다. 기존 PLL의 락킹 시간은 13 μ s에 비해 제안한 PLL의 경우 2.2 μ s이므로 제안한 PLL이 고속 동작을 수행할 수 있음을 확인하였다. 제안한 PLL은 REF신호가 변화하여 두 입력 신호의 주파수 차가 크게 날 경우에 제어 전압 V_C 가 "0"이 되면서 FVC가 동작하기 때문에 시간에 대한 전압의 변화율이 급격히 증가하고 두 입력 신호의 주파수 차가 어느 정도 수렴이 되면 제어전압 V_C 가 "1"로 바뀌면서 루프 대역폭이 좁은 기존의 PLL이 동작하므로 지터가 감소함을 확인할 수 있다.

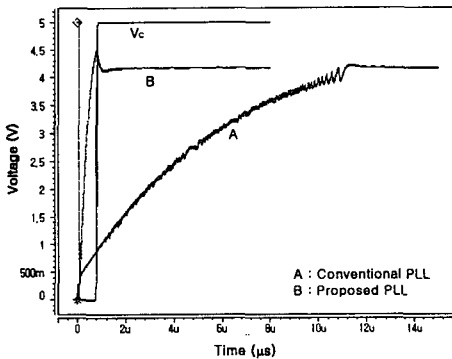


그림 9. 제안된 PLL과 기존의 PLL의 Pull-in 특성.

Fig. 9 Pull-in characteristics of the proposed PLL compared with the conventional PLL.

3. 결론

본 논문에서는 지터와 락킹 시간을 동시에 개선할 수 없다는 기존 PLL의 설계상의 단점을 확인하였고, 이를 개선하기 위해 acquisition 과정과 tracking 과정을 수행하는 모드를 분리하여 동작하도록 새로운 구조의 PLL을 제안하였다. 제안한 PLL은 고속 동작이 우수한 FVC를 사용하여 acquisition mode에서 소요되는 시간을 크게 감소시켰고 pull-in 모드에서는 기존 PLL의 대역폭을 유지하여 지터를 감소시켰다. 즉 제안한 PLL은 기존 PLL의 루프 대역폭에 의해 서로 보상관계에 놓였던 두 개의 파라미터, 락킹 시간과 지터를 독립 변수로 설정하여 락킹 시간과 지터를 동시에 개선할 수 있었다.

참고 문헌

- [1] Behzad Razavi, "Monolithic Phase-Locked Loops and Clock Recovery Circuits", IEEE PRESS, 1996
- [2] 강 경, 박윤식, 박재범, 우영신, 성만영, "FLL을 이용하여 Lock을 가속시킨 PLL의 최적 설계에 관한 연구", 2002년도 전기전자재료학회 하계학술대회 논문집 Vol.3, No.2, pp. 1132-1135.
- [3] 우영신, 장영민, 강경, 성만영, "두 개의 PFD를 가지고 있는 Charge Pump PLL의 최적설계", 2001년도 대한전기학회 하계학술대회 산학협동위원회 특별 Session 및 전시회 논문집, pp. 125-128, 2001.7.18-20
- [4] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", IEEE J. Solid-State Circuit, Vol. 31, No. 11, pp. 1723~1732, Nov. 1996
- [5] 박홍준, "CMOS 아날로그 집적회로 설계(하)" 시그마프레스, 1999
- [6] Abdelouahab Djemouai, Mohamad A.Sawan, Mustapha Slamani, "New Frequency-Locked Loop Based on CMOS Frequency-to-Voltage Converter: Design and Implementation", Circuit and Systems II: Analog and Digital Signal processing, IEEE Trans. on, vol. 48, May 2001, pp. 441-449.