

수직형 직렬 MOSFET 구조의 Emitter Switched Thyristor

김대원, 김대중, 성만영, 감이규*

고려대학교 전기공학과, 극동대학교 전자공학과*

An Emitter Switched Thyristor with vertical series MOSFET structure

Dae Won Kim, Dae Jong Kim, Man Young Sung, and Ey Goo Kang*

Korea Univ., KeukDong Univ.*

Abstract

For the first time, the new dual trench gate Emitter Switched Thyristor is proposed for eliminating snap-back effect which leads to a lot of serious problems of device applications. Also, the parasitic thyristor that is inherent in the conventional EST is completely eliminated in the proposed EST structure, allowing higher maximum controllable current densities for ESTs. Moreover, the new dual trench gate allows homogenous current distribution throughout device and preserves the unique feature of the gate controlled current saturation of the thyristor current. The conventional EST exhibits snap-back with the anode voltage and current density 2.73V and 35A/\$^2\$, respectively. But the proposed EST exhibits snap-back with the anode voltage and current density 0.93V and 58A/\$^2\$, respectively. Saturation current density of the proposed EST at anode voltage 6.11V is 3797A/\$^2\$. The characteristics of 700V forward blocking of the proposed EST obtained from two dimensional numerical simulations (MEDICI) is described and compared with that of the conventional EST.

Key Words : snap-back, parasitic thyristor, dual trench gate, forward blocking

1. 서 론

오늘날 활발히 연구가 진행되고 있는 MOS 구동 사이리스터의 대표적인 소자는 MCT(MOS-Controlled Thyristor), BRT(Base Resistance Thyristor), EST(Emitter Switched Thyristor) 등이 발표되었고, 최근에는 DGMOT(Dual Gate MOS Thyristor), IGTH(Insulated Gate Thyristor), IBMCT (Insulated Base MOS-Controlled Thyristor) 등이 보고되고 있다. 개발 초기의 MOS 구동 사이리스터인 MCT는 삼중 확산(Triple Diffusion) 구조로 이루어져 있어 공정이 IGBT나 전력용 MOSFET 등에 비하여 상당히 어려운 면이 있었다. 이것은 이후 EST, BRT 등이 개발되면서 IGBT와 같은 이중 확산(Double Diffusion) 공정을 이용하여 사이리스터의 장점을 가지는 소자의 개발이 가능해지게 되었다.[19-20]

이 가운데 EST는 MOS 게이트 제어를 통해 채널을 흐르는 사이리스터 전류를 제어할 수 있으므로 높은 전압에 대해서도 전류 포화 능력(Gate Controlled Current Saturation)을 가져서 회로의 단락 시에 소자 파괴를 자체적으로 방지(Short Circuit Protection)할 뿐만 아니라 순방향 안전 동작 영역(Forward Bias Safe Operating Area : FBSOA)이 넓은 장점을 가진다. EST의 순방향 전류-전압 특성은 PNP 트랜지스터 동작을 거쳐 사이리스터가 도통되는 원리를 이용한다. 그러나 트랜지스터의 큰 온-저항과 사이리스터의 작은 온-저항 차이에 의해 동작의 전이 과정에서 부저항(Negative Resistance) 영역을 포함하는 스냅-백(Snap-Back) 영역이 발생한다. 이 스냅-백 영역은 소자의 턴-온 시에 많은 전력의 손실을 유발하며 소자의 활용 시에 바람직하지 못한 동작을 일으킬 가능성이 있다.[4-13]

따라서 본 논문에서는 EST 소자의 실용화에 있어서 가장 큰 문제가 되고 있는 스냅-백 특성을 개선하면서 기존의 EST 소자와는 크기는 동일하지만 순방향 저지 전압(Forward Blocking Voltage)을 크게 향상시킬 수 있도록 새로운 구조의 EST 소자를 제안하였다. 그리고 이 소자의 타당성을 검증하기 위해 2차원 소자 시뮬레이터인 TMA-MEDICI를 이용하여 소자의 전기적 특성을 분석·고찰하였다.

2. 소자의 구조 및 동작

그림 1에서는 기존의 EST 구조와 듀얼 트랜치 게이트를 가지는 EST 구조의 단면을 보여주고 있다. 그림 1(b)에서 제안된 듀얼 트랜치 게이트를 가지는 EST 구조는 수직으로 턴-오프 MOSFET와 p+ 애노드/n-드리프트/p-베이스2/플로팅 n+이미터로 구성된 사이리스터가 직렬로 연결된 구조이다. 주 사이리스터를 낮은 전압에서 턴-온시키기 위해 턴-오프 MOSFET와 턴-온 MOSFET의 게이트 산화막 두께는 $0.1 \mu\text{m}$ 로 하였고, p-베이스2 영역은 3차원적으로 p-베이스1 영역과 연결되었다. 여기서 중요한 것으로는 듀얼 트랜치 게이트 전극을 사용하기 때문에 기존의 EST나 수직형 트랜치 전극을 가지는 EST 구조에서 기생적으로 형성되는 기생 사이리스터가 제안된 EST에서는 생성되지 않는다는 것이다. 그리고 플로팅 n+이미터 영역은 캐소드 전극과 애노드 전극 사이에 직접적으로 위치해 있기 때문에 소자의 온-상태 시에 균일하고 높은 온-상태 전류 밀도를 얻을 수 있다. EST의 순방향 동작은 게이트에 문턱 전압보다 큰 전압을 인가하면서 시작된다. 전자는 n+이미터에서 턴-오프 MOSFET을 통과하여 플로팅 n+이미터 영역과 턴-온 MOSFET을 거쳐 n-드리프트 영역으로 주입된다. 주입된 전자는 PNP 트랜지스터의 베이스 전류로써 주입되어 트랜지스터를 구동시킨다. 그 결과 p+애노드로부터 정공들이 주입되어 n-드리프트 영역을 거쳐 p-베이스 영역에 도달된다. p-베이스에 도달한 정공들은 p-베이스 영역과 플로팅 n+이미터 영역간의 전위장벽을 넘지 못하고 p-베이스 내에서 수평 방향으로 흘러 캐소드 전극으로 빠져나간다.

이와 같이 EST는 초반에는 트랜지스터 방식으로 도통되므로 온 저항이 크게 나타난다. 애노드 전압이 점진적으로 증가하면, p+애노드 영역으로부터 정공 주입량이 증가하여 p-베이스 영역에 도달하는 정공이 증가한다. 이러한 정공 전류가 흐르면 p-베이

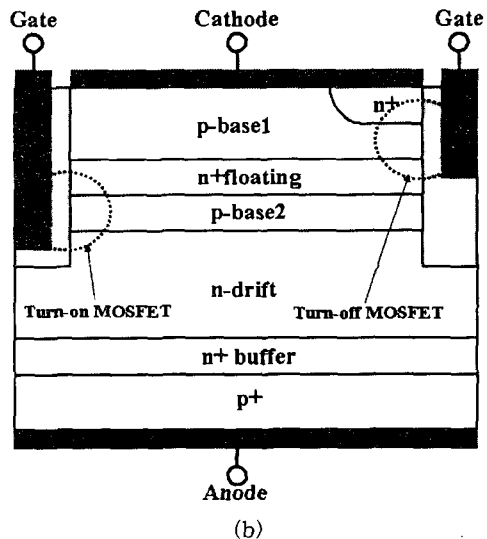
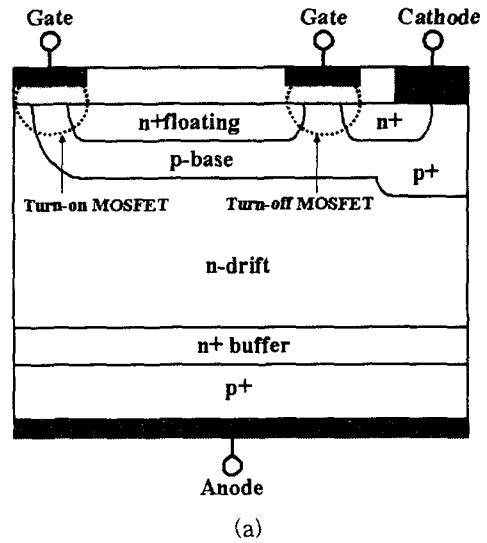


그림 1. (a) 기존의 EST

(b) 듀얼 트랜치 게이트를 가지는 EST

스 내의 수평저항 성분에 의하여 수평 경로상의 전압강하가 나타나고 p-베이스 영역과 플로팅 n+이미터 영역사이의 접합에 순방향 전압을 가한 것과 같은 효과를 얻게 된다. 정공 전류가 증가하면 접합사이의 전위는 0.7 V에 도달함과 동시에 p-베이스/플로팅 n+이미터 접합은 순방향으로 도통하게 되고, NPN 트랜지스터가 도통된다. 이때 소자는 사이리스터 방식으로 동작하고, 낮은 온 저항을 보이게 된다. 이러한 두 동작 방식간의 온 저항의 차이에 의해

부저항 영역을 포함하는 스냅 백 현상이 발생하게 되며 소자의 동작 시에 좋지 않은 영향을 끼치게 된다. 이러한 스냅-백을 억제하기 위해서는 스냅-백 전류가 감소되어야 하며, 스냅-백 전류를 감소시키기 위해서는 낮은 애노드 전류 조건에서도 p-베이스/플로팅 n+이미터 접합에 0.7 V가 인가되도록 큰 수평저항 성분을 구현해야 한다. 수평저항을 증가시키기 위해서는 소자의 설계 시에 p-베이스 농도를 낮추거나 p-베이스 수평 길이를 길게 설계하는 방법이 많이 이용된다. 그러나 베이스 농도를 낮출 경우에는 게이트 하단의 채널을 형성하는 문턱전압이 낮아지고, 항복전압이 펀치 스루 현상에 의해 감소할 가능성이 있다.

농도를 낮출 경우 문턱전압이 낮아지는 효과보다는 공핍층이 넓어져 펀치 스루가 일찍 발생하여 항복전압이 낮아지는 것이 더 큰 문제라고 판단되어, 제안한 구조의 경우는 모든 전극을 트랜치 구조로 형성되었기 때문에 소자의 내부에 걸리는 전계가 형성된 트랜치 산화막에 집중된다. 따라서 p-베이스 농도를 낮추어도 기존의 구조보다 항복전압을 크게 유지할 수 있다. 또한 정공 전류가 흐르는 길이가 짧아지게 되어 스냅-백 전류-전압이 낮아지는 효과를 가져 올 수 있었다.

3. 소자 시뮬레이션 결과 및 고찰

그림 2에서 제안한 EST 소자와 기존의 EST 소자의 순방향 전도 모드 시의 전류-전압 특성을 나타내었다. 그림 2에서 알 수 있듯이 제안한 소자에서 스냅-백 영향은 거의 제거가 되었으며, 최대 제어 가능 전류 밀도는 애노드 전압 6.11 V에서 3797 A/cm²이다. 제안된 EST에서는 플로팅 n+이미터의 길이가 다른 EST 소자에 비해 길고, 듀얼 트랜치 게이트가 수직방향으로 전류를 균일하게 소자 전체를 통해서 흐르게 하여 높은 전류 밀도를 가지기 때문에 낮은 애노드 전압에서 래칭 전류밀도에 이르게 된다. 따라서 스냅-백 영향은 거의 받지 않고 IGBT 동작 모드에서 바로 사이리스터 동작 모드로 전이하게 된다. 또한 기존의 EST는 애노드로부터 주입된 정공 전류 밀도가 높아짐에 따라 소자 구조 내에 형성된 기생 사이리스터에 의한 래치-업이 발생하는데, 이는 소자의 게이트에 의한 전류 조절을 불가능하게 하기 때문에 최대 제어 가능 전류를 결정 짓는 중요한 요소이다. 그러나 듀얼 트랜치 게이트 전극을 가지는 제안된 EST 구조에서는 그러한 기생사이리스터가 구조적으로 형성이 되지 않기 때문에 기생

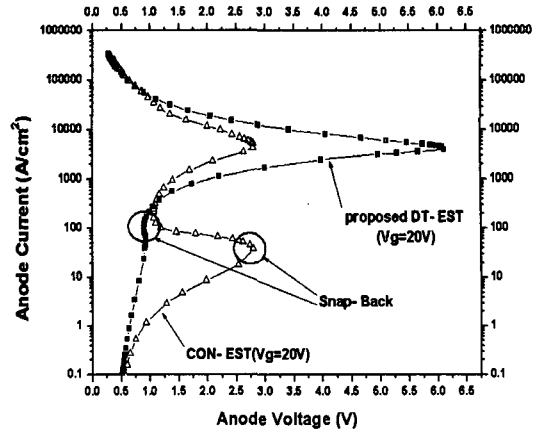
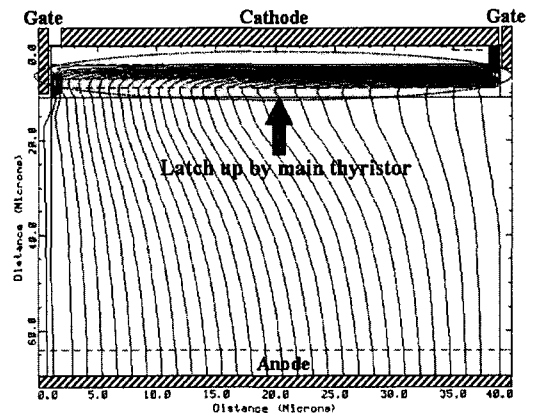
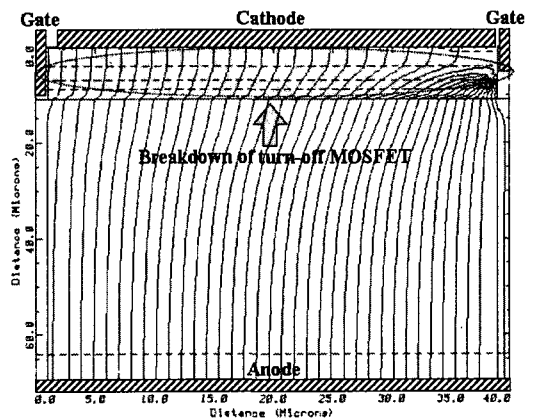


그림 2. 제안된 EST 소자의 순방향 전도 특성.



(a)



(b)

그림 3. 제안한 EST 소자의 순방향 전도 모드 시의 턴-오프 MOSFET의 항복에 의한 (a) 래치-업 전 (b) 래치-업 후의 전류 흐름.

사이리스터에 의한 래치-업은 발생되지 않는다. 다만 턴-오프 MOSFET의 항복이 일어나면 게이트에 의한 전류 조절이 불가능하게 되며 이때의 전류밀도가 최대 제어 가능 전류 밀도가 된다. 그림 3에서는 순방향 전도 모드 시에 제안된 EST의 턴-오프 MOSFET의 항복 전과 후의 전류 흐름을 나타내었다. 턴-오프 MOSFET의 항복이 일어나기 전에는 턴-오프 MOSFET의 채널을 통해서 흐르던 모든 전류가 항복이 일어난 후에는 p-베이스1 영역을 통해서 흐르는 것을 그림 3을 통해서 확인할 수 있었다.

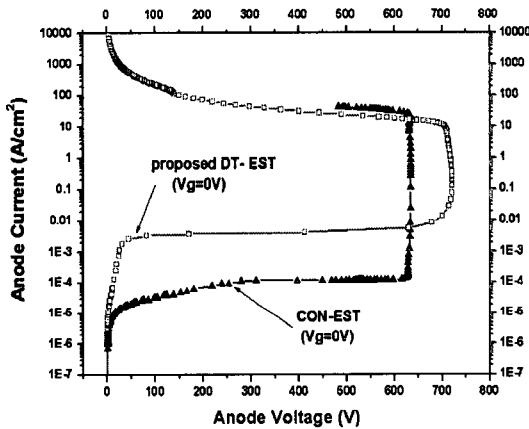


그림 4. 제안된 EST 소자의 순방향 저지 모드 시의 항복 특성.

제안된 듀얼 트랜치 게이트를 가지는 EST 구조는 트랜치형 게이트 전극을 사용했기 때문에 순방향 저지 영역에서의 항복 전압은 기존의 EST와는 90 V 정도 항복 전압에 있어서의 항상을 보이는 것으로 나타났다. 실제로 그림 4에서 보면 기존의 EST가 627 V의 항복 전압을 가지는 반면에 제안한 EST는 716 V의 항복 전압을 가지는 것으로 나타났다.

4. 결론

최근 전력용 반도체 소자는 산업 전반에 걸쳐서 그 적용 범위가 확대 되어가면서 점차 고전압 대용량화되어 가고 있다. 그에 따라 소자 내부에서의 전력 손실은 줄이면서 향상된 전기적 특성을 보이는 소자 구조에 대한 연구가 활발히 진행되고 있다.

따라서 본 논문에서는 EST 소자에 대해 스냅-백 특성, 래치-업 특성, 항복 특성, 전류 포화 특성

등으로 대표되는 전기적 특성을 개선하기 위하여 트랜치 구조를 사용한 새로운 구조를 제안하고, 본 논문에서 제안한 구조에 대하여 2차원 시뮬레이터인 TMA-MEDICI를 이용한 시뮬레이션을 수행하여 그 특성을 비교 분석하였다. 본 논문에서 제안한 EST 구조는 기존의 EST에 트랜치 구조를 도입함으로써 스냅-백 특성과 최대 제어가능 전류 밀도 그리고 항복 특성 등의 전기적 특성에서 우수한 특성을 갖는 것으로 판명되어 전력용 반도체 소자의 고성능화에 크게 기여할 것으로 판단된다.

감사의 글

이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2002-042-D00093)

참고 문헌

- [1] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray and N. D. Zommer, "The Insulated Gate Transistor : A New Three-Terminal MOS-Controlled Bipolar Power Devices", IEEE Trans. on Electron Devices, Vol. ED-31, No. 6, pp. 683-686, 1984
- [2] T. Trajkovic, F. Udrea, G. A. J. Amaratunga, W. I. Milne, S. S. M. Chan, P. R. Waind, J. Thomson and D. E. Crees, "Silicon MOS controlled Bipolar Power Switching Devices Using Trench Technology", Int. J. Electronics, Vol. 86, No. 10, pp. 1153-1168, 1999
- [3] F. Bauer et al., "Design aspects of MOS controlled thyristor elements", IEDM Tech. Dig., pp. 297-300, 1989.
- [4] 오재근, 변대석, 한민구, 최연익, "세그먼트 p-베이스를 이용한 수평형 이중 채널 EST", 대한전기학회, Vol. 48, No. 7, 1999.
- [5] E. G. Kang, M. Y. Sung, "A Novel EST with Trench Electrode to Immunize Snab-back Effect and to Obtain High Blocking Voltage", Trans. on Electrical and Electronic Materials, Vol. 2, No. 3, 2001