

경사진 전극링에 의한 웨이퍼레벨패키지용 고균일도의 솔더범프 형성

주철원*, 이경호, 민병규, 김성일, 이종민, 강영일, 한병성*
한국전자통신연구원 반도체원천기술연구소, 전북대학교 전자정보공학부*

Formation of high uniformity solder bump for wafer level package by tilted electrode ring

Chul-Won Ju*, Kyung-Ho Lee, Byoung-Gue Min, Seong-II Kim, Jong-Min Lee, Young-il Kang, and
Byung-Sung Han*
ETRI, Jeonbuk National Univ.*

Abstract

The vertical fountain plating system with the point contact has been used in semiconductor industry. But, the plating shape in the opening of photoresist becomes gradated shape, because bubbles from the wafer surface are difficult to escape from the deep openings, vias. So, we designed the tilted electrode ring contact to get uniform bump height on all over the wafer and evaluated the film uniformity by SEM and α -step. A photoresist was coated to a thickness of $60\mu\text{m}$ and vias were patterned by a contact aligner. After via opening, solder layer was electroplated using the fountain plating system and the tilted electrode ring contact system. In α -step measurement, film uniformities in the fountain plating system and the tilted electrode ring contact system were $\pm 16\%$, $\pm 3.7\%$ respectively. In this study, we could get high uniformity bumps by the tilted electrode ring contact system. So, tilted electrode ring contact system is expected to improve workability and yield in module process.

Key Words : Solder bump, Flip chip, Electroplating, Ring contact, Wafer level package

1. 서 론

플립칩 기술은 1960년대 중반에 IBM에 의해 C4(controlled collapse chip connection)라는 기술로 개발되어 현재까지 여러 형태의 공정기술이 개발되어 사용되고 있는 기술로서, 칩 패드에 솔더범프를 형성한 후 칩 소자가 형성된 면을 밑으로 하여 기판상의 패드와 직접 접합하여 전기적으로 연결하는 방법이다. 초기 플립칩 기술은 슈퍼컴퓨터 등 고속 디지털 IC의 고밀도 실장기술로서 주로 멀티칩모듈(MCM: Multichip Module)에 활용되었으나, 최근에는 SRAM, CPU처럼 수백 MHz clock 주파수를 갖는 고속 디지털 IC[1]와 RF 아날로그 IC에서도 수~수십 GHz의 RF 통신소자가 상용화하면서 phased-array 안테나 시스템, 충돌방지 시스템 등의 송수신 모듈부분에 와이어본딩 대신에 플립칩 본딩이 사용

되고 있으며[2, 3], 고속신호 처리가 요구되는 밀리미터파 소자에는 필연적으로 플립칩 기술을 사용하고 있다[4,5]. 플립칩 본딩에서 범프 형성은 중요한 핵심 기술로서, 범프 형성 방법에는 evaporation[6], 전기도금[7], 스텐실프린팅[8], pick & place방법 등이 있는데, 이들 공정 중에서 전기도금은 $150\mu\text{m}$ 정도의 미세피치도 가능하며 범프형성 속도도 빠르기 때문에 많이 사용되고 있다.

일반적으로 반도체공정에서는 분수형 도금장비를 사용하는데, 도금시 웨이퍼 표면에서 발생하는 기포에 의하여 범프가 균일한 두께로 형성되지 못하는 문제가 있다.

본 논문에서는 균일한 범프형성을 위하여 경사진 전극링을 제작하고 범프의 균일성을 측정하였다. 범프를 제작하기 위하여 웨이퍼에 씨드메탈을 증착하고, 감광막을 여러번 코팅하여 두꺼운 감광막을 형

성하고 노광하여 비아를 형성한 후 경사진 전극링 도금장치 및 분수형 도금장비를 사용하여 범프를 형성한 후 각각의 범프 topology를 SEM으로 관측하고 높이를 a-step으로 측정 비교하였다.

2. 실험

2.1 범프 형성

실험용 기판(substrate)은 비저항 1~25 Ω-cm, 결정면 <100>인 p형 5인치 실리콘 웨이퍼를 사용하였으며 다음과 같은 공정순서로 범프를 제작하였다. 먼저 웨이퍼 위에 씨드메탈인 Ti 및 Cu를 각각 1000Å, 3000Å 두께로 스퍼터하여 증착하고, AZ 4000series인 도금용 감광막을 1000rpm에서 여러번 코팅하여 60μm로 입혔다. 범프를 형성하기 위한 시험패턴은 직경이 50μm인 비아 마스크를 사용하여 노광장비인 EV(Electrovision) contact aligner에서 700~900mJ의 에너지로 노광시키고 AZ400K 현상액에 담구어 비아를 형성하였다. 비아 형성후 분수형 도금 장비 및 경사진 전극링 도금장치를 각각 사용하여 전류밀도 1A/cm²에서 솔더범프를 제작하였다. 범프 형성 후 감광막을 제거하고 SEM으로 범프 topology를 관찰하고 a-step으로 높이를 측정하였다.

2.2 도금장치

그림 1은 본 실험에서 사용한 분수형 도금장비의 내부도를 나타낸 것이다. 그림1에서 보는 바와 같이 공정이 이루어지는 웨이퍼 표면이 도금조의 바닥을 향하여 놓여 있는 형태이며, 도금액은 순환 라인을 통하여 도금조의 바닥에서 위로 분사되어 웨이퍼의 표면을 스쳐 지나서 다시 바닥으로 떨어지는 순환 과정이 연속적으로 이루어지게 되어 있다. 전원공급은 웨이퍼에 음(-)전극을 연결하여 cathode로 만들고 도금조의 중간 부분에 양(+)전극이 연결되는 anode가 있다.

그림 2는 본 실험에서 사용한 경사진 전극링을 가진 도금장치를 나타낸 것이다. 도금장치는 비이커, anode, 음(-)전극에 연결된 경사진 전극링, 직류 전원공급기로 구성하였다. 이때 사용된 시료인 5인치 웨이퍼는 두꺼운 감광막을 사용하여 비아홀을 형성시켰으며, 음전극과 연결하기 위하여 웨이퍼 가장자리 3 point의 감광막을 제거한 다음 금속성 집계를 사용하여 3 point를 전원과 연결 하였다.

Anode를 형성하는 양전극은 일정 크기의 금속판재를 금속성 집계를 이용하여 연결 시킨, 다음 그림 2와 같이 비이커 밑면에 수직 방향으로 비이커에 장착하였고, anode 전극과 전극링(-)과의 간격은 비이

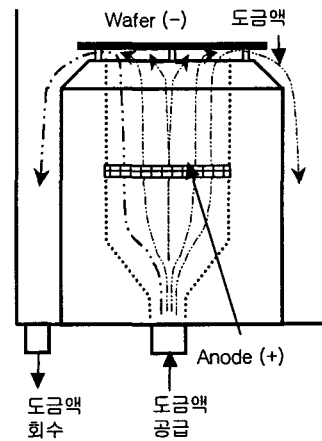


그림 1. 분수형 도금장비.
Fig.1 Fountain plating system.

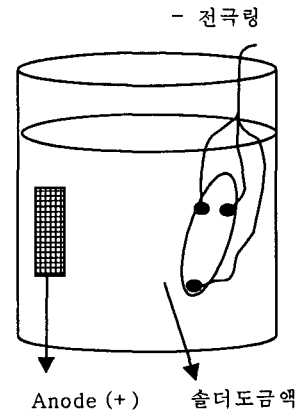


그림 2. 경사형 전극링 도금장치.
Fig. 2. Tilted electrode ring plating system

커의 내경이 되도록 최대거리를 두었으며 anode의 중심이 시료의 중앙에 위치하도록 하였다. 전기도금 중에는 전기도금액의 유동이 발생되지 않도록 외부에서의 움직임은 차단한 상태로 진행하였다.

3. 결과 및 고찰

그림 3의 (a), (b)는 분수형 도금장비를 사용하여 60μm 두께의 비아홀 내부에 솔더 박막이 증착된 것을 보여주고, 그림 4의 (a), (b)는 감광막을 제거한 후 형성된 솔더 박막의 형상을 나타내고 있다. 비아홀에 형성된 솔더 박막은 그림 1, 2에서 보는바와 같이 두께가 균일하지 않고, 한쪽으로 치우치는 현

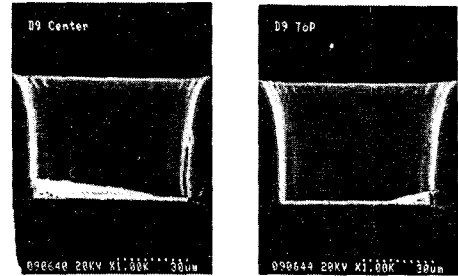
상이 발생하였는데 이런 현상은 웨이퍼 전 면적에서 발생하였다.

이와 같은 현상은 다음과 같은 2가지 요인으로 분석할 수 있는데, 첫째 요인은 도금 장비의 구조에 기인된 것으로 웨이퍼의 표면을 밑으로 향하게 하고 도금액은 밑에서 위로 수직 분사 시킴으로써 나타나는 현상인 것으로 예측된다. 분수형 도금장비에서는 도금 용액이 밑에서 위로 흘러 웨이퍼 표면과 부딪히고, 부딪힌 용액은 다시 웨이퍼 표면을 따라 양옆으로 분사된 후 도금조의 벽면을 따라 넘쳐 흘러서 바닥으로 떨어지게 되고 이 용액은 다시 도금액을 보관하는 보관 저장조로 흘러 들어가게 된다. 이와 같은 도금액의 흐름은 좁은 비아홀 공간에서도 유사하게 일어나게 되며 이와같은 현상 때문에 그림 3, 4와 같이 증착된 솔더 박막의 두께가 불균일하게 되는 것으로 추정된다. 둘째 요인은 도금은 화학반응에 의하여 이루어 지므로 도금시 웨이퍼 표면에서 기포가 발생하는데, 비아홀이 깊기 때문에 발생된 기포 전부가 웨이퍼 표면에서 빠져나가지 못하고 일부는 웨이퍼 표면에 붙어서 도금이 안되는 것으로 보인다.

이와 같이 분수형 도금장비에서는 도금 용액이 시료와 수직인 방향으로 부딪칠 수 밖에 없으며, 이로 인하여 좁은 비아홀 내부에서는 도금액이 한 쪽으로 치우치게 되어 균일한 두께의 도금 박막을 구현하기가 어렵다. 따라서 이와 같은 현상을 없애기 위하여 도금액의 흐름을 느리게 하여야 하고, 시료에 대한 도금액의 흐름 방향을 고려하여야 하며, 도금시 발생하는 기포가 시료의 표면에 접촉하지 않도록 시료의 방향을 정해야 할 것으로 보인다.

그림 4는 그림 3(b) 시료를 두께 측정장비인 α -step을 이용하여 도금된 솔더박막 표면을 스캐닝한 결과를 나타낸 것으로, 전체 증착된 솔더 박막의 평균 두께가 $3\mu\text{m}$ 이며 좌측의 낮은 부분의 두께는 $2.5\mu\text{m}$, 우측의 가장 높은 부분의 두께는 약 $3.5\mu\text{m}$ 를 나타내고 있다. 그림 4에서 도금된 솔더 박막의 두께는 좌측과 우측의 단차가 약 $1\mu\text{m}$ 정도이며, 이 결과는 그림 4(b)에서 보여주고 있는 두께의 편차와 일치하고 있다.

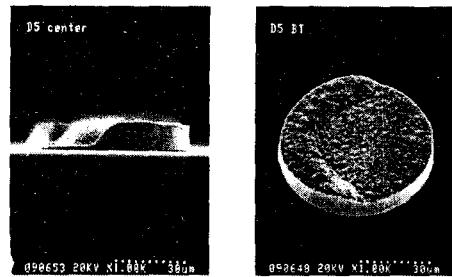
그림 5는 경사진 링구조의 도금장치에서 도금액의 움직임을 없앤 상태에서 도금된 솔더 박막 두께를 α -step으로 측정한 결과를 나타낸 것으로, 박막의 두께는 평균 $5.3\mu\text{m}$ 를 나타내고 있으며 높낮이의 차이는 $0.2\mu\text{m}$ 이내로 균일한 두께를 보여주고 있다. 이와 같이 균일도가 좋은 것은 경사진 링구조의 도금장치에서는 도금액 흐름이 없었고, 도금 중 웨이퍼 표면



(a)

(b)

그림 3. 분수형 도금장비에 의해 형성된 솔더박막.
Fig. 3 Solder layer formed by fountain plating system.



(a)

(b)

그림 4. 감광막 제거후 솔더범프.
Fig. 4. Solder bump after PR strip.

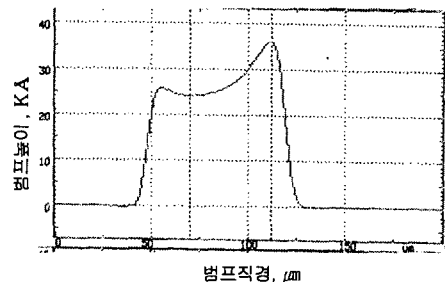


그림 4. 분수형 도금장비를 사용하여 증착한 솔더 박막의 두께.

Fig. 4. Thickness of solder layer formed by fountain plating system.

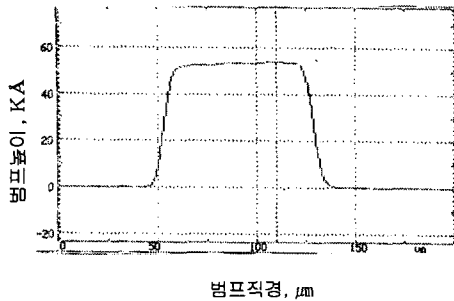


그림 5. 경사진 링구조의 도금장치를 사용하여 증착한 솔더 범프의 두께.

Fig. 5. Thickness of solder layer formed by tilted electrode ring plating system.

에서 발생된 기포가 모두 웨이퍼 표면으로부터 빠져나가 웨이퍼 표면에서 도금이 균일하게 잘 되었기 때문이다. 이와같이 분수형 도금장치에서 형성된 도금박막 및 경사진 링구조 구조의 도금장치에서 형성된 도금박막의 두께를 측정된 결과, 경사형 링구조 도금장치에 의하여 형성된 도금박막의 두께 균일도가 우수함을 알 수 있다.

4. 결론

경사형 전극링 구조의 도금장치를 사용하여 5인치 웨이퍼에 직경이 $70\mu\text{m}$ 이고 두께 $5\mu\text{m}$ 인 솔더범프를 형성한 결과, 편차가 $\pm 3.7\%$ 인 솔더 범프를 형성할 수 있었다. 이와 같이 편차가 작은 것은 기존 분수형 도금장비에 비하여 도금액 흐름이 없었고, 특히 도금시 웨이퍼 표면에서 발생하는 기포가 웨이퍼 표면으로부터 잘 빠져나갔기 때문이다. 따라서 전기 도금에 의해 aspect ratio가 높은 범프를 형성하는 웨이퍼레벨패키지 공정에서는 도금시 웨이퍼 표면에서 발생하는 기포가 잘 빠져나가게 웨이퍼 면이 위로 향하는 경사형 전극링을 사용하면 두께 균일도가 좋은 범프를 제작할 수 있어 모듈화 공정에서 작업성 및 수율을 높일 수 있을 것으로 기대된다.

참고 문헌

[1] Leo Higgins, Rebecca Cole, Diana Duane, "Fast static RAM level two cache MCM with gold wire ball bumped flip chip assembly", IEEE Electronic Components and Technology Conference, pp.511-517, 1997.

[2] T.Shimura, Y. Kawasaki, Y. Ohashi, K. Shirakawa, T. Hirose, S. Aoki, H. Someta, K. Makiyama, S. Yokokawa, "76GHz flip-chip MMICs for automotive radars", IEEE Radio Frequency Integrated Circuits Symposium, pp.25-28, 1998.

[3] Mark S. Hauhe and John J. Wooldridge, "High Density Packaging of X-Band Active Array Modules", IEEE Tr. on components, packaging and manufacturing technology-Part B, Vol. 20 (3), pp.279-291, 1997.

[4] Hideki Kusamitsu, Yoshiaki Morishita, Kenichi Maruhashi, Masaharu Ito and Keiichi Ohata, "The flip chip bump interconnection for millimeter wave GaAs MMIC", IEEE Tr. on Electronics Packaging Manufacturing, vol. 22, No. 1, pp. 23-28, 1999.

[5] Wolfgang Heinrich, Andrea Jentzsch and Guido Baumann, "Millimeter wave characteristics of flip chip interconnection for multichip module", IEEE Tr. on Microwave Theory and Techniques, vol. 46, No. 12, pp. 2264-2268, 1998.

[6] K. Seyama, H. Yamamoto, K. Satou, H. Yoshimura, H. Ota, Y. Usui, "Transcription solder bump technology using the evaporation method", Proceedings of the International Conference on Multichip Modules and High Density Packaging, pp. 314 -318, 1998 .

[7] Szu-Wei Lu, Zhao-Hui Wu, Yuh-Jiau Huang, Ruoh-Huey Uang, Wei-Chung Lo, Hsu-Tien Hu, Yu-Fang Chen, Ling-Chen Kung, Hsin-Chien Huang, "Process control of high density solder bumps by electroplating technology", Electronics Manufacturing Technology Symposium, IEEE/CPMT, pp.325-327, 1999.

[8] Ho-Cheol Jang, Chul-Won Jee, Young-Ho Kim, In-Bae Park, Sung-Min Seo, Byung-Yul Min, "A study on the reliability of stencil printed solder bumps", Electronics Manufacturing Technology Symposium, IEEE/CPMT, pp. 288-293, 2000.