

MFMIS 게이트 구조에서의 메모리 윈도우 특성

박전웅, 김익수*, 심선일*, 염민수, 김용태*, 성만영*
 고려대학교 전기공학과, 한국과학기술연구원*

Characteristics of Memory Windows of MFMIS Gate Structures

Jun Woong Park, Ik Soo Kim*, Sun Il Shim*, Min Soo Youm, Yong Tae Kim* and Man Young Sung
 Department of Electrical Engineering, Korea University, Korea Institute of Science & Technology

Abstract

Abstract To match the charge induced by the insulators CeO_2 with the remanent polarization of ferroelectric SBT thin films, areas of Pt/SBT/Pt (MFM) and those of Pt/ CeO_2 /Si (MIS) capacitors were independently designed. The area S_M of MIS capacitors to the area S_F of MFM capacitors were varied from 1 to 10, 15, and 20. Top electrode Pt and SBT layers were etched with for various area ratios of S_M / S_F . Bottom electrode Pt and CeO_2 layers were respectively deposited by dc and rf sputtering in-situ process. SBT thin film were prepared by the metal organic decomposition (MOD) technique. Pt(100nm)/SBT(350nm)/Pt(300nm)/ CeO_2 (40nm)/p-Si (MFMIS) gate structures have been fabricated with the various S_M / S_F ratios using inductively coupled plasma reactive ion etching (ICP-RIE). The leakage current density of MFMIS gate structures were improved to $6.32 \times 10^{-7} \text{ A/cm}^2$ at the applied gate voltage of 10 V. It is shown that in the memory window increase with the area ratio S_M / S_F of the MFMIS structures and a larger memory window of 3 V can be obtained for a voltage sweep of $\pm 9 \text{ V}$ for MFMIS structures with an area ratio $S_M / S_F = 6$ than that of 0.9 V of MFS at the same applied voltage. The maximum memory windows of MFMIS structures were 2.28 V, 3.35 V, and 3.7 V with the area ratios 1, 2, and 6 at the applied gate voltage of 11 V, respectively. It is concluded that ferroelectric gate capacitors of MFMIS are good candidates for nondestructive readout-nonvolatile memories.

Key Words : SBT, CeO_2 , FeRAM, MFMIS, Memory Windows

1. 서론

강유전체 박막을 이용한 비휘발성 FRAM 소자는 동작 방식에 따라 DRO(destructive read out)-FRAM type인 분극 반전 전류형(1T-1C type)과 NDRO(non-destructive read out)-FRAM type인 전계 효과 트랜지스터형(FET-type)으로 나눌 수 있다.^[1] 그 중에 NDRO(non-destructive read out)-FRAM type은 강유전체 박막을 MOSFET(Metal iide Semiconductor Field Effect Transistor)의 gate oxide로 대체시킨 MFSFET(Metal Ferroelectric Semiconductor Field Effect Transistor)으로 캐패시터가 불필요하기 때문에 소자의 면적을 줄임으로써 집적도를 높일수 있고, 동작 잔류 분극이 $0.1 \mu\text{C/cm}^2$ 정도로 낮은 전력 소모, 고속 동작의 우수한 장점

이 있다. NDRO(non-destructive read out)-FRAM type은 게이트의 구조에 따라 MFS, MFIS, MFMIS로 나눌 수 있다. 캐피터 없이 강유전체 박막을 트랜지스터의 gate oxide로 사용한 금속/강유전체/반도체(metal/ferroelectric/semiconductor:MFS)구조는 1T-1C type 보다 이전에 제안되었지만, 소자의 구조상 Si 과 같은 반도체 기판 위에 직접 강유전체 박막을 형성하여야 하기 때문에, SiO_2 와 같은 자연 산화막의 생성으로 인하여 강유전체 물질의 포화분극전압을 상승시켜, 높은 전압을 게이트에 인가하여 주어야 하기 때문에 동작전압 상승이라는 문제가 발생한다.^[2] 또한 금속/강유전체/절연체/반도체(metal/ferroelectric/insulator/semiconductor:MFIS) 구조에서도 다른 문제점들을 찾을 수 있다. 강유전체와 절연체(절연층)사이의 전하량 불일치로 인하여, 인가된 전압이 낮을 경우 강유전체에 충분한 전압을 인가할 수 없

다는 점이다. 일반적으로 절연체로 사용되는 SiO_2 의 경우 Si과의 우수한 계면 특성에도 불구하고 낮은 유전 상수로 인해서 동일한 전압을 인가하여도 충분한 전압이 강유전체에 인가되지 않고 오히려 자연 산화막에 고전계가 형성됨으로써 산화막의 절연 파괴에 의한 전하 주입(charge injection)과 같은 현상을 일으킬 수 있다. 그러나 여기에도 물질 고유의 유전 상수와 박막의 두께에 의해 결정되어지는 강유전체 박막과 게이트 절연층 두께 조절에 의한 구조적 변경은 물리적 한계가 있다.^[3] 이러한 이유로 부유 게이트(Floating Gate)인 금속층을 삽입한 구조인 금속/강유전체/금속/절연체/반도체 (metal/ferroelectric/metal/insulator/semiconductor:MFMS) 구조^[4]는 기존의 낮은 유전 상수를 갖는 게이트 절연막을 사용할 수 있고 강유전체 박막과 절연층과의 직접적인 계면 접촉을 분리함과 동시에 MFM 캐패시터의 면적 S_F 와 MIS 캐패시터의 면적 S_M 비를 서로 다르게 설계 할 수 있는 장점을 가진다. 이로 인해 낮은 인가전압에도 절연층의 절연 파괴 현상 없이 충분히 높은 전계를 강유전체 박막에 전달 할 수 있는 장점이 있다. 따라서, 게이트 절연층의 절연 파괴를 가져오지 않으면서 강유전체의 분극 반전에 필요한 충분한 전계 전달을 위해서 강유전체의 유전 상수 저감이나 게이트 절연층의 높은 유전 상수가 요구된다. 혹은 MFM 캐패시터의 면적 S_F 와 MIS 캐패시터의 면적 S_M 비를 크게 하여 높은 전계를 강유전체 박막에 전달하는 방법이 있다.^[5]

본 논문에서는 S_M/S_F 의 면적비를 다르게 설계하여 강유전체 박막에 인가되는 전압을 증가시켜 그에 따른 메모리 윈도우 특성의 변화 C-V 측정을 통해 관찰 분석해 보았다.

2. 실험 방법

$\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) 강유전체 박막과 CeO_2 (cerium dioxide) 절연층을 사용하여 전계 효과 트랜지스터형(FET-type)중 MFMS 게이트 구조를 제작하였다. 유기금속 분해법 (metal-organic decomposition: MOD) 을 이용하여 SBT 강유전체 박막을 성장시키고, 절연층 CeO_2 와 금속층 Pt는 고주파 (radio frequency: RF) 스퍼터를 사용하여 Pt(100nm)/SBT(350nm)/Pt(300nm)/ CeO_2 (40nm)/Si (MFMS)구조를 제작하여 유도 결합형 플라즈마를 이용한 건식 식각 장비 (ICP-RIE) 를 이용하여 서로 다른 캐패시터 S_M/S_F 비율을 갖도록 건식 식각하였다.

그림 1은 제작된 S_M/S_F 2를 갖는 MFMS 게이트 구조 SEM 이미지이다.

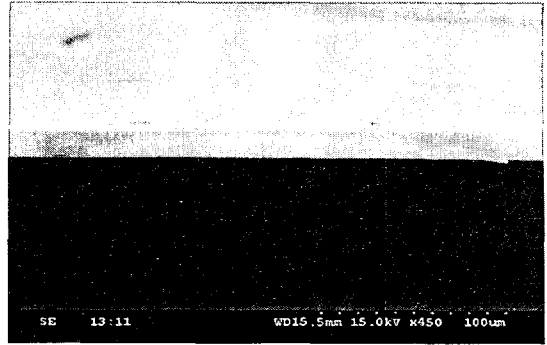


Fig. 1. SEM photographs of Pt(10nm)/SBT(350nm)/Pt(300nm)/ CeO_2 (40nm)/Si MFMS capacitor with a ratio of S_M/S_F 2.

유도결합형 플라즈마를 이용한 건식 식각 장비 (ICP-RIE) 를 이용 $\text{Ar}/\text{Cl}_2/\text{C}_4\text{F}_8(=10/10/1 \text{ sccm})$ 반응 가스 조성으로 ICP/CCP(=900/100W) 전력으로 건식 식각하여 MFM 캐패시터와 MIS 캐패시터의 면적비(S_M/S_F)를 1에서 10, 15, 그리고 20을 갖도록 설계하여 MFMS 게이트 구조를 제작하였다. 식각 후 식각 손상을 회복하기 위해서 가열로 산소 분위기 800 °C 20분간 열처리를 하였다.

3. 결과 및 고찰

MFMS 게이트 구조의 누설 전류 밀도는 인가전압 10 V 에서 $6.32 \times 10^{-7} \text{ A}/\text{cm}^2$ 이하로 우수한 특성을 나타내었다

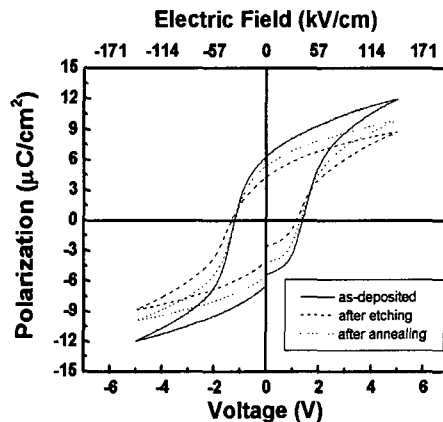


Fig. 2. P-E hysteresis curves of Pt/SBT(350nm)/Pt/ CeO_2 (40nm)/Si MFMS capacitors.

그림 2에서 알 수 있듯이 MFMS구조에서 5V에서 측정된 $2Pr$ 값은 $10.8\mu C/cm^2$ 이었고, 항전계 $2Ec$ 는 $114KV/cm$ 였다. 두께가 350 nm 이고 면적이 $314 \times 10^{-6} cm^2$ 인 SBT를 이용한 MFMS 캐패시터의 C-V 특성으로 측정된 정전 용량은 228.0 pF 이었고, 계산한 SBT 상수는 287.03 이었다. 그리고 두께가 40 nm 이고 면적이 $314 \times 10^{-6} cm^2$ 인 MIS 캐패시터의 C-V 특성으로 측정된 정전 용량은 60 pF 이었고, 계산한 CeO_2 의 유전 상수는 8.63 이었다. 계산 결과 면적비(S_M/S_F) 4 이상을 갖는 MFMS 게이트 구조에서 인가된 게이트 전압이 절연층보다 강유전체 박막에 인가되는 유효 전압이 커지기 시작함을 알 수 있었다. 그림 3은 제작한 MFMS 게이트 구조에서 면적비(S_M/S_F)에 따른 각 게이트 구조의 C-V 곡선을 나타내고 있다. 면적비(S_M/S_F)가 증가함에 따라 절연층의 캐패시터 값이 증가하여 전체 정전 용량이 증가하고 메모리 윈도우가 커짐을 볼 수 있다.

이와 같이 MFMS 게이트 인가전압을 3V, 5V, 그리고 7V를 각각 증가 시켜 인가하여 면적비(S_M/S_F)에 따라 메모리 윈도우 측정 결과를 그림 4에 나타내었다. 메모리 윈도우 0.9V를 얻기 위해서 면적비 2일 때는 게이트 인가 전압 5V가 필요하고 계산한 유효전압은 $1.72V$ ($0.049MV/cm$)였다. 그리고, 면적비 8일 때 게이트 인가 전압은 3V가 필요하고 계산한 유효 전압은 2.03 ($0.058MV/cm$)였다. 이것은 동일한 메모리 윈도우 특성을 면적비가 큰 MFMS 게이트 구조에서 낮은 인가 전압으로도 얻을 수 있음을 보여준다.

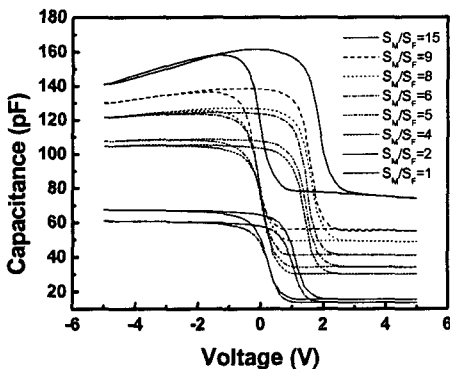


Fig. 3. C-V characteristics of MFMS capacitors with various ratios of S_M/S_F at applied voltage of 5V

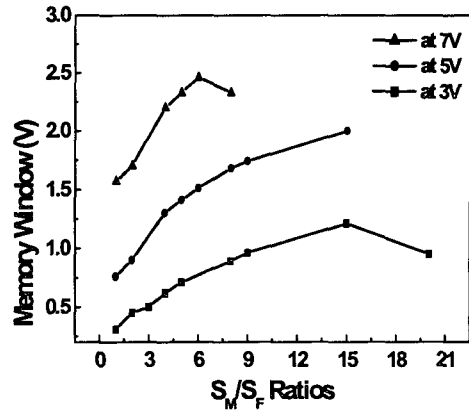


Fig. 4. S_M/S_F ratios dependence of memory windows of MFMS structures with various applied voltages

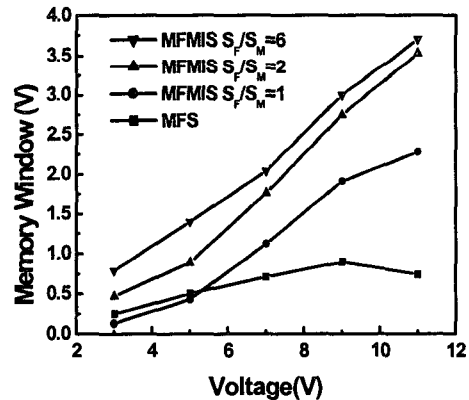


Fig. 5. Compare Memory windows of MFS with those of MFMS gate structures with various area ratios

결국 절연층의 두께를 더욱 얇게 성막하거나 또는 SBT보다 낮은 유전율을 가지는 강유전체를 이용한다면 더 낮은 면적비와 더 낮은 동작 전압에서도 우수한 메모리 윈도우 특성을 가진 MFMS 게이트 구조를 제작할 수 있을 것으로 판단된다. 그림 5에서 볼 수 있듯이 MFMS 게이트 구조에서 인가 전압이 9V일 때, 면적비(S_M/S_F)가 각각 1, 2, 6일 때, 메모리 윈도우는 1.91V, 2.75V, 3V였다. 반면에 MFS 게이트 구조는 강유전체 박막 코팅시 발생하는 자연 산화막의 형성으로 유효 전압의 대부분이

절연층에 인가되어 절연 파괴 현상 발생했다. MFS 게이트 구조는 9V 일 때 메모리 윈도우가 0.9 V 였다. 또한 MFS 게이트 구조는 9V 이상에서 절연 파괴 현상으로 메모리 윈도우의 감소 현상을 나타내었다. 그리고 MFS 구조에서는 자연 산화막이 2 nm 정도의 두께로 성장되어 Pt(10nm)/SBT(350nm)/SiO₂(2nm)/Si MF(O)S 게이트 구조에서 인가 전압 9 V 일때, 자연 산화막에는 절연 파괴를 일으키는 22.139 MV/cm의 전기장이 인가되었다. 인가 전압이 9 V 일 때, 면적비(S_M/S_F)가 1인 MF MIS 게이트 구조에서 측정된 메모리 윈도우가 MFS 게이트 구조에서 얻은 메모리 윈도우 크기보다 약 2.1 배 정도 크고 면적비(S_M/S_F)가 6일 때는 약 3.3 배 정도 큰 특성을 나타내었다. MF MIS 게이트 구조에서 측정된 최대 메모리 윈도우는 인가 전압 11 V에서, 면적비(S_M/S_F) 1, 2, 그리고 6에서 각각 2.28 V, 3.53 V, 3.7V 였다. 반면에 MFS 게이트 구조에서는 절연파괴로 인가 전압 11 V에서 0.74 V를 나타내었다.

4. 결 론

ICP-RIE 장비를 이용한 건식 식각의 결과에서 알 수 있듯이 현재 FRAM 메모리 소자의 제작에 사용되는 Pt 식각으로 인한 벽면의 잔류물에 따른 전기적 특성 저하 현상을 관찰 C-V 특성 분석으로 알 수 있었으며, 실제로 제작된 게이트 구조의 모든 면적비(S_M/S_F)에서 전기적 특성이 관찰되지는 않았다. 비 파괴 판독형(NDRO) FRAM 게이트 구조의 전기적 특성과 유효 전기장 분배 현상에 대한 연구를 바탕으로 실제로 절연층의 두께 감소와 강유전체의 유전상수 감소를 적용하여 유효 전기장의 크기를 크게 하고, 건식 식각 후 전극과 포토레지스트 잔류물 제거 공정이 확립된다면 MF MIS-FET에 적용 가능할 것으로 사료된다.

감사의 글

본 과제는 System IC 2010 Collaborative Project의 FRAM 소자기술개발연구비 지원에 의해 수행된 것임.

참고 문헌

[1] J. scott and C. A. Paz de Araujo, "Ferroelectric Memories", Science, 246, p. 1400-1405 (1989)
 [2] S. Y. Wu, "A New Ferroelectric Memory Devi

ce, Metal-Ferroelectric-Semiconductor Transistor," IEEE Trans. Electron Devices ED-21, p.499-504 (1974).
 [3] T. Nakamura, Y. Fujimori, N. Izumi, and A. Kamisawa, "Fabrication Technology of Ferroelectric Memories," Jpn. J. Appl. Phys.37, p.1325-1327 (1998).
 [4] Y. T. Kim , D. S. Shin, "Memory window of Pt/SrBi₂Ta₂O₉/CeO₂/SiO₂/Si structure metal ferroelectric insulator semiconductor field effect transistor," Appl. Phys. Lett., 71(24), p.3507-3509 (1997).
 [5] E. Tokumitsu, "Fabrication and Characterization of Metal-Ferroelectric-Metal-Insulator-Semiconductor (MF MIS) Structures Using Ferroelectric (Bi,La)₄Ti₃O₁₂ Films", Jpn. J. Appl. Phys. Vol. 40, p.5576-5579 (2001)