

Dual Gate Oxide 공정에서 Gate Oxide Thinning 방지에 대한 고찰

김성환*, 김재욱*, 성만영*

삼성전자 SYSTEM LSI사업부*, 고려대학교 전기공학과*

Preventing a Gate Oxide Thinning in C-MOS process Using a Dual Gate Oxide

Sunghoan Kim**, Jaewook Kim**, Man Young Sung**

SEC, Korea Univ.

Abstract

We propose an improvement method for a Gate Oxide(GOX) thinning at the edge of Shallow Trench Isolation(STI), when STI is adopted to Dual Gate Oxide(DGOX) process. In the case of SOC(System On-a-Chip), the DGOX process is usually used for realizing both a low and a high voltage parts in one chip. However, it is found that the severe GOX thinning occurs from at STI top edge region and a dent profile exists at the top edge of STI, when conventional DGOX and STI process carried out in high density device chip. In order to overcome this problem, a new DGOX process is tried in this study. And we are able to prevent the GOX thinning by H₂ anneal, partially SiN liner skip, and a method which is merged a thick sidewall oxide(S/O) with a SiN pull-back process. Therefore, a good subthreshold characteristics without a double hump is obtained by the prevention of a GOX thinning and a deep dent profile.

Key Words : STI, Dent, Dual Gate Oxide

1. 서론

최근 널리 적용범위가 확대되고 있는 SOC(System On-a-Chip)제품은 low voltage(LV)영역과 high voltage(HV)영역으로 나뉘어져 있는 경우가 많으므로 이를 동시에 one chip에 구현하기 위해서 Dual Gate Oxide(DGOX) 공정을 적용하는 것이 일반적이다.

shallow trench isolation(STI) 공정을 사용하는 device 에서 두께의 차이가 큰 DGOX 공정을 개발할 때에는 conventional DGOX 공정을 적용하기에는 무리가 따를 것으로 예상되었다. Conventional DGOX 공정의 경우 우선 thick GOX를 성장시킨 후 photo lithography를 이용하여 thin GOX 영역에 성장된 thick GOX를 습식식각으로 제거한 뒤에 thin GOX를 재성장시키는 scheme을 적용하고 있다. 따라서 공정 중 thin GOX 영역에 성장된 thick GOX를 제거하기 위해서 과도한 wet etch공정이 추가되며 이에 따라 STI의 top edge부위에 dent profile과 GOX thinning이 발생할 수 있다. 또한 STI top edge부위에 발생하는 GOX thinning

이나 dent profile은 기존 transistor(Tr.)의 edge에 존재하는 parasitic Tr.의 동작을 활성화함으로써 subthreshold 특성에서 double hump 현상을 야기시키는 것으로 알려져 있다. 따라서 최근까지도 이를 방지하기 위한 연구가 활발하게 진행되어 왔다 [1,2]. 본 연구에서는 thin GOX와 thick GOX의 두께가 각각 40Å, 320Å인 DGOX를 구현하기 위하여 새로이 적용된 공정에 관하여 언급하고자 한다.

2. 본론

2.1 High Voltage 용 GOX process

2.1.1 conventional process

Fig. 1은 conventional DGOX 공정으로 진행한 후 각각 LV와 HV 영역의 STI profile을 관찰한 것이다. 결과에서 알 수 있듯이, LV와 HV 영역에 관계없이 STI top edge에 dent profile(~150Å)이 존재하며 HV 영역에서 active영역의 GOX 두께가 360Å임에 반하여 79Å으로 GOX thinning이 심하게 발생함을 확인할 수 있었다.

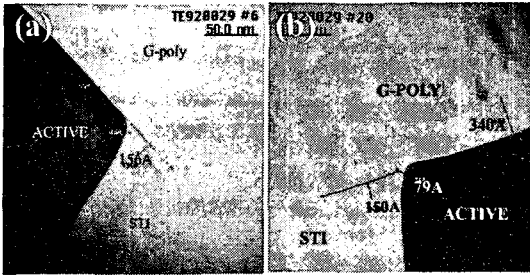


그림 1. conventional 방법의 TEM 사진
 Fig. 1. Cross sectional TEM micrograph of final STI profile with conventional method: (a) LV and (b) HV part.

Fig 2 는 GOX thinning 이 심하였던 HV GOX 영역에서 Width(W) / Length(L)가 25/1.2 μm 인 NMOS Tr.의 subthreshold 특성을 관측한 것이다. Substrate의 인가전압이 커질수록 double hump 특성이 강하게 나타나고 있다. 이와 같은 GOX thinning 현상은 conventional DGOX 공정 진행에 따른 구조적인 문제로 예상되었으며 해결책을 모색하게 되었다.

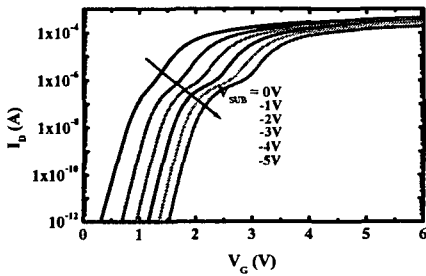


그림 2. HV NMOS Tr.의 subthreshold 특성
 Fig. 2. The subthreshold characteristics of HV NMOS Transistor.

2.1.2 HV GOX process

Fig. 3 은 conventional DGOX 공정이 지니는 단점을 개선하기 위하여 본 연구에서 적용한 High Voltage GOX (이하 HVGOX) scheme 을 단순하게 나타낸 것이다. HV GOX 공정은 우선 SiN layer와 MTO buffer layer 를 LV와 HV 영역에 동일하게 데포한 후 photo resistor(PR)

로 HV 영역의 SiN과 MTO layer 를 etch back 한다. 이후에 HV 영역에 450Å 두께의 thermal oxide 를 성장시킨 후 LV 영역을 막고 있던 SiN 과 MTO layer 를 제거한 후 40Å 의 thin GOX를 성장시켰다. 이때 HV 영역의 thick GOX 는 320Å 로 감소되어 원하는 두께의 DGOX를 구현할 수 있었다. 이러한 공정을 통하여 Low Voltage 영역에 wet etch 량을 상대적으로 감소시킴으로써 STI profile에서 발생 가능한 dent profile를 억제하는 것이 가능하였다 (Fig.4).

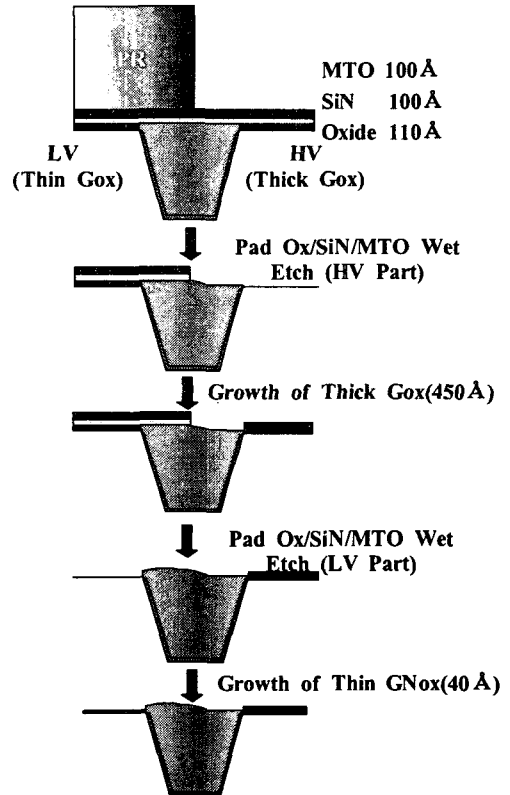


그림 3. 새로운 DGOX scheme
 Fig. 3 Schematic diagram of a new DGOX process in this study.

2.2 STI Process

2.2.1 Effect of stress on GOX thinning

HVGOX 공정이 LV 영역의 STI edge profile을 개선하여 Tr. 특성을 향상시킴에도 불구하고 HV 영역의 GOX thinning을 개선할 수 없는 한계가 있었다. Fig. 6은 TSUPREM-IV를 이용하여 thick

GOX를 성장시켰을 때 stress 분포를 simulation한 결과이다. Active 영역에 tensile stress가 주효하게 존재하는 반면에 STI top edge에 compressive와 tensile stress가 혼재하여 나타나는 것을 확인할 수 있었다. [3] 이와 같은 stress의 분포는 GOX thinning의 원인으로 작용하며 STI top edge에 존재하는 oxide thinning 은 stress로 인한 것이다.

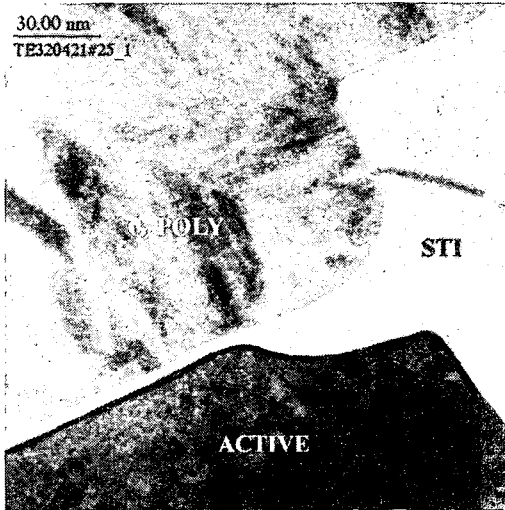


그림 4. 새로운 DGOX scheme에서 STI edge를 TEM 으로 관찰한 사진.

Fig. 4 TEM micrograph of STI edge profile in LV part using new scheme.

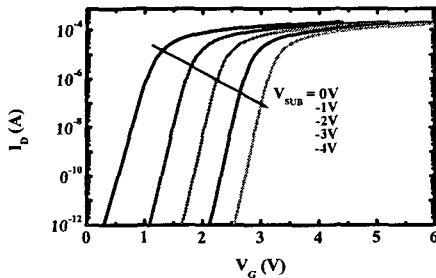


그림 5. 새로운 scheme에서 LV DGOX subthreshold 특성.

Fig. 5 Subthreshold characteristics of LV NMOS part using a new DGOX (HVGX) process.

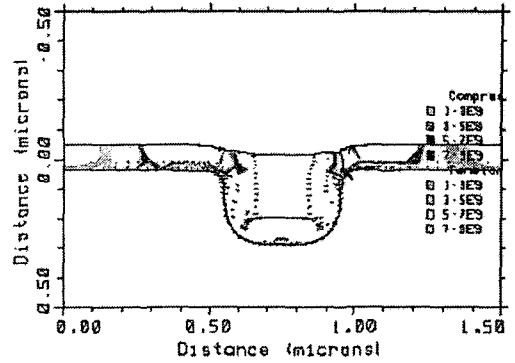


그림 6 STI corner edge Stress simulation 결과.
Fig. 6 The simulation result of stress distribution in STI corner edge.

2.2.2 SiN Pull back and Buffer oxide process

Fig. 7은 GOX thinning을 방지하기 위한 STI 공정 scheme을 간략하게 정리한 것이다.

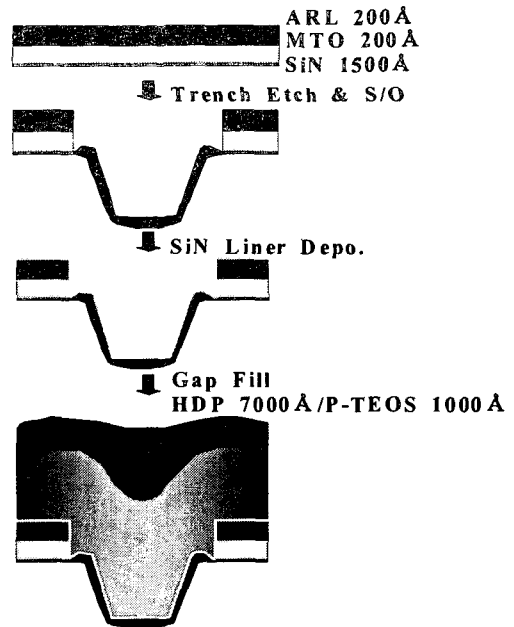


그림 7. Modified STI process 적용된 공정흐름도.
Fig. 7 Schematic diagram of a modified STI process.

공정의 순서는 우선 SiN pull-back을 110Å에서 500Å 범위에서 진행하여 sidewall oxide(S/O) 성장 시 trench top edge에 buffer oxide가 자라날 수 있는 공간을 확보하였다. SiN pull-back시 top 부분 SiN mask의 손실을 막기 위하여 MTO layer

를 200Å 정도 데포 하였다. SiN pull-back이 진행된 후에 S/O의 성장 두께를 300Å 으로 조절함으로써 Fig. 8 처럼 GOX thinning이 conventional STI process에 비하여 상당히 개선되었음을 확인할 수 있었다.

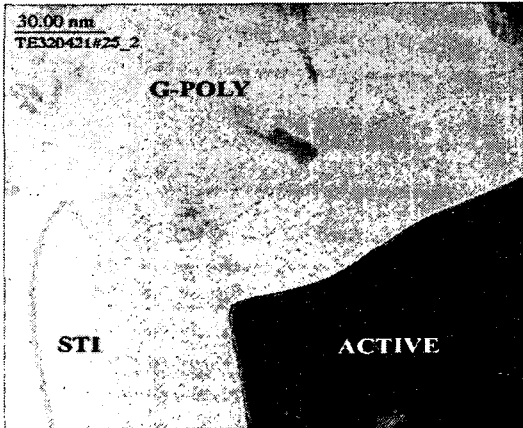


그림 8. TEM image at STI corner with SiN Pull back process

Fig. 8 Cross sectional TEM micrograph of STI corner edge profile with SiN pull-back.

Fig. 8 은 SiN pull-back량이 300Å, S/O 두께가 300Å으로 진행된 후의 HV 영역의 STI profile을 관찰한 것이다. TEM 결과에서 볼 수 있듯이

GOX thinning이 conventional STI process에 비하여 상당히 개선되었음을 확인할 수 있었다. Fig. 9 는 이와 같이 GOX thinning이 개선된 NMOS Tr의 subthreshold 특성을 관찰한 것이다. Conventional STI process 로 진행되었을 때 관찰되었던 double hump가 전혀 나타나지 않았다. 이와 같이 본 연구에서는 SiN pull-back 과 S/O 두께를 조절하는 방법을 적용함으로써 320Å 이상의 thick GOX를 적용하는 STI process에서 GOX thinning을 개선하고 double hump 특성을 제거하는 공정을 개발할 수 있었다.

3. 결론

GOX 두께의 차이가 각각 40Å, 320Å인 DGOX 공정을 적용하는 device에 STI를 형성하는 경우 기존의 STI 공정으로는 GOX thinning을 개선하는 데에는 한계가 있었다. 따라서 본 연구에서는 이와 같은 Gox thinning 현상을 해결하기 위한 실험을

진행한 결과 300 Å 이상의 GOX를 성장시키는 경우 STI top edge에서 나타나는 GOX thinning은 GOX 성장시 발생하는 stress 및 profile과 영향이 깊은 것을 알 수 있었다. 이때 STI top edge에는 compressive 및 tensile stress가 공존하며 이에 따라 oxide의 성장이 크게 저하되는 것을 확인할 수 있었다. 또한 GOX thinning을 개선하기 위한 방법으로 본 연구에서는 trench 형성후에 SiN pull-back 및 S/O 두께를 변화시키는 방법을 선택, 적용하였다. 실험 결과, 초기 GOX 두께의 확보 및 profile 변화로 인하여 GOX thinning이 개선되는 것을 확인하였고 S/O 두께에 따른 stress 변화가 있으나 [4] S/O 두께를 각각 300Å으로 진행한 결과, GOX thinning이 개선되었고 이에 따라 subthreshold 특성에서 나타나는 double hump 현상을 완전히 제거할 수 있었다.

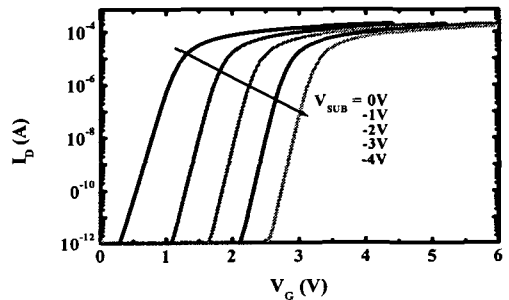


그림 9 HV NMOS의 Subthreshold characteristics
Fig. 9. Subthreshold characteristics of HV NMOS with 300Å S/O thickness. (W/L = 25/1.2µm)

참고 문헌

- [1] C. Chen, J. W. Chou, W. Lur, and S. W. Sun, International Electron Devices Meeting, Technical Digest 1996 (1996) p. 837.
- [2] T. Ukeda et al., Proc. Solid-State Devices and Mater. Conf., (1996) p. 260.
- [3] P. Sutardja, W. G. Oldham, and D. B. Kao, International Electron Devices Meeting, Technical Digest 1987 (1987) p. 264.
- [4] I. V. Pedious, N. Balasubramaian, E. Johnson, C. H. Gan, and R. Sundaresan, Electrochemical Society Proceedings Vol. 99-18 (1999) p. 243.