

## BiCMOS 회로의 고장 검출을 위한 테스트 패턴 생성

신재홍, 이병효, 김일남, 이복용  
 동서울대학

### Test Pattern Generation for Detection of Faults in BiCMOS Circuits

Jae-heung Shin, Byung-Hyo Lee, Il-Nam Kim, Bok-Yong Lee  
 Dong Seoul College

**Abstract** - BiCMOS circuit consist of CMOS part which constructs logic function, and bipolar part which drives output load. In this paper, proposes a method for efficiently generating test pattern which detect faults in BiCMOS circuits. In proposed method, BiCMOS circuit is divided into pull-up part and pull-down part, using structural property of BiCMOS circuit, and we generate test pattern using set theory for efficiently detecting faults which occurred each divided blocks.

#### 1. 서 론

CMOS 기술과 바이폴라 기술이 결합되는 BiCMOS 회로는 복잡한 제조공정으로 인하여 수율이 떨어지기 때문에 BiCMOS 회로에 대한 테스트가 중요한 문제로 대두되고 있다. BiCMOS 회로에서 발생하는 고장은 기존의 고장 모델에 의해 모델링되지 않는 경우가 많다.<sup>[1,2]</sup> BiCMOS 회로에서의 stuck-open 고장은 순차동작(sequential behavior)을 하거나 지연 고장처럼 나타난다. 또한, BiCMOS 회로의 단락고장은 단락된 노드의 저항값에 따라 CMOS 회로에서 발생하는 단락고장 보다 훨씬 더 복잡한 전기적 특성을 나타낸다.

본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open 고장과 단락고장을 검출하기 위한 테스트 패턴을 효율적으로 생성하는 방법을 제안한다. 제안된 방법은 BiCMOS 회로의 구조적 특성을 이용하여, 회로를 풀-업측(pull-up part)과 풀-다운측(pull-down part)으로 분할하고, 분할된 각 블록에서 발생하는 고장을 효율적으로 검출할 수 있는 테스트 패턴을 집합 이론을 이용하여 생성한다.

#### 2. BiCMOS 회로의 고장

##### 2.1 stuck-open 고장

BiCMOS 회로의 기본적인 구성은 논리를 실현하는 CMOS 부분과 출력을 증폭시켜 부하를 구동하는 바이폴라로 구성된다. 그림 1은 두개의 바이폴라 트랜지스터를 사용한 BiCMOS NAND 회로를 나타낸 것이다.

BiCMOS 회로내의 한 트랜지스터에서 stuck-open 고장이 발생했을 때, 출력에서 고장 효과를 평가하기 위해 한번에 하나의 stuck-open 고장을 대상으로 시뮬레이션 하였다.

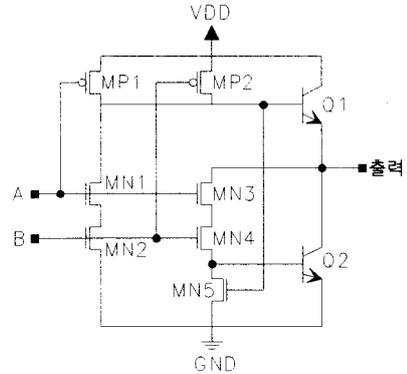


그림 1. BiCMOS NAND 회로

pMOS 트랜지스터와 nMOS 트랜지스터에서 발생한 stuck-open 고장은 해당 트랜지스터를 OFF시키고 시뮬레이션하였으며, 바이폴라 트랜지스터의 에미터, 베이스, 콜렉터에서 발생한 stuck-open 고장은 해당 노드에 저항( $> 1M\Omega$ )을 직렬 연결하여 시뮬레이션하였다.

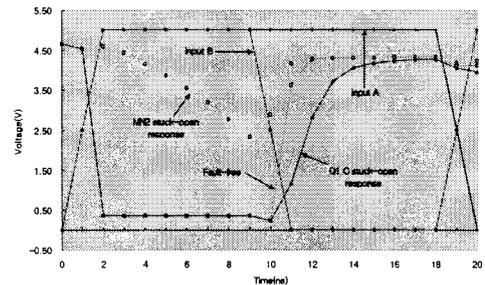


그림 2. stuck-open 고장에 대한 시뮬레이션 결과

BiCMOS 회로에 사용한 시뮬레이션 파라미터는 pMOS( $L_p, W_p$ )와 nMOS( $L_n, W_n$ )의 길이와 폭은 pMOS( $L_p = 1.5\mu m, W_p = 30\mu m$ )와 nMOS( $L_n = 1.5\mu m, W_n = 26\mu m$ )을 사용하였다. BiCMOS 회로상에서 팬-아웃을 고려하기 위해 부하는  $0.85pF$ 로 시뮬레이션하였다. 그림 2는 MN2 트랜지스터에서 stuck-open 고장이 발생한 경우와 Q1 콜렉터에서 stuck-open 고장이 발생한 경우의 Spice 시뮬레이션 결과를 나타낸 것이다. 그림 1의 BiCMOS NAND 회로의 고장이 없는 경우와 stuck-open 고장이 발생했을 때의 출력을 표 1에 정리하였다.

표 1. BiCMOS NAND 회로의 동작

BiCMOS NAND stuck - open RESULTS													
Input	MPI	MP2	MN1	MN2	MN3	MN4	MN5	Q1.E	Q1.B	Q1.C	Q2.E	Q2.B	Q2.C
A B	open												
0 0	1	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
0 1	PS	1	1	1	1	1	STR	SA0	SA0	STR	1	1	1
1 0	1	PS	1	1	1	1	STR	SA0	SA0	STR	1	1	1
1 1	0	0	STF	STF	SA1	SA1	0	0	0	SA1	SA1	STF	STF

표 1에서 PS는 전상태 값을 나타내고 E, B, C는 바이폴라 트랜지스터의 에미터, 베이스, 콜렉터를 나타낸다. 또한, STF는 하강(Slow to Fall) 지연 고장, STR은 상승(Slow to Rise) 지연 고장, SA0는 초기화 후에 stuck-at-0 (특수한 경우 PS), SA1는 초기화 후에 stuck-at-1 (특수한 경우 PS)을 각각 나타낸다.

그림 1의 BiCMOS NAND 회로는 입력 패턴이 AB = <11>일때, 트랜지스터 MN3과 MN4를 통해 바이폴라 트랜지스터 Q2의 베이스에 전하를 공급하여 Q2를 ON시켜서 출력 기생 커패시턴스의 전하를 방전한다. 입력 패턴이 AB = <00>, <01>, <10>일때는 MP1이나 MP2, 또는 MP1과 MP2 모두를 통해 바이폴라 트랜지스터 Q1의 베이스에 전하를 공급하여 Q1을 ON시켜서 출력 기생 커패시턴스를 충전한다. 그러나 MN1과 MN2 트랜지스터에서 stuck-open 고장이 발생하면, 출력에서 고장의 효과는 지연 고장으로 나타난다. 입력 패턴이 AB = <11>일때, 직렬 연결된 MN3과 MN4는 ON되지만 MN1과 MN2는 stuck-open 고장으로 인하여 ON되지 않는다. 이것은 바이폴라 트랜지스터 Q1의 베이스에 저장된 전하로 인하여 어느 정도 ON상태로 남게 되어 출력을 충전하기 때문에 Q2와 MN3, MN4의 ON 저항을 통해서 느리게 방전하게 한다.

### 2.2 단락 고장

일반적으로 BiCMOS 회로에서 발생하는 단락 고장은 그림 3에 나타낸 것처럼 MOS 트랜지스터의 세 터미널(게이트, 드레인, 소스) 사이의 단락 고장과 바이폴라 트랜지스터의 세 터미널(베이스, 컬렉터, 이미터) 사이의 단락 고장과 같은 6가지 형태를 고려한다.

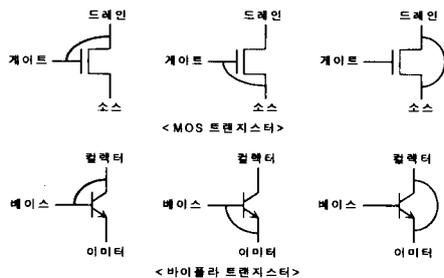


그림 3. BiCMOS 회로의 단락 고장 형태

BiCMOS 회로에서 단락 고장이 존재할 때의 효과를 관측하기 위하여 Spice 시뮬레이션을 수행하였다. 시뮬레이션 파라미터 stuck-open 고장의 경우와 동일하며, 단락 고장이 발생한 트랜지스터 터미널 사이에는 10Ω의

저항을 연결하여 시뮬레이션을 수행하였다.

그림 4는 그림 1의 MOS 트랜지스터 MP1의 드레인과 소스 사이에 단락 고장이 발생한 경우와 바이폴라 트랜지스터 Q2의 베이스와 이미터 사이에 단락 고장이 발생한 경우의 Spice 시뮬레이션 결과를 나타낸 것이다.

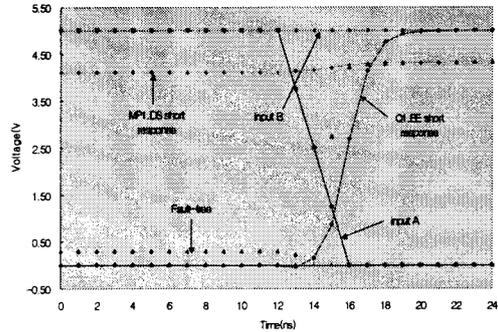


그림 4. 단락고장에 대한시뮬레이션 결과

단락 고장의 존재 효과는 입력 패턴에 따라 출력에서 관측될 수 있다. 예를 들어, MP1의 게이트와 소스 사이에 단락 고장이 발생하면, 입력 (A,B) = 01 일 때 정상 출력은 1이지만 0이 출력된다. 나머지 입력은 정상일 때와 동일한 값이 출력되기 때문에 고장의 유·무를 알 수 없다.

### 3. BiCMOS 회로의 입력 패턴

그림 1에서 pMOS 트랜지스터 MP1, MP2와 nMOS 트랜지스터 MN3, MN4는 NAND 논리를 구현하는 트랜지스터들이다. 그리고 MN1, MN2, MN5는 풀-업측과 풀-다운측 바이폴라 트랜지스터의 베이스 전하를 방전하는 역할을 수행하여 회로가 고속으로 동작하도록 한다. 일반적인 BiCMOS 회로의 각 부분에서 수행하는 역할에 따라 블럭도로 나타내면 그림 3과 같다.

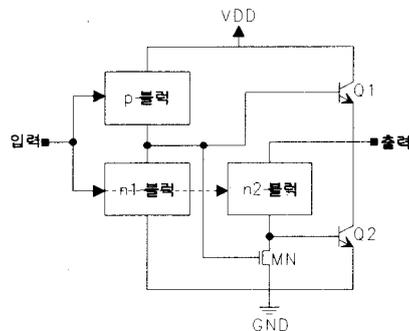


그림 5. 일반적인 BiCMOS 회로의 블럭도

그림 5의 블럭도의 각 부분에서 고장이 발생했을 때, 출력에서의 고장 효과를 정리하면 표 2와 같다.

표 2. 고장의 형태와 출력에서의 고장 효과.

고장 위치	고장의 형태	출력에서의 고장 효과
Pull-up part	p-블록 stuck-open	순차 동작
	Q1의 에미터, 베이스 open	stuck-at 고장
	Q1의 콜렉터 open	지연 고장
	MN의 open	지연 고장
Pull-down part	n1-블록 stuck-open	지연 고장
	n2-블록 stuck-open	순차 동작
	Q2의 에미터, 베이스 open	stuck-at 고장
	Q2의 콜렉터 open	지연 고장
Pull-up(down) part	어떤 트랜지스터의 stuck-on	IDDQ 증가

그림 5의 BiCMOS 회로를 구성하는 각 블록은 입력 패턴에 따라 ON되거나 OFF된다. 이 장에서는 p-블록을 ON되게 하는 입력 패턴 집합은  $P_{on}$ 으로 나타내고, n1-블록과 n2-블록을 ON되게 하는 입력 패턴 집합은  $N_{1on}$ 과  $N_{2on}$ 으로 나타내기로 한다. BiCMOS 회로 구성의 특성 때문에  $N_{1on}$ 과  $N_{2on}$ 는 같은 집합이고  $P_{on}$ 은  $N_{1on}$ 과  $N_{2on}$ 의 여집합이다.

BiCMOS 회로를 구성하는 각 블록에서 stuck-open 고장이 발생했을 때, 그 블록을 ON되게 하는 입력 패턴 집합은  $P_{on}^{sop}$ ,  $N_{1on}^{sop}$ 와  $N_{2on}^{sop}$ 로 나타낸다. stuck-open 고장이 존재하면, 도통 경로를 형성하는 경로의 수가 줄어들기 때문에, 고장이 없는 회로에서 각 블록을 ON시키는 패턴의 수보다 줄어든다.

BiCMOS 회로를 구성하는 어떤 트랜지스터에서 stuck-on 고장이 존재하면, 고장이 없는 회로에 비해서 그 트랜지스터가 해당하는 블록의 도통 경로를 ON시키는 패턴의 수는 늘어난다.

#### 4. 고장검출을 위한 테스트 집합

BiCMOS 회로를 구성하는 어떤 트랜지스터에서 stuck-open 고장이 발생하면, 고장이 없는 회로에 비해서 그 트랜지스터가 해당하는 블록의 도통 경로를 ON시키는 패턴의 수는 줄어든다. stuck-open 고장을 테스트하기 위해서는  $\langle t_1, t_2 \rangle$ 의 두 개의 테스트 패턴이 필요하다. 풀-업측(풀-다운측)의 stuck-open 고장을 검출하기 위해서는 첫 번째 패턴은 출력을 '0'('1')로 만든다. 두 번째 패턴은 고장이 발생한 트랜지스터를 통하는 출력과 VDD(GND)사이에서 저 저항 경로를 생성하는 패턴을 인가한다.  $t_1$ 과  $t_2$ 에 가능한 패턴들의 집합을  $\{T_1\}$ 과  $\{T_2\}$ 라고 하면, 풀-업측과 풀-다운측에서 발생하는 stuck-open 고장을 검출하기 위한 테스트 패턴은 아래의 표 3과 같이 구할 수 있다.

표 3에서 Q1의 에미터와 베이스에서 발생한 stuck-open 고장은 출력에서 stuck-at 고장과 동일한 효과를 나타내기 때문에  $T = \{P_{on}\}$ 의 하나의 테스트 패턴 집합을 이용하여 검출할 수 있다. 마찬가지로 Q2의 에미터와

베이스에서 발생한 stuck-open 고장도  $T = \{N_{1on}\} = \{N_{2on}\}$ 를 이용하여 검출할 수 있다.

표 3. stuck-open 고장의 발생 위치와 테스트 패턴 집합

고장 위치	고장이 발생한 트랜지스터 또는 고장이 발생한 트랜지스터가 포함된 블록	테스트 패턴 집합
Pull-up part	p-블록	$T_1 = \{N_{1on}\} = \{N_{2on}\}$ $T_2 = \{P_{on}^{sop}\}^c \cap \{P_{on}\}$
	Q1 베이스, 에미터	$T = \{P_{on}\}$
	Q1 콜렉터	$T_1 = \{N_{1on}\} = \{N_{2on}\}$ $T_2 = \{P_{on}\}$
	MN	$T_1 = \{N_{1on}\} = \{N_{2on}\}$ $T_2 = \{P_{on}\}$
Pull-down part	n1-블록 (n2-블록)	$T_1 = \{P_{on}\}$ $T_2 = \{N_{1(2)on}^{sop}\}^c \cap \{N_{1(2)on}\}$
	Q2 베이스, 에미터	$T = \{N_{1on}\} = \{N_{2on}\}$
	Q2 콜렉터	$T_1 = \{P_{on}\}$ $T_2 = \{N_{1on}\} = \{N_{2on}\}$

풀-업측(풀-다운측)에 stuck-on 고장이 존재하면, 풀-다운측(풀-업측)을 ON 시키는 입력 패턴이 인가되어도 stuck-on 고장이 존재하기 때문에 VDD에서 GND까지 도통 경로를 형성한다. 따라서 정상 상태에서 IDDQ가 증가한다. 이러한 stuck-on 고장을 검출하기 위해 IDDQ 테스트를 할 때, 테스트 패턴을 아래의 표 4와 같이 구할 수 있다.

표 4. 단락 고장의 발생 위치와 테스트 패턴 집합

고장 위치	고장이 발생한 트랜지스터 또는 고장이 발생한 트랜지스터가 포함된 블록	테스트 패턴 집합
Pull-up part	p-블록	$T = \{P_{on}^{sop} \cap N_{1on} \cap N_{2on}\}$
	Q1	$T = \{N_{1on}\} = \{N_{2on}\}$
	MN	$T_1 = \{P_{on}\}$ $T_2 = \{N_{1on}\} = \{N_{2on}\}$
Pull-down part	n1-블록	$T = \{N_{1on}^{sop} \cap P_{on}\}$
	n2-블록	$T = \{N_{2on}^{sop} \cap P_{on}\}$
	Q2	$T = \{P_{on}\}$
	Q2 콜렉터	$T_1 = \{P_{on}\}$ $T_2 = \{N_{1on}\} = \{N_{2on}\}$

#### 5. 테스트 패턴 유도

두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에서 발생한 stuck-open 고장을 검출하기 위해서는 각 고장에 대한  $P_{on}^{sop}$ ,  $N_{1on}^{sop}$ ,  $N_{2on}^{sop}$ 을 알 수 있다면, 테스트 패턴은 앞 절에서 주어진 과정을 통해서 구할 수 있다. 서로 다른 블록(p-블록, n1-블록, n2-블록)에서 발생한

고장에 대한 출력에서의 효과를 알고 있기 때문에, 출력에서 각 고장들에 대한 효과를 관측할 수 있도록 테스트 패턴을 생성하는 것이 필요하다.

이 장에서는 게이트의 주 입력이 각 블록의 한 트랜지스터에만 연결되어 있다는 가정아래, 서로 다른 고장들에 대한  $P_{on}$ ,  $P_{on}^{sob}$ ,  $N_{1on}$ ,  $N_{1on}^{sob}$ , ... 등을 구하는 방법을 알아본다.

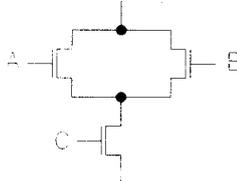


그림 6.  $f = (A + B)C$ 의 n1-블럭

n1-블럭의 고장을 고려해보자. n1-블럭을 구성하는 함수를  $f(x)$ 라 하자. 여기서  $x = (x_1, x_2, \dots, x_n)$ 이고  $x_i$ 는  $i$  번째 트랜지스터의 게이트 입력이 된다. 예를 들어, 그림 4가 두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS회로의 n1-블럭을 나타낸다고 가정하자. 여기서  $x = \{A, B, C\}$ 이고  $f = (A + B)C$ 이다.

$$h(x, x_i) = f(x_1, \dots, x_{i-1}, 0, x_{i+1}, \dots, x_n)$$

$$g(x, x_i) = f(x_1, \dots, x_{i-1}, 1, x_{i+1}, \dots, x_n)$$

라고 하자. 예를 들어, 위의 그림 4에서  $h(x, B) = AC$ 이고  $g(x, B) = C$ 이다.

### 6. 적용 예

표 3에 나타난 테스트 패턴 생성 집합을 그림 7의 함수  $f = (A + B)(C + D)$ 를 구현한 두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에 적용하였다. 함수  $f = (A + B)(C + D)$ 를 구현하는 의 각 트랜지스터에서 발생하는 stuck-open 고장을 검출하는 테스트 패턴 집합을 구하면 표 5와 같다.

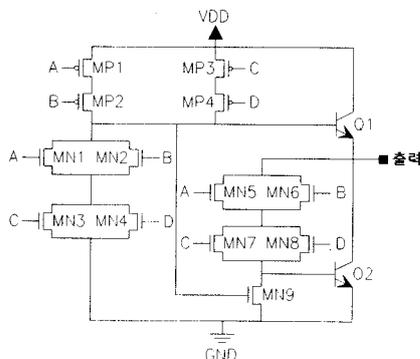


그림 7.  $f = (A + B)(C + D)$

### 7. 결 론

BiCMOS 회로에서 발생하는 stuck-open 고장은 순차 동작(sequential behavior)를 하거나 지연고장(delay

fault)의 형태로 나타난다. 또한, BiCMOS 회로의 단락고장은 단락된 노드의 저항값에 따라 CMOS 회로에서 발생하는 단락고장 보다 훨씬 더 복잡한 전기적 특성을 나타낸다. 본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open고장과 단락 고장을 검출할 때 필요한 테스트 패턴을 효율적으로 생성하는 방법을 제안하였다. 제안된 방법은 BiCMOS 회로의 구조적 특성을 이용하여, 회로를 풀-업측(pull-up part)과 풀-다운측(pull-down part)으로 분할하고, 분할된 각 블록에서 발생하는 고장을 효율적으로 검출할 수 있는 테스트 패턴을 집합 이론을 이용하여 생성하였다.

표 4. stuck-open 고장이 발생한 트랜지스터와 테스트 패턴 집합

고장 위치	고장 발생한 블록 또는 트랜지스터		테스트 패턴	
	블럭	트랜지스터	초기화 패턴	테스트 패턴
Pull-up part	p-블럭	MP1(MP2)	0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	0001, 0010, 0011
		MP3(MP4)		0100, 1000, 1100
	Q1 베이스,에미터		0000, 0001, 0010, 0011, 0100, 1000, 1100	
	Q1 콜렉터		0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	0000, 0001, 0010, 0011, 0100, 1000, 1100
		MN9	0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	0000, 0001, 0010, 0011, 0100, 1000, 1100
Pull-down part	n1-블럭	MN1		1001, 1010, 1011
		MN2	0000, 0001, 0010, 0011, 0100, 1000, 1100	0101, 0110, 0111
		MN3		0110, 1010, 1110
		MN4		0101, 1001, 1101
	n2-블럭	MN5		1001, 1010, 1011
		MN6	0000, 0001, 0010, 0011, 0100, 1000, 1100	0101, 0110, 0111
		MN7		0110, 1010, 1110
		MN8		0101, 1001, 1101
	Q2 베이스,에미터		0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111	
	Q2 콜렉터		0000, 0001, 0010, 0011, 0100, 1000, 1100	0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111

### [참 고 문 헌]

- [1] M.E. Levitt, K. Roy and J.A. Abraham, "BiCMOS Fault Models : Is Stuck-At Adequate?," *IEEE ICCD*, pp.294-297, 1990.
- [2] C.-W. Tseng, E. McClusky, "Multiple-Output Propagation Transition Fault Test," in *Proc. Intl. Test Conf.*, 2001, pp. 358-366, 2001.
- [3] Y. Sbao, I. Pomeranz, S. Reddy, " On Generating High Quality Tests for Tansition Faults," *11th ATS' 02*, pp. 1-8, 2002.
- [4] S. Chakravarty, A. Jain, "Fault Models for Speed Failures Caused by Bridges and Opens," *IEEE VLSI Test Symp. 2002*, pp. 373-378, 2002.