

# Gate 산화막으로 HfO<sub>2</sub> 박막을 이용하여 제작한 NFET 특성 고찰

박재후\*, 조문주\*, 박홍배\*, 이석우\*, 박태주\*, 이지훈\*, 황철성\*

\*서울대학교 재료공학부

## 초 록

Gate 산화막을 high-k 물질인 HfO<sub>2</sub> 박막을 이용하여 N-type MOS field effect transistor 를 제작하였다. 전극은 poly-Si 전극을 사용하였다. Gate 산화막은 ALD 로 Hf(N(CH<sub>3</sub>)<sub>2</sub>)<sub>4</sub> 원료를 이용하여 HfO<sub>2</sub> 박막을 형성하였다. 산화제는 H<sub>2</sub>O 와 O<sub>3</sub> 를 사용하였는데, H<sub>2</sub>O 가 약간 우수하였으나 그 차이는 크지 않았다. HfO<sub>2</sub> 를 증착하기 전에 in-situ 로 O<sub>3</sub> 를 흘려 줌으로써 SiO<sub>2</sub> 를 얇게 형성하였는데, 이 결과 threshold voltage 가 약 0.2V 높아지고 saturation current 가 커지는 것이 관찰되었다. 이러한 결과는 HfO<sub>2</sub> 박막을 직접 channel 위에 증착하는 것보다 O<sub>3</sub> 를 이용 얇은 SiO<sub>2</sub> 를 형성하고 그 위에 HfO<sub>2</sub> 박막을 증착하는 방법이 transistor 의 특성을 향상시키는 데 도움이 된다.

## 1. 서 론

반도체 집적 소자가 소형화, 저전력화로 진행됨에 따라 gate 산화막을 SiO<sub>2</sub> 에서 high-k 물질로 바꾸려는 시도가 지속되어 왔다.[1] 현재 사용되고 있는 gate 는 poly-Si 전극을 사용하고 있기 때문에 실제 소자에 적용 가능성을 확인하기 위해서는 poly-Si 전극을 이용한 transistor 제작과 그 특성을 확인해야 한다. 많은 high-k 물질 중에서 poly-Si 전극의 사용에 적합한 물질로 HfO<sub>2</sub> 가 가장 각광받고 있다.[2] Gate 산화막과 같은 수십 Å의 두께를 가지는 박막은 Atomic layer deposition (ALD)이 가장 유력한 증착 수단이다.

따라서 본 연구는 ALD 를 이용하여 증착한 HfO<sub>2</sub> 박막을 poly-Si gate 전극의 N-type field effect transistor 를 제작, 실제 그 특성을 확인하였다. Channel 과 HfO<sub>2</sub> 간의 상호 반응을 막고 계면 특성을 향상시키기 위해 O<sub>3</sub> 를 이용하여 in-situ 로 Si channel 위에 얇은 SiO<sub>2</sub> 막을 형성하고 HfO<sub>2</sub> 박막을 형성하는 방법을 사용하여 SiO<sub>2</sub>가 존재하지 않는 경우와 비교하였다.

## 2. 실험 방법

N-type field effect transistor 를 제작하기 위해 기판은 p-type (100) Si 기판을 사용하였다. Field oxide 는 형성하였으나 n-well 공정은 하지 않았으며 B<sup>+</sup> 을 이용 40keV 에서 3.0e12 /cm<sup>2</sup> 의 threshold voltage implantation 을 처리하였다. wafer cleaning 은 SC1 과 200:1 HF cleaning 을 하였다.

Gate 산화막은 ALD 를 이용하여 증착한 HfO<sub>2</sub> 박막을 사용하였다. Hf-원료는 Hf(N(CH<sub>3</sub>)<sub>2</sub>)<sub>4</sub> 를 사용하였고, 산화제는 H<sub>2</sub>O 와 O<sub>3</sub> 를 각각 이용하였다. Channel 과 gate 산화막 계면을 우수하게 하기 위하여 HfO<sub>2</sub> 박막 증착 전에 in-situ 로 O<sub>3</sub> 처리를 해 주어 HfO<sub>2</sub>/SiO<sub>2</sub>/Si 구조로 제작하였다. 표 1 은 gate 산화막의 각각의 조건을 나타낸 것이다.

poly-Si 를 증착하고 gate patterning 및 etch 후 As<sup>+</sup> implantor 로 gate 와 source/drain 을 doping 하였다. Activation anneal 은 1000°C 20sec 간 실시하였다. PECVD 를 이용 TEOS oxide 증착 후 MC contact etch, metal 1 증착 및 patterning 후 alloy 열처리를 실시하였다. 사용한 gate 의 length 는 1.5µm, width 는 40 µm 이다.

표 1. split table of gate dielectrics

Sample name	O <sub>3</sub> -SiO <sub>2</sub>	HfO <sub>2</sub> Oxidant	Thickness (Ellipsometer)
H <sub>2</sub> O-HfO <sub>2</sub>	-	H <sub>2</sub> O	50Å
O <sub>3</sub> -HfO <sub>2</sub>	-	O <sub>3</sub>	50Å
O <sub>3</sub> -HfO <sub>2</sub> /O <sub>3</sub> -SiO <sub>2</sub>	O <sub>3</sub> 30sec flow	O <sub>3</sub>	40Å

### 3. 실험결과 및 고찰

그림 1은 Id-Vg graph 이다. Subthreshold voltage swing (SS)은 각각 79.32, 79.48, 79.95 mV/dec로 거의 비슷한 값을 보였다. SS는 계면 트랩 밀도에 영향을 받아서 계면 트랩 밀도가 클수록 큰 값을 나타내게 되는데 세가지 게이트 산화막의 경우 거의 비슷한 계면 트랩 밀도를 가진 것으로 판단된다. 게이트 길이가 1.5µm로 long channel transistor 이기 때문에 짧은 채널 효과중의 하나인 Drain induced barrier lowering (DIBL)은 20mV 이하로 매우 작은 값을 보였다.

Threshold voltage 는 H<sub>2</sub>O-HfO<sub>2</sub>는 0.360, O<sub>3</sub>-HfO<sub>2</sub>의 경우 0.398, O<sub>3</sub>-HfO<sub>2</sub>/O<sub>3</sub>-SiO<sub>2</sub>의 경우는 0.506V이다. 이는 HfO<sub>2</sub> 박막 내에 존재하는 positive fixed charge에 의해 negative shift 하는 것으로, 계면에 O<sub>3</sub>를 이용하여 SiO<sub>2</sub>를 깔아줌으로써 이러한 shift를 줄인 것으로 이해된다.

그림 2는 HfO<sub>2</sub>를 게이트 산화막으로 이용한 transistor의 Id-Vd graph이다. Saturation Id의 경우 O<sub>3</sub>-HfO<sub>2</sub>/O<sub>3</sub>-H<sub>2</sub>O가 가장 우수하고 H<sub>2</sub>O-HfO<sub>2</sub>, O<sub>3</sub>-HfO<sub>2</sub>의 순으로 나빠 지는 것을 확인하였다. 이러한 경향은 그림 3의 transconductance ( $=\partial Id / \partial Vg$ )에서도 동일하게 나타난다.

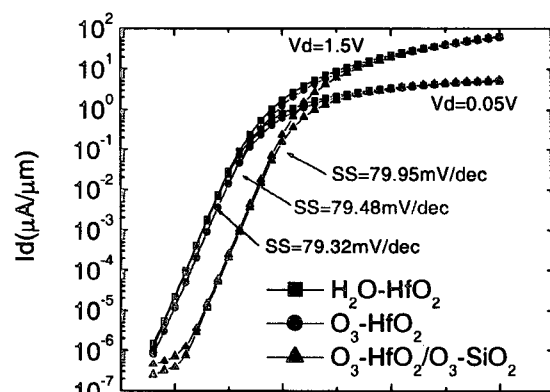


Fig. 1. Id-Vg characteristic of NFETs using HfO<sub>2</sub> oxides as gate dielectrics.

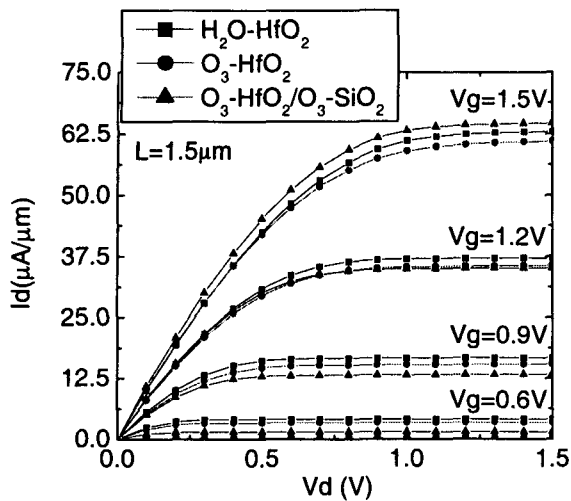


Fig. 2. Id-Vd characteristic of NFETs using HfO<sub>2</sub> oxides as gate dielectrics.

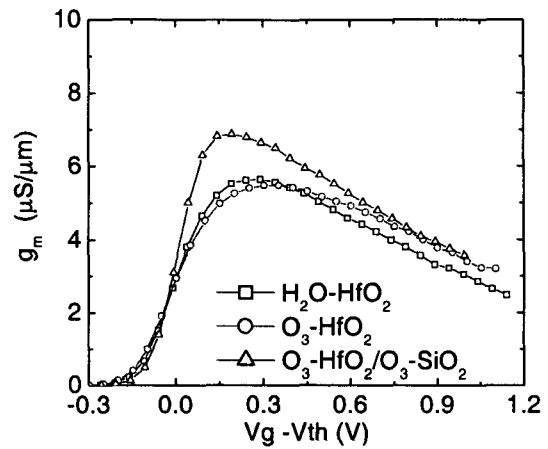


Fig. 3. Gm-Vg characteristic of NFETs using HfO<sub>2</sub> oxides as gate dielectrics.

channel과 high-k gate 산화막 사이 계면에 SiO<sub>2</sub>를 이용함으로써 transistor의 동작 특성이 더 우수하게 증진되었다. 이는 O<sub>3</sub>를 이용하여 in-situ로 생성한 SiO<sub>2</sub>가 high-k 물질 내부에 존재하는 고정전하 등의 영향을 줄여서 carrier가 진행할 때 발생하는 coulombic scattering을 줄이는 것으로 생각된다.[3]

#### 4. 결론

HfO<sub>2</sub> 박막을 게이트 산화막으로 사용하여 poly-si 전극 NFET 을 제작하였다. ALD 를 이용하여 HfO<sub>2</sub> 를 증착하였다. 산화제로 H<sub>2</sub>O 나 O<sub>3</sub> 에 있어서 큰 차이는 나타나지 않았다. HfO<sub>2</sub>를 증착하기 전에 in-situ 로 SiO<sub>2</sub>를 형성하고 HfO<sub>2</sub>를 증착함으로써, transconductance 와, saturation current 가 증가하였다. 이는 O<sub>3</sub> 로 형성한 SiO<sub>2</sub> 가 계면에 fixed charge 의 영향을 줄여 carrier 의 이동을 원활하게 하는 것으로 판단된다. Subthreshold voltage swing 은 약 80mV/dec 로 비슷하게 관찰되었다.

#### 참고문헌

- [1] Semiconductor Industry Association, "The International Technology Roadmap for Semiconductors 2002 update", p.43, San Jose, CA (2002)
- [2] Laegu Kang, Yongjoo Jeon, Katsunori Onishi, Byoung Hun Lee, Wen-Jie Qi, Renee Nieh, Sundar Gopalan, and Jack C. Lee, "Single-layer Thin HfO<sub>2</sub> Gate Dielectric with n+ -Polysilicon Gate," *VLSI symposium*, (2000)
- [3] Takashi Hori, *Gate Dielectrics and MOS ULSIs* , p. 98 (Springer, Berlin), 1997.