

(Bi, La)Ti₃O₁₂ 강유전체 박막의 전기적 특성

서강모*, 공수철*, 박지호*, 장호정*

*단국대학교 전자컴퓨터공학과

1. 서론

정보화 사회를 맞이하여 desk top 컴퓨터는 물론 이동전화 (cell phone), 노트북 컴퓨터, PDA 등 소형 전자디바이스 (device)에 대한 수요가 크게 증가하고 있다. 이에 따라 에너지 보존이 중요한 비휘발성 메모리에 대한 집중적인 관심과 적극적인 연구가 여러 연구자에 의해 수행되어 오고 있다 [1-6]. 최근 비휘발성 메모리 응용기술로서 FeRAM (Ferroelectric Random Access Memory), phase change RAM (PRAM), magnetic RAM (MRAM), 스핀트로닉 (spintronics) 등이 플래시 (flash) 메모리를 대체할것으로 기대를 모으고 있다. FeRAM은 DRAM (Dynamic Random Access Memory)의 커패시터 재료를 상유전체 물질에서 강유전체 물질로 대체하여 전원 공급이 차단되어도 정보를 기억할 수 있고, 데이터의 고속처리가 가능하고 저소비전력과 집적화가 뛰어난 차세대 메모리 소자이다 [7,8].

본 연구에서는 p-Si(100) 기판위에 Y₂O₃ 박막을 중간층 (buffer layer)으로 사용하여 (Bi,La)Ti₃O₁₂ (BLT) 강유전체 박막을 졸-겔방법으로 형성하여 MFM(I)S 구조의 캐피시터와 MFIS-FET(Metal Ferroelectric Insulation Silicon- Field Effect Transistor) 구조의 FeRAM 소자를 제작하였다. 제작된 소자에 대해 SEM형상 및 전기적 특성을 조사, 분석하였다.

2. 실험 방법

BLT 용액의 강유전성과 피로 (fatigue) 특성을 알아보기 위해 Si(100) 기판위에 Pt 박막을 DC 스퍼터링(sputtering) 방법으로 형성하였으며 Pt 하부전극위에 BLT 박막을 형성한후 700℃와 750℃의 온도에서 후속열처리를 실시하였다. 이때 BLT 박막의 형성은 합성된 졸-겔 용액을 스핀코팅 (spin coating) 장치를 이용하여 3000 rpm 회전속도로 Pt/Si 기판위에 BLT 강유전체 박막을 약 2000 Å 두께로 형성하였다. 이후 Pt 상부전극을 DC 스퍼터링으로 약 1500 Å 두께로 증착하여 Pt/BLT/Pt 구조의 캐피시터를 제작하였다. 제작된 캐피시터에 대해 열처리 온도에 따른 P-E (polarization-electric field) 이력특성과 시간에 따른 분극 (P-t) 특성을 조사하여 BLT Sol-Gel 용액의 특성확인을 통해 FeRAM 소자에의 적용가능성을 조사하였다. 또한 Y₂O₃ 물질을 중간 buffer 층으로 사용하였으며 Si(100) 기판위에 Y₂O₃ 박막을 RF 마그네트론 스퍼터링 방법으로 약 150 Å 두께로 증착한후 졸-겔법에 의해 BLT 박막을 형성하여 Pt/BLT/Y₂O₃/Si 구조의 캐피시터를 제작하였다. 이를 시료에 대해 누설전류와 capacitance-voltages (C-V) 특성 등 전기적 특성을 조사하였다.

3. 결과 및 고찰

본 실험에서 사용한 새로운 BLT 졸-겔 용액의 특성을 분석하기 위해 Pt/BLT/Pt 구조의 캐피시터를 제작한후 열처리 온도에 따른 전기적 특성을 조사하였다.

그림 1은 700°C 온도에서 열처리된 Pt/BLT/Pt 캐피시터의 여러 인가전압에서의 P-E 이력곡선을 보여주고 있다. 측정결과 강유전체에서 보여주는 전형적인 이력특성을 나타내고 있으며 5V 인가전압에서의 잔류분극 ($2P_r = P_r^{++} + P_r^{-}$)은 약 $18 \mu\text{C}/\text{cm}^2$ 의 잔류분극 값을 나타내었다. 또한 항전계 (coercive field, E_c)는 5V 인가전압에서 약 $85 \text{ kV}/\text{cm}$ 의 값을 나타내었다. 그림에서 알 수 있듯이 인가전압을 3V에서 7V로 증가함에 따라 잔류분극은 약 $12 \mu\text{C}/\text{cm}^2$ 에서 약 $23 \mu\text{C}/\text{cm}^2$ 으로 크게 증가하였다. 분극의 포화도 [P_r (잔류분극을)/ P_s (포화분극을)]의 비율]는 약 0.45를 나타내었으며 비교적 높은 전압에서도 안정한 이력현상을 보여주고 있다.

그림 2는 동일한 Pt/BLT/Pt 박막 캐피시터에 대해 750°C의 온도로 열처리한 시료의 P-E 이력곡선을 나타내었다. 700°C에서 열처리된 시료에서와 같이 전형적인 이력현상을 보여주고 있다. 5V 인가전압에서의 잔류분극($2P_r = P_r^{++} + P_r^{-}$)은 약 $27 \mu\text{C}/\text{cm}^2$ 의 비교적 큰 잔류분극을 나타내었다. 항전계 (coercive field, E_c)는 5V 인가전압에서 약 $82 \text{ kV}/\text{cm}$ 의 값을 나타내었다. 또한 인가전압을 3V에서 7V로 증가함에 따라 잔류분극은 약 $20 \mu\text{C}/\text{cm}^2$ 에서 약 $30 \mu\text{C}/\text{cm}^2$ 으로 크게 증가하였다. 5V 전압인가시 분극의 포화도 (P_r/P_s 의 비율)는 약 0.55를 나타내었다.

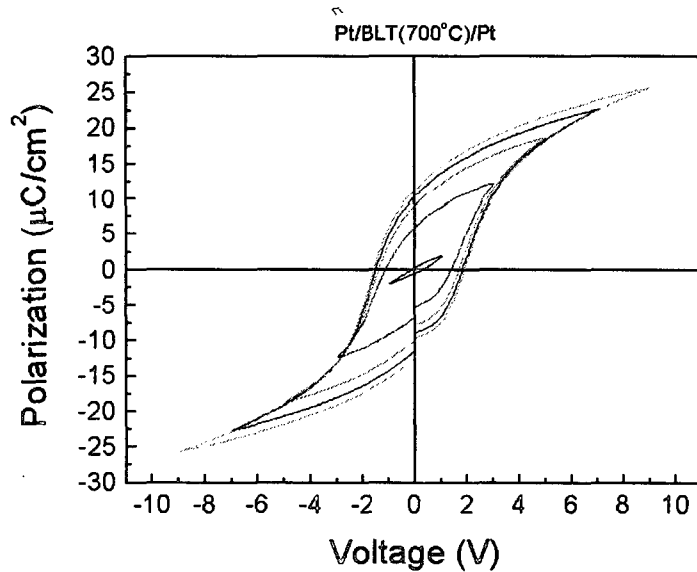


Fig. 1. P-E hysteresis loops of Pt/BLT/Pt capacitors annealed at 700°C for various input voltages.

결국, 열처리 온도에 따른 BLT 박막 캐피시터의 P-E 이력특성을 조사한 결과 BLT 박막 소자의 열처리 온도를 700°C에서 750°C로 증가함에 따라 5V 인가전압에서 잔류분극은 약 $18 \mu\text{C}/\text{cm}^2$ 에서 약 $27 \mu\text{C}/\text{cm}^2$ 로 증가하였고 분극 포화도 역시 약 0.45에서 0.55로 증가하는 경향을 나타내었다. 이러한 분극율과 포화도의 증가는 열처리 온도를 증가시킴에 따라 BLT 박막의 결정성이 개선되었기 때문으로 사료된다. 온도에 따른 P-E 이력특성을 조사한 결과 750°C에서 열처리된 BLT 박막 캐피시터가 더욱 양호한 강유전성 이력특성을 나타내었다.

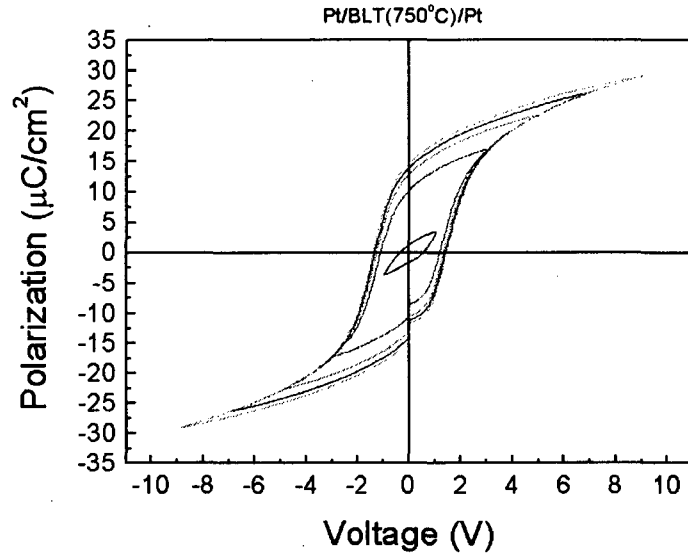


Fig. 2. P-E hysteresis loops of Pt/BLT/Pt capacitors annealed at 750°C for various input voltages.

Pt/BLT/Pt 박막 캐피터에 대해 피로특성을 조사하기 위해 ±5V의 bipolar square wave 펄스 (pulse)를 반복인가하여 시간에 따른 분극율의 변화를 조사하였다.

그림 3은 750°C로 열처리한 Pt/BLT/Pt 박막 캐피터에 대해 5V 인가전압에서 시간에 따른 분극을 변화를 보여주고 있다. 그림에서 알 수 있듯이 105.5 sec 까지 retention read pulse를 인가하였으나 BLT 박막의 잔류분극율의 변화는 10% 이하로 비교적 양호한 분극 retention 특성을 나타내었다.

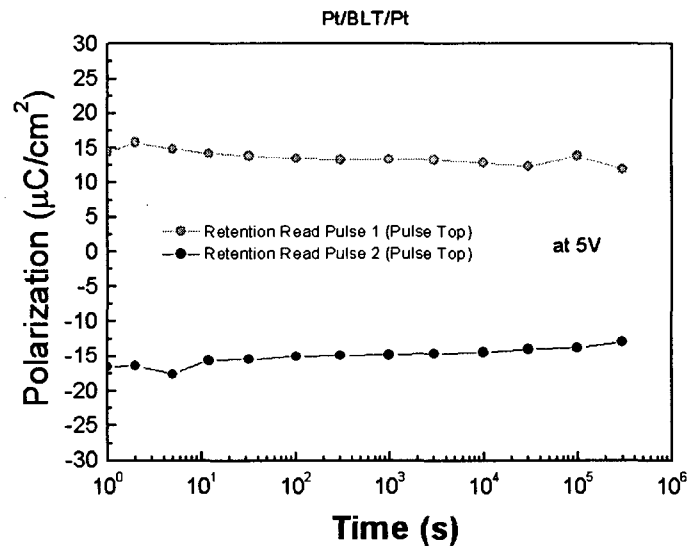


Fig. 3. The changes of polarization values of Pt/BLT/Pt capacitors as a function of times at 5V input bias voltage.

4. 결 론

본 연구에서는 n-well/p-Si(100) 기판위에 Y2O3 박막을 중간층 (buffer layer)으로 사용하여 (Bi,La)Ti₃O₁₂ (BLT) 강유전체 박막을 졸-겔 방법으로 형성하여 MFM(I)S(Metal Ferroelectric Metal(Insulation) Silicon) 구조의 커패시터 소자에 대해 형상학적, 전기적 특성을 조사한 결과 다음과 같은 결론을 얻었다.

1) 700℃ 온도에서 후속 열처리된 Pt/BLT/Pt 커패시터의 여러 인가전압에서의 P-E 이력곡선을 측정한 결과 강유전체에서 보여주는 전형적인 이력특성을 나타내었다. 5V 인가전압에서의 잔류분극 ($2Pr = Pr^+ + Pr^-$)은 약 18 $\mu\text{C}/\text{cm}^2$ 의 잔류분극을 나타내었다. 750℃의 온도로 열처리된 시료의 P-E 이력특성은 인가전압을 3V에서 7V로 증가함에 따라 잔류분극은 약 20 $\mu\text{C}/\text{cm}^2$ 에서 약 30 $\mu\text{C}/\text{cm}^2$ 으로 증가하였다.

2) Pt/BLT/Y₂O₃/Si 기판 구조를 가지는 BLT 박막 커패시터를 700℃와 750℃의 온도에서 열처리한 시료의 5V 인가전압에서 C-V(capacitance-voltage) 결과로부터 메모리 윈도우(memory window) 값을 조사한 결과 열처리 온도를 700℃에서 750℃로 증가함에 따라 메모리 윈도우 전압값은 약 1.4 V에서 0.6 V로 크게 감소하였다. 700℃의 낮은 온도에서 메모리 윈도우 전압값이 크게 나타난 것은 박막형성시 유전율이 작은 중간상의 형성을 억제할 수 있고 보다 치밀한 결정구조를 가질 수 있기 때문으로 판단된다.

3) 5V 인가전압에서 750℃ 온도로 열처리된 BLT 박막 커패시터의 누설전류는 약 $5 \times 10^{-8} \text{ A}/\text{cm}^2$ 값을 나타내었다.

참고문헌

- [1] B. A. Tuttle, Mater. Res. Bull. 12 (1987) 40.
- [2] J. F. Scott and C. A. Paz de Araujo, Science 246 (1989) 1400.
- [3] S. H. Hwang and H. J. Chang, J. Korean Phys. Soc. 41 (2002) 139.
- [4] H. J. Chang, S. H. Hwang, Y. C. Chang and M. Ishida, J. Korean Phys. Soc. 43(1) (2003) 123.
- [5] M. Noda, H. Sugiyama and M. Okuyama, Jpn. J. Appl. Phys. 38 (1999) 5432.
- [6] P. Y. Chu, R. Jones, Jr. P. Zurcher, D. J. Taylor, B. Jiang, and S. J. Gillespie, J. Mater. Res. 11 (1996) 1065.
- [7] M. Aoki, M. Mushiga, A. Itoh, T. Eshita and Y. Arimoto, Symp. VLSI Technol. Digest of Tech. Papers, Kyoto Japan, 1999, p. 145.
- [8] M. Takashi, Y. Hiroyuki, W. Hitoshi and Carlos A. Paz de Araujo, Jpn. J. Appl. Phys. 34 (1998) 5233.
- [9] K. Okamoto and E. Tokumitsu, Appl. Phys. Lett. 76 (2000) 2609.