

입력 매칭 측정을 이용한 RF Front End의 새로운 결합 검사 방법

류지열, 노석호*

애리조나 주립대학교 전기공학과, 안동대학교 전자공학과*

(Novel Defect Testing of RF Front End Using Input Matching Measurement)

Jee-Youl Ryu and Seok-Ho Noh*

Arizona State University, Tempe, USA

Andong National University*

요 약

본 논문에서는 입력 매칭(input matching) BIST(Built-In Self-Test) 회로를 이용한 RF front end의 새로운 결합 검사방법을 제안한다. BIST 회로를 가진 RF front end는 1.8GHz LNA(Low Noise Amplifier: 저 잡음 증폭기)와 이중 대칭 구조의 Gilbert 셀 믹서로 구성되어 있으며, TSMC 0.25 μ m CMOS 기술을 이용하여 설계되었다. catastrophic 결합 및 parametric 변동을 가진 RF front end와 결합을 갖지 않은 RF front end를 판별하기 위해 RF front end의 입력 전압 특성을 조사하였다. 본 방법에서는 DUT(Device Under Test: 검사대상이 되는 소자)와 BIST 회로가 동일한 칩 상에 설계되어 있기 때문에 측정할 때 단지 디지털 전압계와 고주파 전압 발생기만이 필요하며, 측정이 간단하고 비용이 저렴하다는 장점이 있다. BIST 회로가 차지하는 면적은 RF front end가 차지하는 전체면적의 약 10%에 불과하다. 본 논문에서 제안하는 검사기술을 이용하여 시뮬레이션해 본 결과 catastrophic 결합에 대해서는 100%, parametric 변동에 대해서는 약 79%의 결합을 검출할 수 있었다.

1. 서 론

최근 데이터 전송기기 및 휴대폰 등과 같은 많은 초소형 전자제품에 RF IC 소자들이 널리 사용되고 있다. 이러한 소자들의 사용 증가로 인해 그 기능은 날로 향상되고 있으나, 이에 따라 집적도와 복잡도도 함께 증가하고 있다. 이러한 경향은 소자들의 가격 증가를 초래하는데, 그 중에서 소자를 검사하는데 드는 시간과 비용이 소자 전체 가격 결정에 큰 영향을 미치고 있는 실정이다. 그 이유는 대부분의 RF 회로를 검사하는데 있어서 캘리브레이션 절차를 밟아야 하고 한번에 많은 소자를 동시에 검사하기가 힘들며, 검사해야 할 항목이 아날로그 소자보다 더 많기 때문에 검사 시간이 많이 소요된다. 또한 ATE(Automated Test Equipment)나 network analyzer와 같은 고가의 측정장비를 이용해야 하므로 검사비용이 많이 든다.

이를 해결하기 위해 RF IC 소자들의 검사 시간과 비용을 줄이기 위한 많은 연구가 진행되어 왔는데[1-7], 많은 방식에서 아날로그 시스템의 표준 검

사방법, 즉 전류를 이용한 검사 방법이나 주파수 영역 측정 검사방법 등을 RF IC 소자의 결합검사에 적용시키고자 하였다[3-4]. 아날로그 시스템은 적은 수의 입출력을 갖고 있기 때문에 이러한 표준 검사방법을 이용해도 시스템 내부의 catastrophic 결합이나 parametric 변동 등에 대해 높은 결합 검출을 보이기 때문이다[3]. 그러나 Pleskacz 등에 의해 보고된 바 있듯이 이러한 표준 검사방법은 단지 선형회로에 적용이 가능하며, 특히 CMOS IC로 구성된 비선형 RF 회로의 결합을 검출하고 진단하는 데는 적용이 어려운 것으로 알려져 있다[3]. 그 이유는 RF IC 소자들의 내부 회로 구조 특성상 외부적으로 제어하고 관찰하는 것이 어려울 뿐만 아니라 RF 결합이 회로에 미치는 비선형 효과 등에 대한 예측이 어렵기 때문이다[3-4]. 이러한 문제점들을 해결하기 위한 또 다른 방안으로 동일한 칩 위에 검사 회로를 삽입하여 ATE와 같은 정교한 장비가 없어도 회로 그 자체의 질(quality)을 평가할 수 있는 BIST(Built-In Self-Test) 기술이 연구되고 있다[7]. 이러한 기술은 디지털 시스템 검사에는 잘

알려져 있으나, RF IC 분야에는 회로의 내부 구조 특성으로 인해 아직 상용화되지 않고 있는 실정이며, 몇 가지 문제점만 해결된다면 상용화도 가능하기 때문에 앞으로의 연구대상으로 각광 받고있다.

실제로 RF IC 소자들을 이루는 구성 요소들의 catastrophic 결합이나 parametric 변동 등으로 인해 소자 전체가 제대로 동작을 안 하는 경우가 많이 발생한다. 그 이유는 RF IC를 이루는 대부분의 구성 요소들이 고주파에서 비선형 특성을 갖기 때문에 catastrophic 결합이나 parametric 변동에 더 큰 영향을 받기 때문이다. RF 시스템 내부에서 발생한 catastrophic 결합과 parametric 변동 등에 대한 검출과 진단도 RF BIST 기술을 이용할 수 있다.

본 논문에서는 입력 임피던스 매칭 BIST 회로를 이용해서 비선형 특성을 가진 RF front end에 대한 새로운 결합 검사기술을 제안한다. 여기서 RF front end와 BIST 회로는 TSMC 0.25 μ m CMOS 기술을 이용해서 동일한 칩 상에 설계되었다. 이러한 검사기술은 결합 검출시 단지 디지털 전압계와 고주파 전압 발생기만 필요하다. 본 연구에서는 catastrophic 결합과 parametric 변동 등을 가진 RF front end와 이러한 결합을 갖지 않은 RF front end를 판별하기 위해 RF front end의 입력 전압 특성을 조사하였으며, 시뮬레이션을 위해 ADS tool을 사용하였다.

2. 측정시스템의 구성

그림 1은 본 논문에서 제안하는 RF front end의 새로운 결합 검사 방법을 나타낸 것이다. 회로 내의 결합을 검출하기 위해 TSMC 0.25 μ m CMOS 기술을 이용해서 1800 DCS용 1.8GHz LNA(Low Noise Amplifier: 저 잡음 증폭기)와 이중 대칭 구조의 Gilbert 셀 믹서를 설계하였다. BIST 블록은 2개의 합산기와 2개의 반전 증폭기(amp1, amp2)로 구성되어 있으며, RF front end와 같이 0.25 μ m CMOS 기술로 설계되었다. 반전 증폭기는 입력 신호의 반사를 최소로 줄이기 위해 각각 50 Ω 의 입력 매칭 임피던스를 가지며, 3의 이득과 180° 위상을 가진다. 이러한 BIST 블록은 RF front end가 차지하는 전체면적의 약 10%가 되도록 설계하였다. 그림 1에 나타나 있듯이 측정시스템은 DUT(Device Under Test: 검사 대상이 되는 소자), 1.8GHz 정현파 신호를 가진 고주파 전압 발생기, 4개의 스위치, RF front end의 입력 및 출력 매칭을 위한 3개의 외부 50 Ω 임피던스, RF front end를 구동하기 위한 전원공급기와 2대의 디지털 멀티미터로 구성되어 있다. 이러한 측정시스템을 이용하여 LNA와 믹서를 구성하고 있는 트랜지스터, 저항, 인덕터 및 커패시터로부터 발생하는 개방(open) 결합이나 단락(short) 결합과 같은 catastrophic 결합을 검출하고 진단할 수 있을 뿐만 아니라 이러한 소자로부터 발생한 parametric 변동 (혹은 예기치 않은 미세 변동)을 검출할 수 있다.

그림 1. RF front end의 결합 검사를 위한 측정시스템

그림 2는 LNA (또는 믹서 LO)와 amp1 (또는 amp2)의 입력에 대해 테브난 등가회로를 나타낸 것이고, 식 (1)과 (2)는 그에 따른 전압을 수식으로 표현한 것이다.

그림 2. LNA (또는 믹서 LO)와 amp1(또는 amp2)에 대한 테브난 등가회로

그림 1과 2(여기서 LNA 입력에 대해서 k=1, 믹서 입력에 대해서 k=2를 사용하였음)에 나타나 있듯이 입력에서 RF front end의 입력전압 vtestk(out)을 측정하였다.

$$v_k = \frac{Z_{ink(DUT)} // Z_{ink(amp)}}{Z_s + (Z_{ink(DUT)} // Z_{ink(amp)})} v_{refk} = \frac{Z_{ink(DUT)}}{2Z_{ink(DUT)} + 50\Omega} v_{refk} \quad (1)$$

$$V_{testk(out)} = V_{refk(rms)} - 3V_{k(rms)} = \frac{50\Omega - Z_{ink(DUT)}}{50\Omega + 2Z_{ink(DUT)}} V_{refk(rms)} \quad (2)$$

$$Z_{ink(DUT)} = Z_0 \left| \frac{1 + S_{11} - S_{22}\Gamma_L - S_{11}S_{22}\Gamma_L + S_{12}S_{21}\Gamma_L}{1 - S_{11} - S_{22}\Gamma_L + S_{11}S_{22}\Gamma_L - S_{12}S_{21}\Gamma_L} \right| \quad (3)$$

$$\Gamma_L = \frac{Z_L - Z_{0(mixer)}}{Z_L + Z_{0(mixer)}} = \frac{50\Omega - Z_{0(mixer)}}{50\Omega + Z_{0(mixer)}} \quad (4)$$

여기서, $Z_{ink(amp)} (= 50\Omega)$ 는 amp1 혹은 amp2의 입력 임피던스, $Z_{ink(DUT)}$ 는 LNA 혹은 믹서 LO의 입력 임피던스, Z_s 는 구동점 임피던스, Z_L 은 부하 임피던스, $Z_0(mixer)$ 는 믹서의 특성 임피던스, Γ_L 은 부하 반사 계수, S_{11} , S_{12} , S_{21} , S_{22} 는 S 파라미터를 각각 나타낸다.

BIST의 동작원리를 간단히 설명하면 다음과 같다. SW2와 SW4가 “on” 일 때는 LNA의 결합 상태를 검사할 수 있고, SW1과 SW3가 “on” 일 때는 믹서의 결합 상태를 검사할 수 있다. 식 (1)~(4)로부터 알 수 있듯이 $Z_{ink(DUT)} = 50\Omega$ 일 때, $v_k = (1/3)v_{refk}$ 가 되므로 $v_{testk(out)} = 0$ (DC 값)가 된다. 즉 이러한 경우 회로에 결합이 없음을 의미한다. 결합이 있는 경우 $Z_{ink(DUT)} \neq 50\Omega$ 이므로, $v_k \neq (1/3)v_{refk}$ 가 되어서, $v_{testk(out)} \neq 0$ (DC가 아닌 값)가 된다. 요약하면 $v_{testk(out)}$ 값을 측정했을 때 그 값이 DC 값이면 회로에 결합이 없음을 의미하며, DC 값이 아니면 회로에 결합이 있음을 의미한다.

본 논문에서는 그림 3 및 4와 같이 RF front end의 구성 요소인 MOSFET, 저항, 커패시터 및 인덕터에 대해 다양한 catastrophic 결합 모델과 parametric 변동 모델을 고려하였는데, catastrophic 결합 모델로는 개방 결합(open fault: OF), 단락 결합(short fault: SF) 및 게이트-산화물간 단락 결합(Gate-oxide short fault: GOSF)을 고려하였다[4]. 그림 4에서 인덕터 대신에 커패시터와 저항을 삽입하면 커패시터와 저항에 대한 catastrophic 결합 모델이 된다. parametric 변동 모델로는 저항에 대해서는 원래 값에 대해 $\pm 5\%$ 변동, 커패시터와 인덕터는 $\pm 10\%$ 변동, 그리고 MOSFET에 대해서는 $\pm 20\%$ 채널폭 변동을 각각 고려하였다[6,8]. 시뮬레이션에서는 결합을 갖지 않은 모델(1개)과 81개의 서로 다른 catastrophic 결합 모델, 58개의 서로 다른 parametric 결합 모델을 포함하여 총 140개의 서로 다른 모델을 사용하였다.

그림 3. MOSFET의 결합 모델

그림 4. 인덕터의 결합 모델

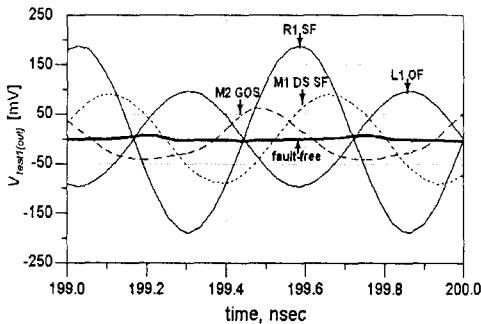
3. 고주파 Device Under Test

그림 5는 결합 시뮬레이션에 사용한 LNA와 믹서에 대한 회로도를 나타낸 것이다. 이러한 RF front end는 1.8GHz에서 동작하며, DCS 1800 시스템 응용을 위해 설계되었다.

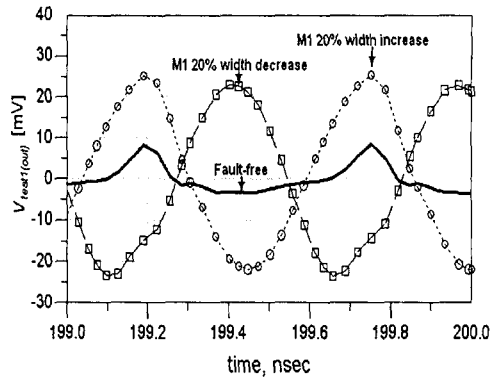
그림 5. LNA와 이중 대칭 구조를 가진 Gilbert 셀 믹서에 대한 회로도

4. 시뮬레이션 결과

그림 6은 RF front end의 LNA 단에 대한 catastrophic 결함과 parameter 변동에 대한 검출 결과를 나타낸 것이다. 그림 6(a)에서 알 수 있듯이 결함을 갖지 않은 LNA의 경우 $v_{testk(out)}$ 값을 측정했을 때 거의 DC 값을 가진다. 그러나 개방 결함이나 단락 결함을 가진 LNA는 진폭의 변화와 $-\pi/8 \sim \pi/8$ 의 위상 변화를 보였다. 식 (1)~(4)로부터 알 수 있듯이 결함을 갖지 않은 LNA는 각각 50Ω의 입력 임피던스와 출력 임피던스를 갖지만, LNA에 결함이 발생하면 내부 임피던스에 변화가 생기며 이러한 변화에 의해 측정 전압의 변화를 확인할 수 있게 된다. 따라서 좀 더 측정 기능이 정교한 위상 측정기나 고주파용 오실로스코프를 사용할 경우 LNA 내부에서 발생한 대부분의 결함을 검출할 수 있다. 또한 결함이 회로의 입력단에 존재하는지 아니면 출력단에 존재하는지 등을 예측하고 진단할 수도 있다. 그림 6에 나타나 있듯이 큰 값의 전압 변화가 측정되면 입력단에 결함이 있음을 알 수 있으며, 작은 값의 전압 변화가 측정되면 출력단에 결함이 있음을 알 수 있다. 전체적으로 저항의 결함이 가장 큰 변화를 보였고, 인덕터, MOSFET, 커패시터 순으로 변화를 보였다. 이러한 결과들은 검사 입력 단자에 바로 연결되어 있는 성분들의 결함, 특히 저항 R1의 단락 결함의 결과로부터 예측할 수 있으며, 고주파 DUT의 입력 임피던스를 측정하고 식 (1)~(4)를 이용하여 계산할 수 있고 입증될 수 있다. 또한 위상의 변화를 관찰하여 결함의 종류와 위치등을 예측할 수 있다. 그림 6에 나타나 있듯이 저항 결함은 입력 신호와 같은 위상 변화를 보였지만 인덕터는 180° 위상 변화를 보였다. 또한 입력단에 바로 연결된 MOSFET(여기서는 M1)의 결함은 오른쪽으로 약 90° 위상 전이를 보였으며, 직렬로 연결된 MOSFET(여기서는 M2)의 결함은 왼쪽으로 약 90° 위상 전이를 보였다. 따라서 진폭의 변화와 위상의 변화를 관찰하여 고주파 DUT 내부에 발생한 다양한 결함들을 검출하고 진단할 수 있다.



(a) catastrophic 결함

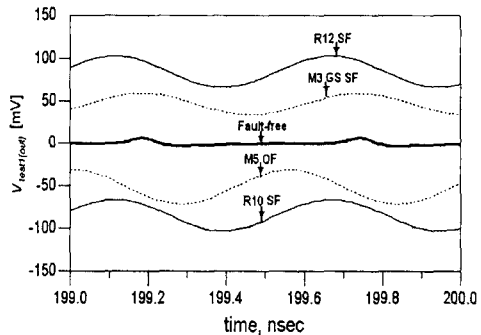


(b) parametric 변동

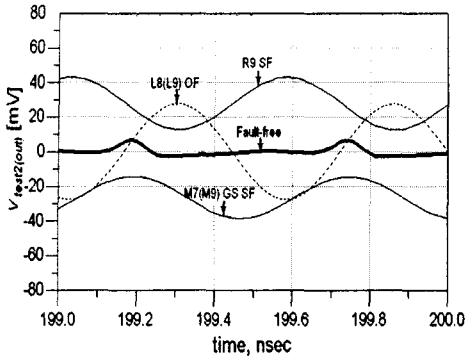
그림 6. RF front end의 LNA 단에 대한 결함 검출 결과

그림 6(b)에 나타낸 parametric 변동은 그림 6(a)에 비해 작은 변동을 보였다. 그 이유는 LNA가 가진 MOSFET이나 저항의 개방 상태나 단락 상태와 같은 큰 값의 임피던스 변동이 아니라, 각 성분의 작은 양의 임피던스 변동을 나타내기 때문이다.

그림 7은 믹서의 RF 단과 LO 단에 대한 catastrophic 결함에 대한 검출 결과를 나타낸 것이다. 그림 7에서 알 수 있듯이 결함을 갖지 않은 믹서의 경우 $v_{testk(out)}$ 값을 측정했을 때 거의 DC 값을 보였으나, 개방 결함이나 단락 결함을 가진 믹서는 진폭의 변화와 $-\pi/2 \sim \pi/2$ 의 위상 변화를 보였다. 그림 6(a)의 해석과 마찬가지로 식 (1)~(4)로부터 알 수 있듯이 결함을 갖지 않은 믹서는 각각 50Ω의 입력 임피던스와 출력 임피던스를 갖지만, 믹서에 결함이 발생하면 내부 임피던스에 변화가 발생한다.



(a) 믹서 RF 단에서의 catastrophic 결함



(b) 믹서 LO 단에서의 catastrophic 결함
그림 7. RF front end의 믹서 단에 대한 catastrophic 결함 검출 결과

이러한 변화에 의해 측정 전압의 변화를 확인할 수 있다. 좀 더 측정 기능이 정교한 위상 측정기나 고주파용 오실로스코프를 사용할 경우 믹서 내부에서 발생한 대부분의 결함을 검출할 수 있을 뿐만 아니라, 그림 6(a)와 같은 원리로 결함이 회로의 입력단에 존재하는지 아니면 출력단에 존재하는지 등을 예측하고 진단할 수도 있다.

시뮬레이션에 사용한 결함 모델로써 81개의 서로 다른 catastrophic 결함 모델들을 사용하였는데 그림 8은 이러한 결함에 대한 퍼센트 오차 결과를 나타낸 것이다. 저항을 포함하여 각 회로 요소들에 대한 설명은 그림 5에 표현되어 있다. 그림 8에 나타나 있듯이 결함들 중 거의 대부분이 50% 이상의 퍼센트 오차를 보였고, 51개의 결함들은 100% 이상의 아주 우수한 퍼센트 오차를 보였다. 이러한 결과는 본 논문에서 제안하는 결함 검사 방법으로 catastrophic 결함을 100% 검출할 수 있음을 보여준다.

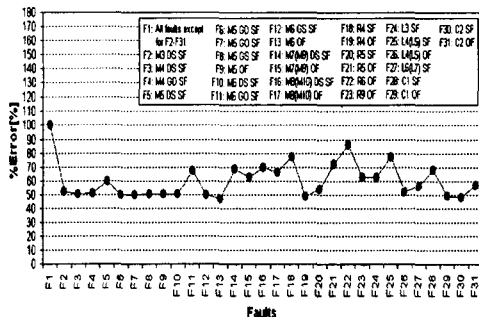


그림 8. RF front end에 사용된 모든 결함들에 대한 퍼센트 오차

표 1은 본 논문에서 제안하는 검사 방법을 이용하여 RF front end가 가진 서로 다른 catastrophic 결함과 parametric 변동에 대한 검출 결과를 정리한 것이다.

표 1. RF front end의 각 요소들에 대한 결함 검출 결과

결함	결함 검출 [%] (결함의 수)		
	Catastrophic 결함		parametric 변동
	OF	SF	
MOSFETs	100 (8)	100 (31)	87.5 (16)
저항	100 (13)	100 (13)	100 (16)
커패시터	100 (2)	100 (2)	100 (4)
인덕터	100 (6)	100 (6)	75 (12)
합계	100 (29)	100 (52)	79.07 (58)

시뮬레이션에서는 81개의 서로 다른 catastrophic 결함에 대하여 100%의 결함 검출을 보였고, 58개의 서로 다른 parametric 변동에 대해서는 약 79%의 높은 결함 검출 결과를 보였다. 그러나 58개의 서로 다른 parametric 변동 중 그림 5에 나타나 있는 L4(L5), L3 및 M6등에 의한 parametric 변동에 대해서 낮은 검출 결과를 보였다.

5. 결론

본 논문에서는 입력 매칭을 이용해서 BIST 회로를 가진 RF front end의 새로운 결함 검사 기술을 제안하였다. TSMC 0.25µm CMOS 기술을 이용해서 BIST 회로를 가진 RF front end를 설계하였다. RF front end 내부에서 발생한 catastrophic 결함 뿐만 아니라 parametric 변동을 고려하였다. 결함을 가진 RF front end를 판별하기 위해 RF front end의 입력 단에서 입력전압 특성을 조사하였다. 본 논문에서 제안한 결함 검사기술은 DUT와 BIST 회로가 동일한 칩 상에 설계되어 있기 때문에 측정이 간단하고, 측정비용이 저렴하다는 장점이 있다. BIST 회로가 차지하는 면적은 RF front end가 차지하는 전체 면적의 약 10%에 불과하다. 본 논문에서 제안하는 검사기술을 이용하여 시뮬레이션해 본 결과 catastrophic 결함에 대해서는 100%, parametric 변동에 대해서는 약 79%의 높은 결함 검출 결과를 보였다.

향후 연구과제로서 본 논문에서 제안한 결함 기술과 더불어 RF front end의 전압이득 및 잡음지수 등을 측정할 수 있는 입출력 성능 검사 기능을 가진 고주파 BIST 회로를 설계하고 RF front end와 동일한 칩 상에 설계하고 제작할 계획이다.

참고 문헌

- [1] K. C. Craig et al, "Current and Future Trusting in Automated RF and Microwave Testing", IEEE, pp. 183-186, 1994.
- [2] M. Soma, "Challenges and Approaches in Mixed Signal RF Testing", IEEE, pp. 33-37, 1997.
- [3] W. A. Pleskacz et al, "CMOS Standard Cells Characterization for Defect Based

- Testing", IEEE International Symposium on DFT in VLSI Systems, 2001.
- [4] A. J. Bishop et al, "On the Testability of CMOS Feedback Amplifiers", IEEE, pp. 65-73, 1994.
 - [5] S. Yu et al, "Neural Network Approach to fault Diagnosis in CMOS Opamp with Gate Oxide Short", Electronics Letters, Vol. 30, No. 9, pp. 695-696, April 1994.
 - [6] A. Fathy et al, "Design of Embedded Passive Component in LTCC-M Technology", IEEE MTT-S Digest, pp. 1281-1284, 1998.
 - [7] D. Lupea et al, "RF-BIST: Loopback Spectral Signature Analysis", IEEE Design, Automation and Test in Europe Conference and Exhibition, March 2003.
 - [8] Z. H. Liu, "Mixed-Signal Testing of Integrated Analog Circuits and Electronic Modules", PhD thesis, March 1999.