

캐리어 전송 모델에 따른 SiGe pMOSFET의 전기적 특성분석

김영동* · 고석웅* · 정학기* · 허창우**

*군산대학교 · **목원대학교

Analysis of the electrical characteristics for SiGe pMOSFET by the carrier transport models

Young-dong Kim* · Suk-woong Ko · Hak-kee Jung

*School of Electronic and Information Eng., Kunsan National University

**Mokwon University

*E-mail : hatoro@kunsan.ac.kr

요 약

본 논문에서는 p형 SiGe pMOSFET를 디자인하고 온도에 따른 전기적 특성들을 분석하였다. 채널 길이는 $0.9\mu\text{m}$ 로 하였으며, 온도는 300K와 77K일 때의 특성을 조사하였다. 게이트 전압이 -1.5V로 인가되었을 때, 실온에서는 -0.97V의 문턱전압 값을 얻었으나 77K에서는 -1.15V의 문턱전압 값을 얻었다. 이것은 실온에서의 Si pMOSFET가 갖는 문턱전압 값(-1.36V)보다 동작특성이 우수함을 알 수 있었다.

ABSTRACT

In this paper, we have designed the p-type SiGe MOSFET and analyzed the electrical characteristics. When the gate voltage is biased to -1.5V, the threshold voltage values are -0.97V and -1.15V at room temperature and 77K, respectively. We know that the operating characteristics of SiGe MOSFET is superior to the basic Si MOSFET which the threshold voltage is -1.36V.

키워드

double gate, main gate, side gate, nano structure, pinch-off

1. 서 론

지난 10년 동안 많은 연구자들은 무선통신시스템을 위한 HBT, MODFET등과 같은 고속 동작소자를 개발해왔다[1-2].

SiGe 반도체는 실리콘 반도체를 기반으로 두고 있지만 아직까지는 실용화되지는 못했다. SiGe 반도체에는 매우 우수한 고속 동작특성과 저 전류에서의 높은 전류이득을 가진 낮은 전력특성을 가지고 있어 광통신과 일반 GHz대역을 넘어서는 고주파 통신을 위한 RFIC를 보다 저렴한 비용으로 생산하는데 유리하다.

SiGe는 실리콘을 기반으로 하고 있어서 일반

CMOS논리소자에서 고주파수 소자에 이르기까지 칩 하나로 시스템을 구성할 수 있어 GaAs 대신에 SiGe 반도체로 바뀌고 있다[3-5].

본 논문에서는 채널길이가 $0.9\mu\text{m}$ 와 $0.1\mu\text{m}$ 일 때 TCAD 시뮬레이터를 사용하여 Si_{1-x}Ge_x pMOSFET를 디자인하고 전기적 특성을 연구할 것이다.

또한, 소자내의 캐리어 이동을 시뮬레이션하기 위해서 두 가지 모델(hydrodynamic 모델과 drift-diffusion 모델)을 적용할 것이다. 또한 온도가 300K와 77K일 때를 비교·분석할 것이다.

II. 디자인 및 조건

본 논문에서는 TCAD 시뮬레이터를 사용하여 채널길이(L_{ch})가 각각 $0.9\mu m$ 와 $0.1\mu m$ 인 p형의 $Si_{0.8}Ge_{0.2}$ MOSFET를 디자인하였다. 그림 1은 본 논문에서 디자인한 p형의 $Si_{0.8}Ge_{0.2}$ MOSFET를 보여주고 있다.

이 논문에서는 H_2 캐리어에 SiH_4 와 GeH_4 가스들을 사용하는 ultra-high vacuum(UHV) chemical vapor deposition(CVD) 시스템을 이용하였다. 기판은 n타입(100) 실리콘 웨이퍼이며, 채널길이가 $0.9\mu m$ 일 때 기판은 $4.5 \times 10^{14}/cm^2$ 로 도핑 되어지며 $0.1\mu m$ 일 때 $8 \times 10^{16}/cm^2$ 로 도핑시켰다. 소자구조는 $70nm$ 의 에피택셜 실리콘 버퍼 층, $40nm$ 의 $Si_{0.8}Ge_{0.2}$ 층 그리고 $3nm$ 의 도핑 되어 있지 않은 Si-Cap층으로 구성되어있고 Si-Cap층 위로 아주 얇은 게이트 산화물층이 형성되어 있다.

본 논문에서는 n^+ poly게이트의 채널길이를 형성하기 위해 $100KeV$, $2 \times 10^{13}/cm^2$ 를 주입하였다. 게이트를 에칭한 후, 소스-드레인은 P^+ 로 도핑시킨다. 채널길이가 각각 $0.9\mu m$ 와 $0.1\mu m$ 일 때 소스-드레인에는 $20KeV$, $2 \times 10^{15}/cm^2$ 와 $10KeV$, $5 \times 10^{15}/cm^2$ 를 주입하였다.

소스-드레인이 도핑된 후에, 도펀트는 활성화되며 이온 주입에 따른 손상은 화로어닐(anneal)이나 고속 열적 어닐(RTA)를 이용함으로써 복원된다. 이러한 어닐에서는 최소로 받아들일 수 있는 온도와 시간조합을 이용하는데, 그것은 MOSFET에서는 가능한 한 간결하게 도펀트의 프로파일을 유지시켜야 하기 때문이다. 소스와 드레인을 1분 동안 $1000^\circ C$ 로 고속 열적 어닐하였다.

본 논문에서는 시뮬레이션을 위해 TCAD 시뮬레이터인 DIOS를 사용하였다.

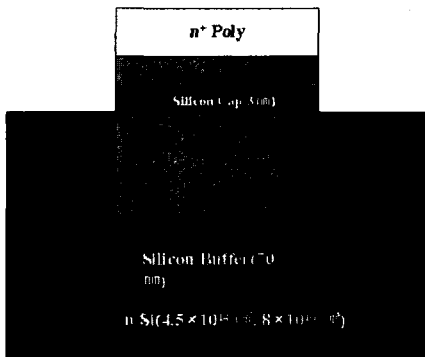


그림 1. p형 SiGe MOSFET의 구조

표 1은 본 논문에서 디자인한 소자의 시뮬레이션을 위한 조건들을 보여주고 있다. 본 논문에서는 채널길이를 축소할 때 시뮬레이션에서 일어날 수 있는 도핑농도의 밸런스 문제로 인하여 스케일링 이론은 적용하지 않았다. 따라서 밸런스 문제를 해결하기 위하여 경험적으로 최적의 값을 찾아 시뮬

레이션에 사용하였다.

표1. SiGe pMOSFET의 시뮬레이션 디자인 조건

Channel length(μm)	0.9	0.1
Substrate concentration(/ cm^2)	4.5×10^{14}	8×10^{16}
silicon Buffer(nm)	70	
SiGe Layer(nm)	40	
Oxide thickness(nm)	10	
silicon Cap(nm)	3	
Source/Drain doping concentration	$2 \times 10^{15}/cm^2$, 20KeV	$5 \times 10^{15}/cm^2$, 10KeV

이상적인 스케일링은 내부 전계를 유지시키기 위하여 공급전압은 감소되어야 하지만 실제로는 다른 시스템과의 관계들로 인하여 공급전압은 소자크기에 알맞게 크기조정을 할 수가 없다. 대부분의 문제들은 일반적으로 알고 있는 열전자효과와 단 채널 효과에 의해 일어난다. 본 논문에서는 이러한 문제들을 해결하기 위해 시뮬레이션의 가장 최적의 조건(도핑농도, 열처리시간과 온도 등)을 찾았다.

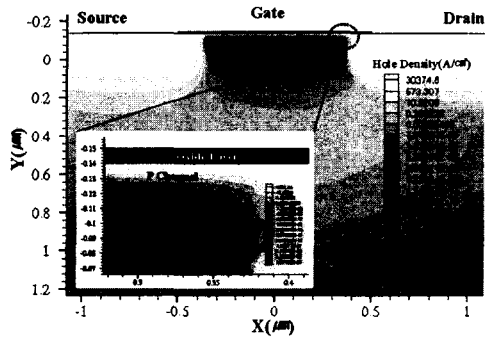


그림 2. 게이트와 드레인 전압의 $L_{ch}=0.9\mu m$ 에서 $-1.5V$ 일 때 $Si_{0.8}Ge_{0.2}$ pMOSFET의 정공 농도분포

디자인된 소자의 타당성을 조사하기 위하여 본 논문에서 사용된 소자의 정공 농도분포를 조사하였다. 그림 2는 SiGe pMOSFET의 $L_{ch}=0.9\mu m$ 일 때 정공 농도분포를 보여준다. 그리고 채널의 형성을 보기 위하여 그림 2에서처럼 드레인 근처부분을 확장하였다. $-1.5V$ 의 게이트 전압으로 인하여 반전층이 게이트 아래에 형성됨을 볼 수 있다. 그러므로 본 논문에서 사용된 SiGe pMOSFET는 시뮬레이션에 적합함을 알 수 있다. 이러한 시뮬레이션을 위하여 본 논문에서는 TCAD 시뮬레이터 중 하나인 Tech-plot 툴을 사용하였다.

III. 결과 및 고찰

소자의 전기적 특성을 연구함에 있어서 본 논문에서는 TCAD 시뮬레이터의 DESSIS 시뮬레이션 툴을 사용하였다.

그림 3은 $L_{ch}=0.9\mu m$ 이고 드레인 전압(V_D)이 0V에서 -1.5V까지 바이어스 되어 있고 게이트전압(V_G)이 -1.0V에서 -2.0V까지 바이어스 되어 있을 때 소자의 I_D - V_D 곡선을 보여준다.

음의 게이트 바이어스($-V_G$) 효과는 채널의 저항을 증가시키고 전류가 작은 값을 가질 때 핀치오프를 일으킨다. 공핍영역이 $-V_G$ 와 함께 증가할 때 유효채널 폭은 감소하며 저항은 저 전류 범위 내에서 증가한다.

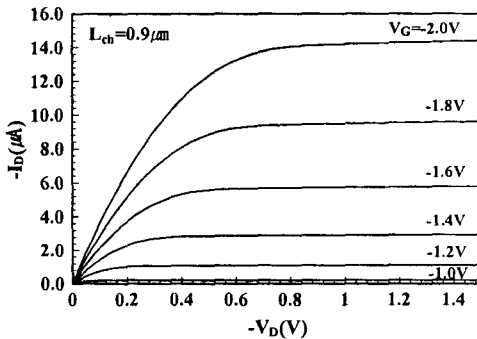


그림 3. $L_{ch}=0.9\mu m$, 게이트전압이 -1.0V에서 -2.0V로 바이어스 되었을 때 $Si_{0.8}Ge_{0.2}$ pMOSFET의 I_D - V_D 의 출력 특성

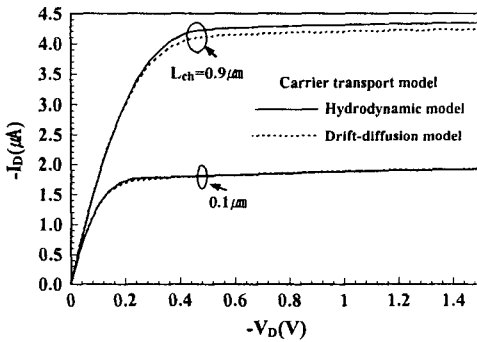


그림 4. $L_{ch}=0.9\mu m, 0.1\mu m$ 일 때 hydrodynamic모델과 drift-diffusion모델에 따른 I_D - V_D 특성곡선

그림 4는 $L_{ch}=0.9\mu m, 0.1\mu m$ 일 때 hydrodynamic모델과 drift-diffusion모델에 따른 I_D - V_D 특성곡선을 보여주고 있다. 그림 4에서 알 수 있듯이 hydrodynamic 모델이 drift-diffusion 모델보다 드레인 전류가 더 많이 흐른다는 것을 알 수 있었다. 그러나 채널길이가 $0.1\mu m$ 일 때는 두 모델의 드레인 전류의 양이 거의 같다는 것을 알 수 있었다. 그러므로 본 논문에서는 채널길이가 감소하더라도 소자의

전기적 특성이 우수함을 알 수 있었다.

또한 본 논문에서는 온도에 따른 동작특성을 연구하였다. 그림 5는 온도가 300K와 77K일 때 I_D - V_D 특성을 보여준다.

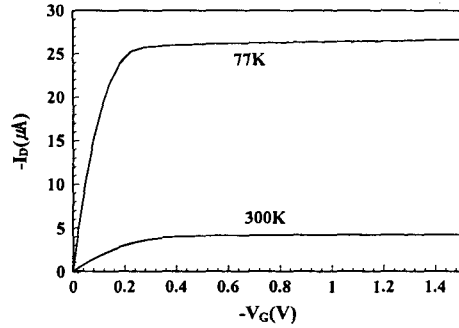


그림 5. $L_{ch}=0.9\mu m$ 일 때 온도에 따른 I_D - V_D 특성곡선

온도가 감소함에 따라 드레인 전류도 감소한다. 그것은 낮은 온도에서는 EHP가 발생되기 어렵기 때문이다. 그러나 낮은 온도임에도 불구하고 본 논문에서 사용된 소자의 I_D - V_D 특성이 우수함을 알 수 있다.

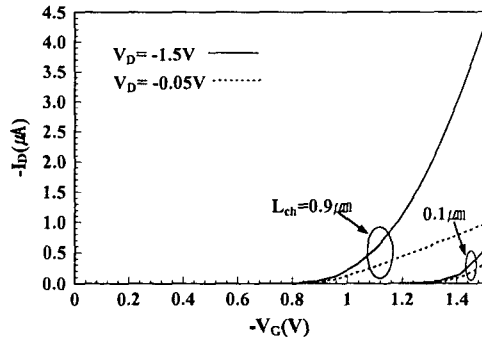


그림 6. $L_{ch}=0.9\mu m$ 에서 $Si_{0.8}Ge_{0.2}$ pMOSFET의 문턱전압 특성

본 논문에서는 $Si_{0.8}Ge_{0.2}$ pMOSFET의 문턱전압 값을 조사하였다. 그림 6은 채널길이가 $0.9\mu m$ 와 $0.1\mu m$ 일 때의 문턱전압 특성을 보여준다.

게이트전압이 -1.5V로 바이어스 되어있고 채널길이가 $0.9\mu m$ 일 때 문턱전압 값은 300K에서 -0.97V이다. 하지만 77K일 때 -1.15V의 문턱전압 값을 얻었다.

문턱전압 값은 낮은 온도에서 높은 값을 가지기 때문에 고농도로 도핑된 것을 사용하였다. 이 온주입법은 문턱전압을 제어하기에 가장 유용하다. 이 방법이 소개된 이후 매우 정확한 양의 불순물을 주입할 수 있어서 문턱전압을 제어하고 유지하는데 유용하다. 그러므로 본 논문에서는 소자의 게이트 산화물사이에 $1 \times 10^{18}/cm^2$ 의 Boron

유지하는데 유용하다. 그러므로 본 논문에서는 소자의 게이트 산화물사이에 $1 \times 10^{18}/\text{cm}^2$ 의 Boron을 주입하였다.

또한 채널길이가 $0.1\mu\text{m}$ 일 때 300K와 77K에서 문턱전압은 -1.4V와 -1.42V로 거의 같은 값을 가짐을 알 수 있었다. 채널길이를 축소함에 따라 문턱전압 값은 증가한다.

V. 결 론

본 논문에서는 TCAD 시뮬레이터를 이용하여 채널길이가 각각 $0.9\mu\text{m}$, $0.1\mu\text{m}$ 일 때와 온도가 300K, 77K일 때의 p형 $\text{Si}_{0.8}\text{Ge}_{0.2}$ MOSFET를 연구하였다. 캐리어 이동특성 연구를 위해 drift-diffusion 모델과 hydrodynamic 모델을 사용하였다.

결과적으로는 비록 채널길이 $0.1\mu\text{m}$ 에서 줄기는 하지만 p타입 $\text{Si}_{0.8}\text{Ge}_{0.2}$ MOSFET는 매우 우수한 전기적 특성을 보여주고 있다. 또한 hydrodynamic 모델은 drift-diffusion 모델보다 더 높은 드레인 전류값을 갖음을 알 수 있었다. 채널길이와 온도가 $0.9\mu\text{m}$ 와 300K일 때 문턱전압은 -0.97V이지만 77K일 때는 -1.15V였으며, 채널길이와 온도가 각각 $0.1\mu\text{m}$, 77K일 때 문턱전압은 각각 -1.4V, -1.42V로 거의 같은 값을 얻을 수 있었다. 즉, 작은 채널길이와 낮은 온도에서는 문턱전압 값이 증가함을 알 수 있었다.

참고 문헌

- [1] Mantu Kumar Hudait, S. B. Krupanidhi, "Effects of thin oxide in metal-semiconductor and metal-insulator-semiconductor epi-GaAs Schottky diodes", Solid-State Electronics, vol. 44, 2000, pp. 1089-1097
- [2] E. Gaubas, J. Vaitkus, K. M. Smith, "Monitoring of carrier lifetime in GaAs substrate-epi-layer structures by space-resolved transient microwave absorption", Nuclear Instruments and Methods in Physics Research, A, vol. 460, 2001, pp. 35-40
- [3] G. S. Kar, S. Maikap, S. K. Banerjee and S. K. Ray, "Series resistance and mobility degradation factor in C-incorporated SiGe heterostructure p-type metal-oxide semiconductor field-effect transistors", Semicond. Sci. Technol., vol. 17, 2002, pp. 938-941
- [4] Mantu Kumar Hudait, S. B. Krupanidhi, "Atomic force microscopic study of surface morphology in Si-doped epi-GaAs on Ge substrates: effect of off-orientation", Materials Research Bulletin, vol. 35, 2000, pp. 909-919
- [5] K. P. Roenker, D. Todorova, A. Breed,

"Analysis of parasitic barriers due to p-n junction displacement", Solid-State Electronics, vol. 46, 2002, pp. 1473-1483