

MOSFET의 1/f noise에 의한 Ring Oscillator의 Jitter 분석

박세훈 · 박세현

안동대학교 전자정보산업학부 전자공학 전공

Jitter Analysis of Ring Oscillator with MOSFET 1/f Noise

Se Hoon Park · Se Hyun Park

Electronic & Information Engineering, Andong National University

E-mail : sepak@andong.ac.kr

요 약

MOSFET의 1/f 잡음은 개별 Random Telegraph Signal (RTS)의 중첩에 의해 생성되는 것으로 알려져 있다. 본 연구에서는 CMOS 링 발진기 노드 중 하나에 RTS 전류원을 병렬로 연결하여 1/f 잡음에 의한 jitter를 분석하였다. 링 발진기의 숫자, 전원 전압, 그리고 RTS 진폭에 따른 Jitter rate 변화를 시뮬레이션을 통하여 분석하였다.

ABSTRACT

It is known that 1/f noise of MOSFET is generated by superposition of single Random Telegraph Signal (RTS). In this study, jitter from 1/f noise of MOSFET is analysed with RTS supplied to one of the nodes of the ring oscillator under investigation. Jitter rates are investigated as the number of stage, power supply voltage, and the amplitude of RTS change.

키워드

1/f 잡음, 링 발진기, Random Telegraph Signal, Jitter

I. 서 론

정보 통신 장비 및 제품의 경량화, 이동성 그리고 고성능화는 시스템의 집적 회로화에 크게 의존하고 있다. IC의 높은 집적도는 기본 소자의 소형화에 직결되어 있으며 현재 상용화된 MOSFET의 최소 선폴단위는 0.1 μm 에 이르고 있다. 소자가 소형화됨에 따라 사용 전원이 대폭 낮아지고 결과적으로 신호의 스윙이 작아져 그 동안 주목을 받지 못했던 1/f 잡음에 대한 관심이 높아지고 있다.

1/f 잡음은 MOSFET에서 발생하는 소자 고유의 잡음으로 집적도가 높은 시스템에서 제품의 성능에 미치는 영향이 증가하고 있다. 그 예로서, 1/f 잡음은 아날로그 회로에서 발진기회로의 위상 잡음을 일으키고 디지털 회로에서 Jitter의 원인이 되고 있다. 본 논문은 1/f 잡음이 인가된 링 발진기의 시뮬레이션을 통하여 전원전압, 발진기의 인버터 수, 그리고 잡음의 진폭이 Jitter의 크기에 미치는 영향을 분석 한다.

II. MOSFET의 1/f 잡음

MOSFET의 산화막과 반도체의 경계는 소자의 성능에 영향을 미치는 가장 중요한 부분이다. 산화막-반도체 경계의 에너지 준위 밀도는 MOSFET의 문턱전압과 직결되어 있고 소자의 동작을 이상적인 값에서 벗어나게 한다. 현대의 집적회로 기술의 발달에 따라 산화막-반도체 경계 에너지 준위의 값은 108~1010 $\text{cm}^{-2}\text{eV}^{-1}$ 의 범위의 낮은 값에 유지하고 있어 소자에 미치는 영향을 최소화하고 있지만, 산화막 내에 존재하는 에너지 준위는 소자 고유의 잡음인 1/f 잡음의 원인이 되고 있다.

MOSFET의 1/f 잡음은 산화막과 반도체의 경계에서 가까운 거리에 있는 산화막 내에 존재하는 산화막 에너지 준위와 MOSFET 채널 캐리어의 결합과 분리에 의해 발생하는 것으로 알려져 있다[1]. 산화막 에너지 준위와 캐리어의 결합과 분리에 의해서 발생하는 채널 캐리어 숫자의 변화는 채널의 전도도의 변화를 일으키고, 결과적으로 소자 고유

의 잡음인 1/f 잡음이 발생하게 된다. 이러한 전도도 변화에 의한 소자 고유의 잡음은 전력밀도 스펙트럼에서 저주파 영역에서 주파수에 반비례하여 변화하기 때문에 1/f 잡음이란 명칭을 얻게 되었다.

Skope 등은 작은 크기(0.1 μm×1.0 μm)의 MOSFET에서 게이트 전압을 조절하여 산화막-반도체 경계 에너지 준위의 점유 변동에 따른 드레인 전류의 변동을 관찰할 수 있었다[2]. 이러한 전류의 변동은 시간 영역에서 Random Telegraph Signal(RTS)로 불린다[2]. 이것은 한 개의 캐리어와 한 개의 산화막 에너지 준위의 결합과 분리에 의해 발생하는 채널 전류의 변화이며, 시간 영역에서 RTS가 된다.

Kirton 등은 MOSFET의 1/f 잡음은 개별 산화막-반도체 경계 에너지 준위에 의해 발생하는 RTS의 중첩에 의해 발생한다는 것을 밝혔다 [1]. 따라서 MOSFET의 RTS에 대한 연구는 1/f 잡음의 연구에 중요한 단서를 제공한다. MOSFET의 RTS는 산화막-반도체 경계 에너지 준위에 의한 채널 캐리어의 포획(capture)과 방출(emission)의 연속으로 이루어 진다(그림 1). 캐리어의 포획 시간 상수는 채널의 캐리어 숫자를 줄이므로 높은 전류 시간의 길이(capture time, τ_c)이고, 캐리어의 방출 시간 상수는 채널 캐리어 숫자를 증가 시키므로 낮은 전류 시간의 길이(emission time, τ_e)이다. 캐리어의 포획 시간 상수(τ_c)와 방출 시간 상수(τ_e)는 지수 함수 분포를 가진 것으로 밝혀졌다[1].

본 연구에서는 링 발진기의 단자 중 하나에 RTS 전류 신호를 입력시켜 1/f 잡음에 대한 Jitter를 조사한다. 먼저 지수함수 분포를 가진 random number를 생성하여 pspice의 piece-wise linear(PWL) 전류원의 시간 요소로 입력하였다. 즉 RTS를 지수함수 분포된 시간 요소를 가진 pspice의 piece-wise linear(PWL) 전류원으로 모델링 하였다. RTS의 진폭은 1nA에서 10μA의 범위에 있는 값을 사용하였다.

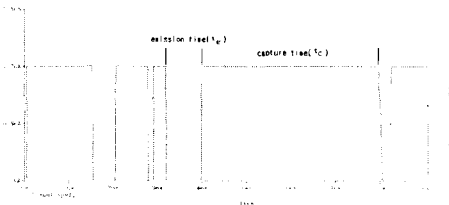


그림 1. RTS 신호를 모델링한 PWL 신호.

III. 링 발진기(Ring Oscillator)

링 발진기는 많은 디지털과 통신 시스템에서 기본회로로 사용되고 있다. 클럭 회로, 디스크 드라이버, 그리고 주파수 합성기 등에서 링 발진기는 VCO(Voltage Controlled Oscillator)로 사용되

고 있다. 동작 주파수가 높아지는 현대의 디지털 시스템은 링 발진기의 성능에 대한 보다 엄격한 규격을 요구하고 있다. 링 발진기에서 회로의 어느 임의의 노드에서 발생한 jitter는 사라지지 않고 시간에 따라 축적이 된다. 따라서 링 발진기는 최소한의 jitter를 가지는 것이 필수적이다.

Jitter의 발생 원인을 여러 가지가 있다. 그 가운데 전원과 접지에서 공급되는 잡음이 가장 우세하다[3]. 그러나 전원과 접지의 잡음 이외에도 열잡음과 1/f 잡음이 jitter의 발생에 기여한다. 열잡음은 백색 잡음으로 불리기도 하여 동작 주파수 전체에 영향을 미치지만 power spectral density(PSD)가 작아서 크게 주목 받지 못하고 있다. 그러나 저주파 영역에 있는 1/f 잡음은 열잡음에 비해 PSD가 크고 링 발진기의 long-term jitter에 영향을 미친다.

그림 2는 simulation에 사용된 RTS 전류원이 병렬로 연결된 CMOS 링 발진기이다. 링 발진기의 시뮬레이션에서 TSMC 0.18 μm 모델 파라메타가 사용 되었다.



그림 2. RTS가 병렬로 추가 된 링 발진기.

IV. 시뮬레이션 결과 및 토론

본 연구는 두 가지의 jitter, 즉 cycle jitter와 cycle to cycle jitter를 분석한다. 신호가 음에서 양의 값으로 변하면서 n 번째 '0'을 지나가는 시간이 t_n이면 그 순간의 주기 T_n은 다음과 같이 정의 된다.

$$T_n = T_{n+1} - T_n \tag{1}$$

이러한 주기의 평균을 \bar{T} 라고 할 때, 각 주기와 \bar{T} 의 차이 즉 $\Delta T_n = T_n - \bar{T}$ 은 일반적인 jitter의 의미를 가진다. 그러나 보다 명확한 jitter의 의미는 ΔT_n 의 rms 값이며 cycle jitter라고 정의한다. Cycle jitter, ΔT_c 는 다음 식으로 주어진다.

$$\Delta T_c = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N \Delta T_n^2} \tag{2}$$

여기에서 N은 계산에 사용된 주기의 갯수이다. Cycle jitter는 일반적으로 long term jitter을 표시한다

이와는 달리 cycle to cycle jitter, ΔT_{cc} 는 인접 주기 사이의 차이에 대한 rms 값이며 다음 식으로

주어진다.

$$\Delta T_{cc} = \lim_{N \rightarrow \infty} \sqrt{\frac{1}{N} \sum_{n=1}^N (T_{n+1} - T_n)^2} \quad (3)$$

인접 주기사이의 차이 차이를 의미하는 cycle to cycle jitter는 short term jitter를 표시한다.

그림 3은 Jitter rate가 링 발진기의 인버터 숫자에 따라 변하는 것을 보여준다. 이 때 사용된 RTS 신호의 진폭은 10 nA 이고 전원 전압은 3 V이다. Jitter rate는 jitter와 주기의 비(jitter/ \bar{T})를 의미한다. 인버터의 숫자가 늘어날수록 링 발진기의 기본 주파수는 작아져서 주기는 커지게 된다. 따라서 RTS에 의해서 발생된 jitter의 주기에 대한 상대적 크기는 작아짐을 볼 수 있다. 또한 cycle to cycle jitter 값이 cycle jitter의 값에 비해 약 0.4% 큼을 알 수 있다. 이는 short term jitter의 값이 long term jitter의 값보다 크다는 것을 의미한다. 다시 말하면 전체 시뮬레이션 시간의 평균 주기를 기준으로 계산된 jitter 값은 연속된 주기의 비교에 의해 계산된 jitter보다 작다는 것을 뜻한다.

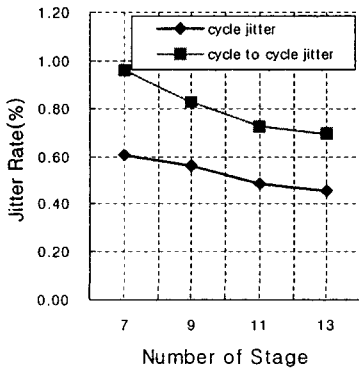


그림 3 링 발진기의 인버터 숫자에 따른 Jitter rate의 변화

그림 4는 전원 전압 변화에 대한 Jitter rate의 변화를 보여준다. 이 때 링 발진기는 7단의 인버터로 구성되어 있으며 RTS의 진폭은 10 nA이다. cycle jitter와 cycle to cycle jitter 모두 2.5 V에서 가장 낮은 jitter rate를 보여준다. 이는 최저 jitter rate를 위한 최적 전원 전압이 있다는 것을 의미한다. 그리고 cycle to cycle jitter의 값이 cycle jitter의 값에 비해 역시 약 0.4% 크다.

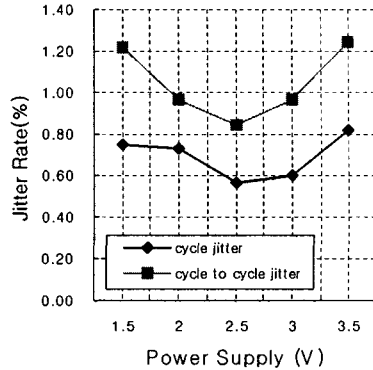


그림 4. 전원 전압 변화에 따른 jitter rate의 변화

그림 5는 RTS 진폭에 따른 Jitter rate 변화가 아주 미약함을 보여준다. 인버터의 최대 전류값이 100 μ A이므로, 1n~10nA 범위의 전류는 충전 시간 동안 영향을 미칠 만큼 충분한 전류가 되지 못한 것으로 사료된다.

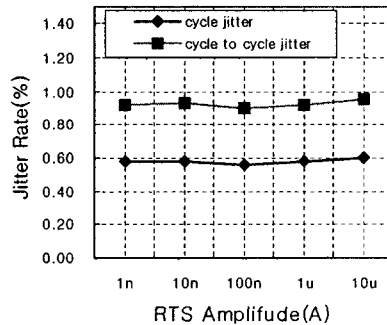


그림 5. RTS 진폭에 따른 Jitter rate의 변화

V. 결론

중첩된 RTS 신호는 MOSFET의 1/f 잡음을 모델링 한 것이다. 본 연구에서는 하나의 RTS 전류원만 공급하여 jitter 특성을 분석하였다. 링 발진기의 Jitter rate는 인버터 숫자에 따라 감소하였고, 주어진 인버터의 숫자에서 가장 작은 jitter rate를 위한 최적 전원 값이 존재한다. RTS 신호의 진폭은 jitter rate에 미치는 영향이 미약하였다.

참고 문헌

- [1] M. J. Kirton, M. J. Uren, S. Collins, M. Schulz, A. Karmann, and K. Scheffer, "Individual defects at the Si:SiO₂ interface",

- Semicond. Sci. Technol. 4, p1116, 1989.
- [2] K. S. Ralls, W. J. Skopol, L. D. Jackel, R. E. Howard, L. A. Fetter, R. W. Epworth and D. M. Tennant, "Discrete Resistance Switching in Submicrometer Silicon Inversion Layers: Individual Interface Traps and Low-Frequency ($1/f$) Noise", Phys. Rev. Lett, 52, p228, Jan. 1984.
- [3] F. Herezel and Behzad Razavi, "A Study of Oscillator Jitter Due to Supply and Substrate Noise", IEEE Trans. Circuits and Systems, 46, No 1, p56, Jan. 1999.