

FPGA를 이용한 저전압 CMOS에서의 데이터 전달특성 연구 (반도체 및 통신소자)

김석환* , 정학기** , 허창우***

* : 제니텔 정보통신(주)

** : 군산대학교 전자정보공학부

*** : 목원대학교 IT공학부 전자정보보호공학부

A Study on the Data Transmission Characteristics of Low-Voltage CMOS using FPGA

Soke-Hwan Kim* · Hak-Ki Jung** · Chang-wu Hur**

* Genetel system, Inc.

**School of Electronic & Information Engineering, Kunsan Univ.

***Division of Electronic & Information Security Engineering, Mokwon Univ.

요 약

현재 통신시스템에서 많이 사용되고 있는 Xilinx FPGA를 이용하여, 여러 가지 로직을 구현하고 데이터 전달특성을 분석하기 위하여 신호의 노이즈와 데이터 손실을 방지하기 위하여 10층의 PCB(Printed Circuit Board)를 만들었다. FPGA에 클럭과 64bit의 데이터를 동기 시켜 전송선로의 길이의 변화와 입력된 클럭의 주파수 변화에 따른 최대 안정된 데이터 전달속도와 전송선로의 길이를 알아보았다. 제작된 PCB보드에서 FPGA의 출력 핀에서 출력포트 사이의 전송선로 길이는 13cm이며 확장된 테스트용 전송선로 보드의 길이는 30cm, 60cm, 120cm이다. 그러므로 전송선로의 길이를 13cm, 43cm, 73cm, 133cm간격으로 측정하였으며, 데이터 전송특성에 대한 클럭 주파수는 10MHz, 50MHz, 100MHz, 125MHz, 150MHz로 나누어 측정하였다. 데이터 전달 특성에서 125Mbps까지는 불가능 하지만 전송선로의 길이가 30cm일 경우 최대 100Mbps까지 안정하게 데이터를 전달할 수 있었다.

I. 서 론

초고속 정보화 시대가 대두되면서 많은 정보들이 우리 눈앞에 펼쳐지고 있다. 그러므로 사용자들은 그 많은 정보들 중에서 필요한 것을 선택하여 저장하고 예러 없이 빠르고 정확하게 데이터를 주고받기를 원하고 있다. 현재 개발되어 지고 있으며, 실질적으로 적용하고 있는 10Gbps, 40Gbps급 고속데이터 전송시스템은 각 채널 당 125Mbps로 데이터를 전송하고 있다. 본 논문은 현재 고속데이터 전송 시스템에서 많이 사용되어 지고 있는 FPGA에 저전압 CMOS로직을 구현하여, 데이터 전달특성을 분석하고 시스템 적용 시 최적한계를 살펴보고야 현재 연구되어지고 있는 범위에 적용이 가능한지 살펴보고자 한다.

II. 본 론

1. FPGA의 기본구조

실험에 사용된 FPGA의 기본 사양은 40,000 ~ 1,000,000 게이트를 구성할 수 있으며, 동작 가능한 최대 클럭 스피드는 외부에서 420MHz까지 가능하다. 내부에는 기본적으로 클럭의 위상을 나누거나 반전 및 확장할 수 있도록 지원하는 12개의 DCM(Digital Clock Manager) 모듈, 클럭을 외부에서 받아 출력으로 내보낼 경우 지연을 방지시키는 기능을 수행하는 16개의 Global 클럭 멀티플렉스 버퍼가 있다. FPGA를 이용하여 각 Bank별로 Single-end 로직 구성으로는 1.5V, 1.8V, 2.5V, 3.3V에 동작하는 LVTTTL 3.3V에 동작하는 LVCMOS33, 1.8V에 동작하는 HSTL Class I, II, 2.5V에 동작하는

HSTL Class III, IV, 2.5V에 동작하는 SSTL2 Class I, II, 3.3V에 동작하는 SSTL3 Class I, II, GTL, GTL+ 로직구성이 가능하며 Differential 로직으로는 3.3V에 동작하는 LVDS33, 2.5V에 동작하는 LVDS25, LVDSEXT 25 3.3V에 동작하는 LVDSEXT33, LVPECL33 로직을 구성할 수 있다.

2. 저전압 CMOS

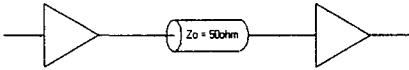


그림 1. LVC MOS33의 입출력과 전송선로간의 연결

LVC MOS33을 동작시키기 위해 인가되는 전압은 최소 3V에서 3.6V까지 가능한데 평균적으로 3.3V[15-16]의 VCCO를 인가한다. FPGA에 LVC MOS33을 형성한 Bank에는 장비에서 이 로직에 맞는 클럭과 데이터를 주어야 하는데 클럭과 데이터의 레벨은 최소 0.8V에서 2V까지 인가가 가능하다. 3.6V까지 가능하다는 전압특성이 있지만 실제로 2V까지만 인가시킨다.

표 1. LVC MOS33의 전압특성

Parameter	Min	Typ.	Max
VCCO	3.0	3.3	3.6
VIH	2.0	-	3.6
VIL	-	-	0.8
VOH	2.6	-	-
VOL	-	-	0.4

3. 시스템의 구성

FPGA를 이용하여 데이터 전송특성을 FR-4 재질로 구성된 PCB 패턴 10층 기판을 바탕으로 LVC MOS33 Logic을 구성하여 클럭과 데이터를 동기 시켰으며, PCB 패턴의 길이의 변화와 클럭의 변화에 따른 FPGA에서의 출력과 송신사이의 데이터 전달특성을 살펴보았다.

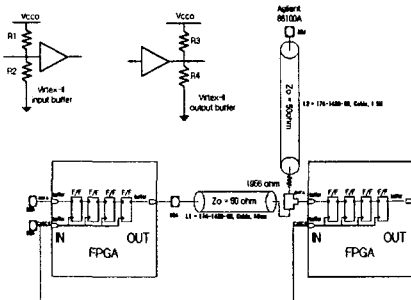


그림 2. FPGA 내부의 회로 구성도

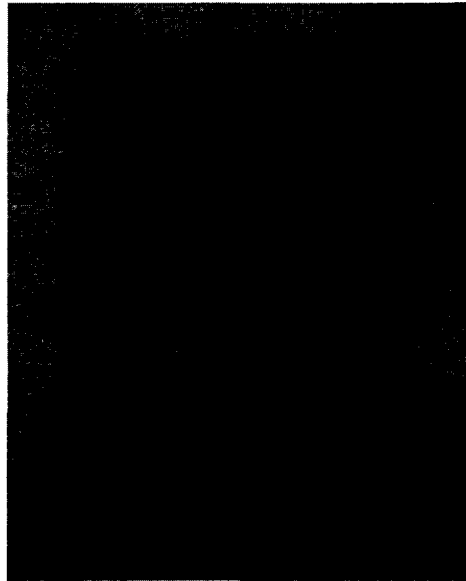


그림 3. 데이터 전달특성 분석을 위해 설계된 PCB

그림 3은 실험에 사용한 FPGA 내부의 전체적인 회로구성을 나타낸 것으로 LVC MOS33의 로직만 실험한 것이 아니라 FPGA에서 지원 가능한 Single_end 로직, Differential 로직 전체에 대해 실험하였기 때문에 그림의 출력과 입력 쪽의 버퍼에 각 저항 R1, R2, R3, R4를 나타내었다. FPGA에서의 LVC MOS33의 출력특성을 살펴보기 위해 FPGA의 출력으로부터 데이터가 전송선로를 거친 후 입력 쪽으로 들어가는 부분을 측정한다.

III. 데이터 전달특성 측정 파형

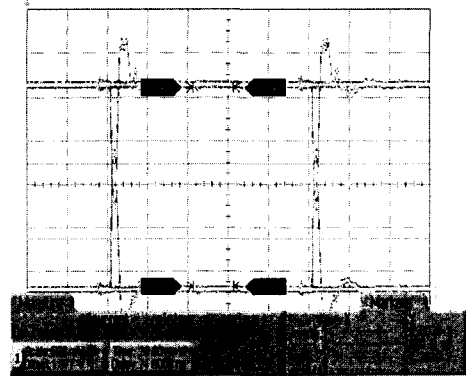


그림 4. 데이터 전송속도 10Mbps

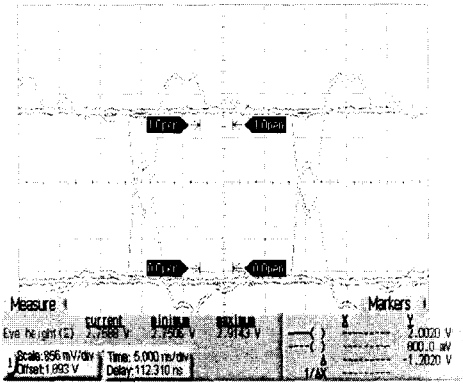


그림 5. 데이터 전송속도 50Mbps

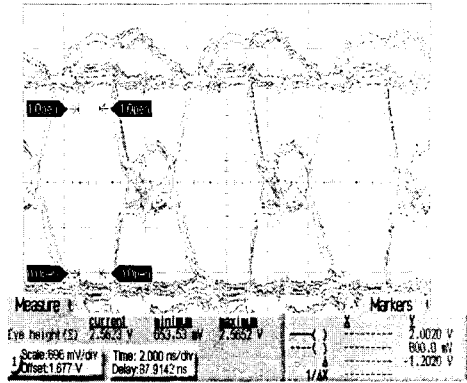


그림 8. 데이터 전송속도 150Mbps

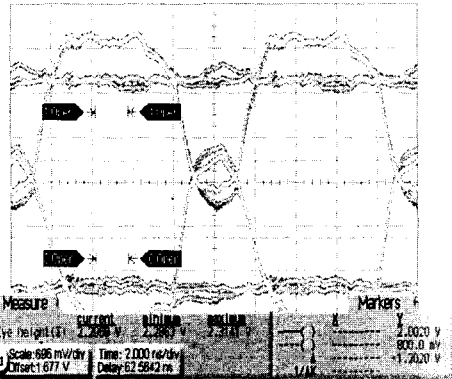


그림 6. 데이터 전송속도 100Mbps

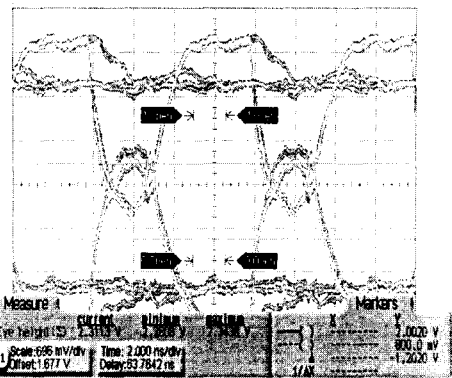


그림 7. 데이터 전송속도 125Mbps

IV. 결과 및 고찰

제작된 PCB 보드에 FPGA를 실장하고 LVC-MOS33 로직을 구성하였으며 전송선로 길이 13cm 일 경우 클럭의 주파수를 각 10MHz, 50MHz, 100MHz, 125MHz, 150MHz로 변화 시켜가며 데이터와 클럭을 동기 시켜 LVC-MOS33의 데이터 전달특성을 분석하였다. 측정 결과 전송선로의 길이가 짧아 데이터 전달특성은 최대 150Mbps까지 전압의 레벨이 안정하였고 시간상의 여유가 2ns까지 있었으나 출력된 데이터에 노이즈가 많이 발생하였다. 그러므로 13cm일 경우에는 150Mbps까지 데이터를 전송하고자 할 때는 클럭의 설계가 중요하게 요구된다. FPGA의 입출력 포트에는 사용자의 선언에 따라 여러 가지 로직이 선택되어 진다. 이때 선택된 로직을 제외한 나머지 로직들은 끊어진 상태로 놓여져 있어 클럭의 주파수가 증가함에 따라 노이즈를 일으키는 주 요인이 되었다.

표 2. 데이터 전달특성

데이터 전송속도	전송선로 길이	시간		진폭	
		기준	여유	기준	여유
10Mbps	13cm	20ns	85ns	696mV	3.1V
50Mbps	13cm	5ns	18ns	856mV	2.7V
100Mbps	13cm	2ns	5ns	696mV	2.3V
125Mbps	13cm	2ns	3.5ns	696mV	2.3V
150Mbps	13cm	2ns	2ns	696mV	2.3V

V. 결론

초고속 정보화 시대에 많은 정보를 짧은 시간, 적은 비용으로 서로 주고받기 위해서는 시스템의

개발이 필요성 과 중요성이 대두되었다. 고속 데이터 전송을 위한 회로와 기판을 설계할 때는 신호의 반사, 누화, 연결 지연 시간 등을 고려한 신호 잡음 분석이 매우 중요하다. 전송선로의 길이가 13cm일 경우 데이터 전달특성은 10Mbps일 경우 3.1V, 50Mbps일 경우 2.7V, 100Mbps일 경우 2.3V, 125Mbps일 경우 2.3V, 150Mbps일 경우 2.3V의 전압을 나타내었다. 결과적인 값으로 볼 때 150Mbps 까지 데이터 전송이 가능한 것으로 보이지만, 시스템에서의 전송선로의 길이는 최소 30cm정도이기 때문에 이 결과를 보고 전체적인 LVCMOS33의 데이터 전달특성을 판단한다는 것은 무리가 있다. 그러나 여기서 중요한 것은 데이터 전달속도가 증가 하면서 노이즈가 발생한 다는 것이다. 설계된 보드 상에서 아무런 문제점이 발생되지 않았기 때문에 FPGA에서 입출력 핀을 어느 로직으로 선택할 경우 각 핀들은 여러 가지 로직을 선택할 수 있도록 되어있어 사용자에게 의해 선택되지 않은 로직이 입출력과 연결되지 않고 떨어져 있기 때문에 FPGA 내부에서 신호의 반사작용을 일으켜 노이즈가 발생한다고 판단된다.

참고 문헌

- [1] Masumi Fukano, Misukuni Yokota, Katsunori Hirano, " Measuring and Evaluation Method for High Speed Transmission In Communication Systems, " 電子情報通信學會, Technical Report of IEICE, SSE. 122, PS. 46, pp. 1-6, 1999.
- [2] Usui, Yuzo, " High Speed Transmission Line Design in Giga-Hertz Age, " 電子情報通信學會, Technical Report of IEICE, VLD. 87, ICD. 132, CPSY. 59, FTS. 34, pp. 21-28, 2001.
- [3] Ryosuke Taruki, Yoshimi Tsubota, Shigenobu Lguchi and Kenji Kawamura, "Transmission characteristic of low voltage swing IC with a cable, " 電子情報通信學會, Technical Report of IEICE, EMD. 12, pp. 7-12, 1998.
- [4] 김동욱, 정병권, " MOSFET 특성에 기초한 CMOS 디지털 게이트의 최소소모전력 예측 모델, " 대한전자공학회논문지 제36권 C편 제9호, pp. 644-655, 1999.
- [5] 김도형, 하순희, " 백플레인 에 기반한 제어 부분과 데이터 처리 부분의 통합적 명세, " 대한전자공학회논문지 제36권 C편 제12호, pp. 882-892, 1999.
- [6] 김석환, 최익성, 허창우, "FPGA를 이용한 LVDS의 데이터 전달특성 분석," 한국해양 정보통신학회 논문지 제6권 제7호, pp. 1069-1073, 2002.
- [7] 최익성, 박영호, 김석환, 이범철, "FPGA Delay Optimization," 전자정보통신 학술대회, The Conference on Electronics & Information Communications, pp. 189-193, 2002.
- [8] 김석환, 최익성, 허창우, "LVDS interface logic을 이용한 신호전달 특성 분석", 한국해양정보통신학회논문집, pp. 473-476, 2002.
- [9] 최익성, 박영호, 김석환, 이범철, "FPGA Delay Optimization", CEIC 2002 전자정보통신학회논문집, pp. 473-476. 2002.
- [10] 김석환, 류광렬, 허창우, "Backplane processor의 HSIL 신호전달 특성 연구", 한국해양정보통신학회논문집, pp. 355-357. 2003.
- [11] 김석환, 김운호, 허창우, "Backplane Processor Bus 및 확장 Bus 시뮬레이션", 한국해양정보통신학회논문집, pp. 363-365, 2003.