

향상된 고성능 VCDL(Voltage Controlled Delay Line)

이지현* · 최영식* · 류지구*

*부경대학교

A Improved High Performance VCDL(Voltage Controlled Delay Line)

Ji-Hyun Lee* · Young-Shig Choi* · Ji-Goo Ryu*

*Pukyong National University

E-mail : smileg1@hanmail.net

요 약

최근의 system 내에서 동작속도가 급속히 증가함에 따라 단일 chip 내에서도 각부분의 clock 동기의 필요성이 요구되고 있다. 이러한 요구를 만족시키기 위해 PLL (Phase Locked Loop) 혹은 DLL (Delay Locked Loop)과 같은 clock를 동기 시켜 주는 회로가 사용되고 있다. PLL 내에서 주파수를 발생 시키는 VCO (Voltage Controlled Oscillator)는 jitter의 축적과 higher order system으로 인한 unstable한 특성과 설계하기 어렵다는 단점이 있다. 반면에 DLL에서 사용되는 VCDL (Voltage Controlled Delay Line)은 first order system으로 동작이 stable하고 설계하기 쉬우며, no jitter의 장점을 가지고 있다. 본 연구에서는 기존의 VCDL의 단점을 개선하여 보다 안정적인 동작을 하는 VCDL을 제안하고자 한다.

ABSTRACT

Since the speed of operation in the system has been increasing rapidly, chips should have been synchronized. Then, synchronized circuits such as PLL (Phase Locked Loop), DLL (Delay Locked Loop) are used. VCO (Voltage Controlled Oscillator) generated a frequency in the PLL has disadvantage such as jitter accumulation. On the other hands, VCDL (Voltage Controlled Delay Line) used at DLL has an advantage which has no jitter accumulation. In this paper, a new and improved VCDL structure is suggested.

1. 서 론

초고속 멀티미디어 시대로 접어들면서 고속 동기 회로의 중요성은 한층 커지고 있다. CPU나 DSP와 같이 초고속 동작을 하는 시스템에서는 digital 블록과 같은 다른 블록간의 data 전송에서 높은 주파수의 clock을 필요로 한다. 그러나 chip 간의 직접적인 인터페이스에서 깨끗한 신호를 얻기란 쉽지 않다. 따라서 외부의 clock 입력을 받아서 내부의 clock을 발생 시키는 장치가 필요하다. 이러한 장치로서 PLL (Phase Locked Loop)과 DLL (Delay Locked Loop)이 사용되고 있다.

대부분의 고속으로 동작하는 microprocessor에서는 VCO (voltage Controlled Oscillator)를 포함하는 PLL을 주로 사용한다. PLL은 higher order system으로 설계하기가 어려우며, 동작이 안정 됐을때의 loop bandwidth는 PVT (process, voltage,

temperature)값들에 의해서 쉽게 변화 될 수 있다. 또한 PLL은 페루프 피드백 구조이기 때문에 power supply, substrate의 노이즈와 jitter등이 계속해서 축적되는 단점이 있다. 반면에 VCDL (Voltage Controlled Delay Line)를 사용하는 DLL의 경우 first order system이기 때문에 항상 안정하며 설계가 용이 하다. 또한 개방루프 구조이기 때문에 여러 노이즈나 jitter의 축적이 일어나지 않는다는 장점이 있다. 표1에 PLL과 DLL의 특성들을 비교해 놓았다. 그림1에서는 VCO와 VCDL의 jitter 축적을 보여주고 있다.

본 연구에서는 기존의 논문에서 사용되고있는 VCDL의 구조들을 시뮬레이션하여 특성들을 살펴보고 단점들을 개선한 구조의 VCDL을 제안하고자 한다.

표 1. PLL과 DLL 특성 비교

PLL	DLL
· VCO	· VCDL
- jitter 측적이 있다	- jitter 측적이 없다
· higher order system	· first order system
- 불안정되기 쉽다	- 항상 안정하다.
- 설계가 어렵다	- 설계가 쉽다.

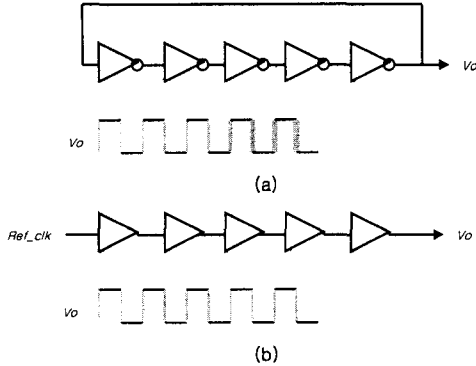


그림 1. jitter 특성 (a) VCO (b) VCDL

II. VCDL 구조 및 동작

기본적인 DLL의 구조를 살펴보면 그림2와 같다. 그림에서처럼 DLL은 PD (Phase Detector), CP (Charge Pump), loop filter, VCDL로 구성되어 있다. PD는 DLL의 입력 clock과 VCDL의 출력 clock의 위상을 비교하여 up, down 신호를 발생시킨다. CP는 PD에서 받은 up, down 신호를 특정한 전압값으로 바꾼 뒤 loop filter로 보낸다. loop filter는 CP에서 보내진 전압을 일정한 전압으로 만들어 VCDL에 control 전압을 공급한다.

VCDL의 동작을 살펴보면, DLL의 입력 clock을 입력으로 받고, 이 clock은 각 delay cell을 통과하면서 조금씩 delay되어 출력된다. 이때 delay시간은 loop filter에서 나오는 control 전압으로 조정된다.

기존의 VCDL의 delay cell의 구조를 그림3과 그림4에서 볼 수 있다. 그림3의 delay cell은 일반적으로 많이 쓰이고 있는 구조이다. replica bias circuit 부분이 delay cell의 pmos를 항상 saturation 영역에서 동작하도록 bias를 잡아준다. 그림4의 delay cell 역시 자주 사용되는 구조이다. delay cell의 입력이 들어오는 nmos부분을 latch 구조를 사용하여 clock이 low level로 될 때 파형을 좋게 하였다. 그림5는 본 연구에서 새롭게 제안하는 delay cell 구조이다. nmos부분 뿐만 아니라 pmos부분 역시 latch 구조를 사용하였다.

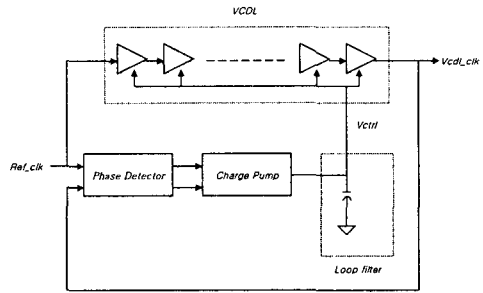


그림 2. DLL 기본 구조

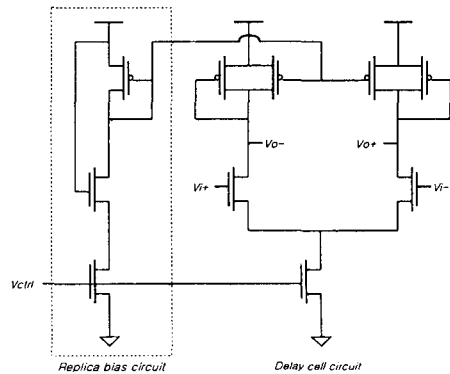


그림 3. replica bias된 delay cell

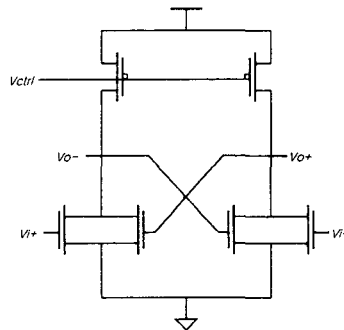


그림 4. nmos latch delay cell

새롭게 제안된 구조는 그림3 구조의 문제점인 clock의 low level 부분에서 나타나는 distortion과, 그림4 구조에서 나타나는 문제점인 control 전압이 2V이상 올라갈 경우 clock파형이 올바르게 출력되지 않고 특히 high level 부분의 distortion을 개선하였다.

III. 시뮬레이션 및 결과

모든 시뮬레이션의 입력 clock의 주파수는 200

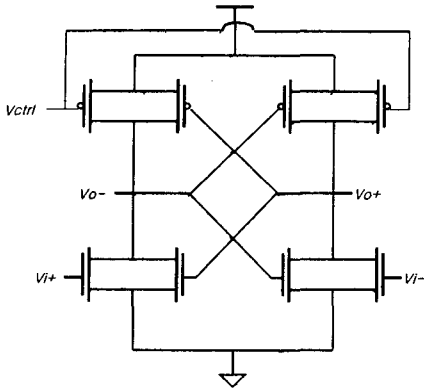


그림 5. 개선된 delay cell

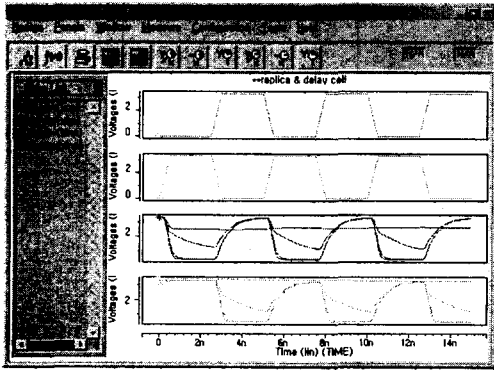


그림 6. replica bias된 delay cell 시뮬레이션

MHz이며 control 전압은 0.5V, 1.25V, 2V, 2.75V이다. 그림6은 그림3 구조의 시뮬레이션 결과이다. 그림6에서 위쪽 두 파형은 입력 파형이다. 아래쪽 결과 파형에서 control 전압이 0.5V일때는 제대로 된 파형이 출력되지 않는 것을 볼 수 있다. 또한 high level의 전압이 충분히 올라가지 못하는 것을 볼 수 있다. 그림7은 그림4 구조의 시뮬레이션 결과이다. 결과 파형에서 볼 수 있듯이 첫 번째 구조의 결과 파형보다 high level에서의 distortion는 많이 줄어들었지만 control 전압이 2V이상 일때는 pulse파의 형태를 찾아 볼 수가 없음을 알 수 있다. 마지막으로 그림8은 이번 연구에서 새롭게 제안된 구조를 시뮬레이션한 결과이다. 그림에서 볼 수 있듯이 pulse의 high level과 low level 모두 깨끗한 구형파를 출력하고 있다. 또한 어떠한 control 전압이 입력되더라도 완벽한 파형을 출력시킨다. 그림9는 제안된 delay cell을 5단 연결하여 control 전압을 2V로 입력하여 시뮬레이션한 결과이다. control 전압에 따라 delay가 일어나고 있음을 볼 수 있다.

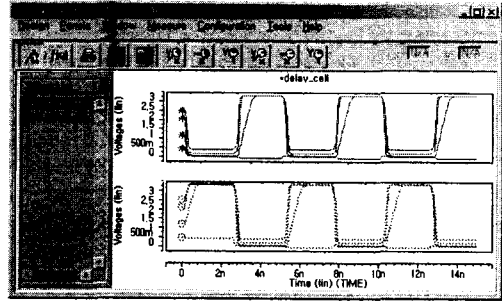


그림 7. nmos latch delay cell 시뮬레이션

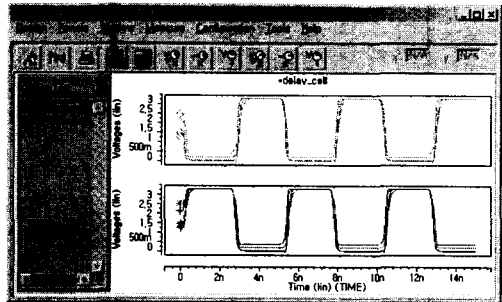


그림 8. 개선된 구조의 delay cell 시뮬레이션

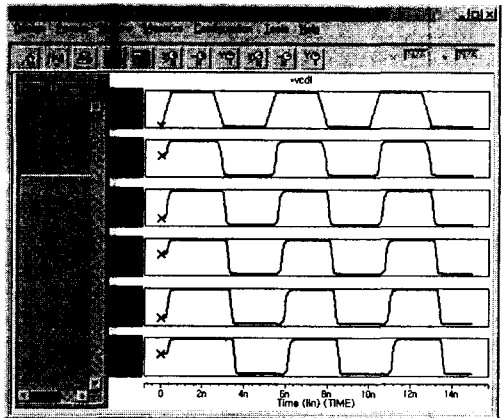


그림 9. 5 stage VCCL 시뮬레이션

V. 결론

초고속 멀티미디어 시대로 접어들면서 system의 동작 속도가 급속히 증가함에 따라 단일 chip 내에서의 clock의 동기화 중요한 이슈가 되고 있다. 현재 system내의 clock동기를 위해 PLL과 DLL이 사용되고 있다. PLL내부에서 clock를 발생시키는 장치로써 VCO를 사용하고 있는데, VCO는 jitter와 noise, 그리고 설계하기 어렵다는 단점이 있다. 이러한 단점을 보완하기 위해 DLL에서는 VCCL을 이용해 low jitter, no noise이면서 설계하

기에도 용이한 구조를 이루고 있다. 따라서 고성능의 VCDL을 설계하는 것은 매우 중요하다.본 연구에서는 이러한 필요에 맞추어 기존의 VCDL의 결점을 보완하여 좋은 성능의 VCDL을 설계하였다.

참고 문헌

- [1] Chulwoo Kim, In-Chul Hwang, and Sung-Mo (Steve) Kang, " A low-power small-area 7.28-ps-jitter 1-GHz DLL-based Clock Generator", JSSC, VOL. 37, NO. 11, NOV, 2002
- [2] Hsiang-Hui Chang, Jyh-Woei Lin, Ching-Yuan Yang, and Shen-Iuan Liu. "A wide-range delay-locked loop with a fixed latency of one clock cycle", JSSC, VOL. 37, NO. 8, AUG, 2002
- [3] John G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques", JSSC, VOL. 31, NO. 11, NOV, 1996
- [4] Jae Joon Kim, Sang-Bo Lee, Tae-Sung Jung, Chang-Hyun Kim, Soo-In Cho and Beomsup Kim, "A low-jitter mixed-mode DLL for high-speed DRAM applications", JSSC, VOL. 35, NO. 10, OCT, 2000