Reset time을 줄인 Phase Frequency Detector

윤상화, 최영식, 최혁환, 권태하
부경대학교

A PFD (Phase Frequency Detector) with Shortened Reset time scheme

Sang-hwa Yoon, Young-shig choi, Hyek-hwan Choi, Tae-ha Kwon
Pukyong National University
E-mail : yebsir@hanmail.net

요 약

본 논문에서 제안하는 PFD(Phase Frequency Detector)는 Reset을 줄여 응답 속도의 특성을 향상시키기 위해 기존 회로인 Flip-Flop의 D-Latch circuit를 Memory Cell로 대신한 회로이다. 회로의 특성을 검증하기 위해 HSPICE Tool를 이용 simulation 하였으며 Hynix 0.35um CMOS 공정을 사용하였다.

ABSTRACT

In this paper, a D-Latch is replaced by a memory cell on the proposed PFD to improve response time by reducing reset time. The PFD has been simulated using HSPICE with a Hynix 0.35um CMOS process to prove the performance improvement.

Ⅰ. 서 론

최근에 PLL(Phase Locked Loop)은 거의 모든 통신 장비에 사용될 만큼 매우 중요한 부분을 차지하고 있다. PLL의 종류는 크게 4가지로 구분된다. 고전적인 아날로그 형태인 Linear PLL(LPLL), Classical Digital PLL(DPLL), 디지털 형태인 All-Digital PLL (ADPLL), Software PLL(SPLL)로 변해 오면서 많은 결점을 보안해오고 있으며 ADPLL은 디지털 통신 분야에, SPLL은 Digital Signal Process(DSP)분야로 진보해 오고 있다.

PLL의 일반적인 구조는 위상/주파수 검출기(PFD : Phase Frequency Detector), 루프 필터(LP: Loop Filter), 전압 제어발진기(VCO: Voltage Controlled Oscillator)로 구성된다. 본 논문 연구에서는 PFD의 Reset Time에 관심을 갖고 연구해 보았으며 Simulation를 통해 특성 분석을 수행하여 기존의 Reset Time 보다 더 짧은 시간 동안 Reset 반응을 할 수 있도록 회로 Design를 고찰하여 제시하였다.

Ⅱ. 회로 구성 및 동작

PLL(Phase Locked Loop)은 위상에 대한 negative 피드백 루프를 사용하여 입력 신호와 출력 신호의 위상차이를 0이 되게 하거나 차이를 줄여서 두 신호의 위상 및 주파수를 같게 만든다.

위상 신호에 대해서는 선형적으로 동작하지만 전압이나 전류에 대해서는 비선형적으로 동작하기 때문에 비선형 아날로그 소자라고 불리고 현재 각종 통신 장치나 VLSI 칩들의 클락 신호 동기화 등의 목적으로 광범위하게 사용되고 있다.

PLL의 Block Diagram은 그림2.1에서 보듯이 Phase Detector, Loop Filter, Voltage-Controlled Oscillator 세가지 Block으로 구성이 이루어져있다. 위상 검출기는 PLL의 중요한 소자로 두 입력 신호의 위상 차이에 비례하는 전압 또는 전류를 출력시키는 소자로 PD의 종류로는 아날로그 곱셈기, EX-OR gate, Latch나 Flip-Fop등의 기억소자를 사용하는 2상태, 3상태 PD 등 여러 가지 형태의 회로들이 사용되고 있다. 그중 3상태 PD인 경우 두 신호의 위상 차이뿐만 아니라 주파수 차이도 검출하므로 위상/주파수 검출기(PFD:Phase Frequency

Detector)라고도 불린다.

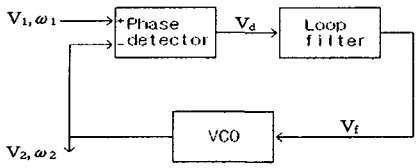

그림2.1 PLL의 Block Diagram

먼저 그림2.2(a)에서 보인 EX-OR gate로 이루어진 PD를 살펴보면 EX-OR gate는 두 입력 신호가 다를 때 출력신호가 High가 된다. 입력 신호 A의 Duty 비가 50% 되는 지점을 기준으로 입력 신호 B와 위상 차가 -90°에서 +90°을 벗어나면 출력 신호가 반전되므로 그 범위 안에서 출력 값은 그대로 유지가 되고 위상 차이에 따라 출력 파형의 폭이 변화하므로 V1, V2 두 신호의 위상 차이를 확인할 수 있다. 그러나 EX-OR gate PD 경우 입력신호 V1과 출력 신호 V2의 duty cycle이 둘 다 50%라야 제대로 동작한다. V1과 V2중에서 하나라도 이 조건을 만족하지 못하면 선형 동작 범위가 크게 제약되기 때문에 위상 검출기의 특성이 왜곡되어 전체 PLL 회로의 특성을 저하시키게 된다.

그림2.2(b)는 양의 edge에서 동작하는 JK Flip-Flop 기억소자를 이용한 PD 이다. Trigger가 양의 edge에서 동작되는 JK Flip-Flop은 동작 특성인 4가지 상태에 의해 입력 j가 High 신호로 K가 Low 신호로 되는 점을 기준으로 두 신호의 위상 차가 -180°에서 +180°일때는 출력 값을 그대로 유지시키며 그 신호들의 위상 차를 출력 값으로 확인할 수 있다. 신호의 상승 edge에 의해서만 동작하므로 duty cycle에 무관한 특성을 가진다. 반면 입력신호의 노이즈에 민감한 단점을 가진다. 입력 신호에 노이즈가 인가된 경우 이 노이즈 성분을 신호의 상승 edge로 간주하여 위상오차를 가지고 줄일려고 노력한다.

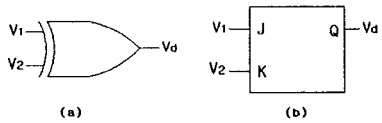

그림2.2 (a) EXOR gate (b) JK Flip-Flop

그림2.3은 D Flip-Flop으로 구성된 PFD이다. D Flip-Flop의 동작은 CLK를 항상 High 로 유지된 상태에서 입력 신호 A 신호가 High 되면 출력 신호 Q는 바로 High로 나타나며 Reset 신호가 High가 되는 순간 입력 신호 A에 상관없이 출력신호 Q가 Low로 떨어지고 입력신호 A가 High가 되기 전까지 출력신호 Q는 Low 상태를 계속 유지되는 원리로 두 신호가 서로 마주보고 있는 상태를 기준으로 입력 신호 A가 B보다 위상차이가 180°이상 발생 할 경우라도 Reset 신호가 오기 전까지는 D Flip-Flop 출력은 High로 유지하므로 -360°에서 +360°의 위상 차이를 표시 할 수 있다. 본 문에서 제안하는 PFD는 Phase 범위가 넓은 D Flip-Flop으로 구성된 PFD를 이용하였다.

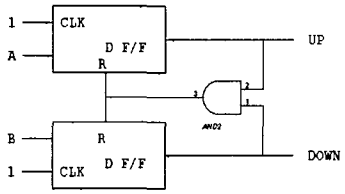

그림2.3 Phase Detector(D Flip-Flop gate)

여기서 그림 2.4(a)에 보인 IBM D Flip-Flop 내부 동작을 보면 Reset 신호가 Low 상태에서 입력 신호가 High가 되었을 때에서 a점의 전류가 모두 접지로 흘러 전위가 낮아져 출력 신호 Q에 High가 출력이 되며 Reset 신호가 입력 R에 유입되면 PMOS1 gate가 ON이 되면서 NMOS1이 OFF가 되어 a 지점의 전위가 올라가 Reset 신호에 의해 출력 신호 Q는 Low가 되고 D Latch 회로에 의해 Reset Low 상태에서 입력 신호 A가 High가 되기 전까지 출력신호 Q는 Low 상태를 계속 유지하게 된다. 위 동작은 New D Flip-Flop도 같으나 D Latch 회로를 Memory Cell로 대신하여 Reset 신호에 의한 동작은 IBM D Flip-Flop과는 다르다.

그림2.4(b)의 New D Flip-Flop는 Reset 신호가 입력 R에 들어오면 Memory Cell에 의해 NMOS1을 OFF 시키고 IBM Flip-Flop은 D Latch에 의해 NMOS1이 OFF 시켜 reset 신호에 의한 지연 시간이 다르다.

IBM D Flip-Flop에서 reset 신호가 D Latch의 T1 gate에 입력으로 와서 NMOS1에 도달하기 위해 NAND와 AND gate를 지나야 하므로 신호 지연이 발생하고 그림 2.4(b)의 New D Flip-Flop의 Memory Cell은 NAND gate만 지나면 되므로 신호 지연을 줄일 수 있다.

그림2.5에서 New PFD의 Reset 신호 흐름은 각 D Flip-Flop의 출력을 AND gate로 보내어 그 출력을 D Flip-Flop 입력포드 R에 보내어 PFD를 초기화시키는데 여기서의 지연 시간을 줄이기 위해 AND gate를 NAND gate와 Not gate로 분리하여 포트 R과 포트 R'을 만들었고 여기에 맞추어 각 D Flip-Flop의 입력포트를 A, R, R'로 구성하여 포트 R'에서 나온 신호를 D Flip-Flop 포트 R'에 바로 입력함으로서 지연 시간을 줄일 수 있다.

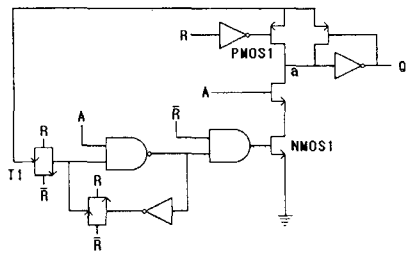

그림2.4 (a) IBM D Flip-Flop

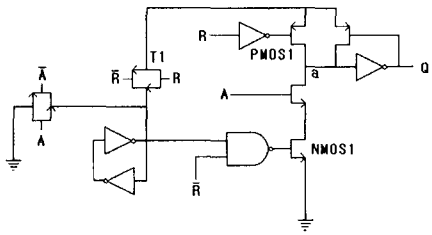

그림2.4 (b) New D Flip-Flop

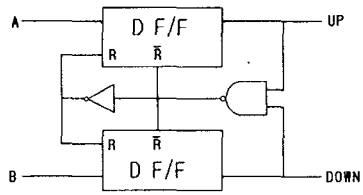

그림2.5 New Phase Frequency Detector

III. 시뮬레이션 및 결과

본 문에서 제안한 PFD는 참고 문헌의 [4] David W.boerstler "A Phase-Locked Loops Clock Generator for a 1 GHz Microprocessor" IBM D Flip-Flop회로를 기초하였다. 그림2.4에 보인 IBM D Flip-Flop회로의 D-Latch 부분을 Memory Cell로 Design 하였다. D Flip-Flop의 gate 수에서 IBM D Flip-Flop회로에는 22개 New D Flip-Flop회로에는 18개로 gate 수가 4개 더 적다. 그림 3.1에 보여진 파형은 두 입력 신호 A, B를 1nsec 위상 차가 나도록 입력하여 UP, DOWN 출력신호와 Reset 신호의 동작을 확인 할 수 있다.

그림3.2는 지연 시간을 비교하기 위해 출력 신호 DOWN과 Reset 신호를 비교한 파형이다. 출력신호 2V를 기준으로 하였으며 a, d 간격은 상승 신호일 때 PFD내의 AND gate 지연시간을 나타내며 b, e 간격은 D Flip-Flop 내부 지연을 표시하고 c, f 간격은 하강 신호 일 때 AND gate 지연 시간을 나타낸다. 이 모든 지연이 Reset Time에 영향을 주어 동작을 지연시킨다. 시뮬레이션 결과 지연 시간 a는 2.1에서 2..28로 0.18차가 나고 b는 2.28에서 2.46로 0.18차이가 나며 c는 2.46에서 2.6로 0.14차가 생기며 d는 2.1에서 2.28로 0.18차가 나타나며 e는 2.28 2.4로 0.12차로 f는 2.4에서 2.5로 0.1차이가 나며 단위는 nsec이다.

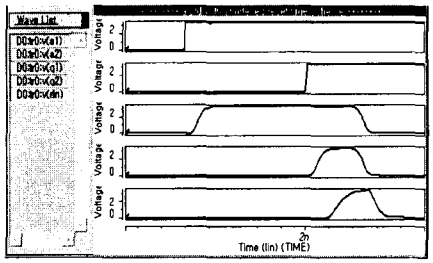

그림3.1 (a) IBM D Flip-Flop

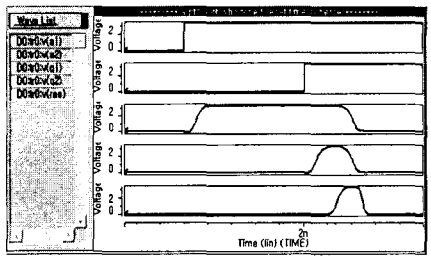

그림 3.1 (b) New D Flip-Flop

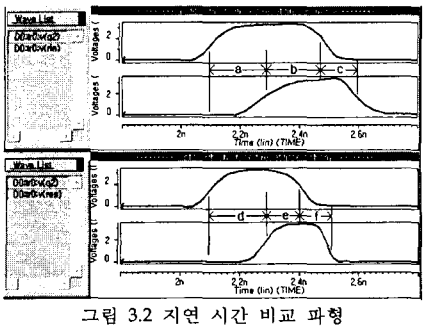

그림 3.2 지연 시간 비교 파형

IV. 결 론

본 논문은 PLL의 중요부분인 PFD의 Reset 응답 속도에 중점을 두고 Hynix 0.35um CMOS 공정으로 Simulation 하였다. 제안한 회로는 기존의 D-Latch를 사용한 PFD 대신 Memory Cell를 이용한 PFD이며 Simulation 결과 Reset 응답속도는 표 4.1에 나타낸 것과 같이 D-Latch를 이용한 PFD Reset 응답속도보다 약 25% 향상된 것을 볼 수 있다.

표4.1 지연시간 비교

*기준 전압 :2V / *단위 : nsec

	IBM D F/F	New D F/F	비교
AND Gate 상승지연 a,d	2.1~2.28 /0.18	2.1~2.28 /0.18	0
D F/F 지연 b,e	2.28~2.46 /0.18	2.28~2.4 /0.12	0.06
AND Gate 하강지연 c,f	2.46~2.6 /0.14	2.4~2.5 /0.1	0.04
Gate 수	22EA	18EA	4EA

참고 문헌

[1] Behzad Razavi "Design of Monolithic Phase-Locked Loops and Clock recovery Circuits-A Tutorial"
[2] Roland E. Best "Phase-Locked Loops Design, Simulation, and Application"
[3] Dan H. Wolaver " Phae-Locked Loops Circuit Desgin"
[4] David W. Boerstler " A Phase-Locked Loops Clock generator for a 1 GHz Microprocessor " IBM
[5] 박홍준 " CMOS 아날로그 집적회로 설계(하)"