TFT-LCD 패널의 구동 파형을 위한 파라미터 최적화 설계에 관한 연구

하 종 호(河鍾浩), 김 광 태(金 光 泰)
상주대학교 전자전기공학과
전화 : 054-535-1678 / 핸드폰 : 011-434-2744

A Study on Optimizing Parameter for Driving Waveform of TFT-LCD Panel

Jong Ho Ha, Kwang Tage Kim
Dept. of Electronics and Electrical Engineering
Sang-Ju National University
E-mail : tytyu@hanmir.com

Abstract

The purpose of this paper was to find out the stabilized and effective value of RC-parameter by using PSpice simulation, considering that gate signal voltage can be distorted by RC-delay of signal line.

the results of this study were as follows:

TFT-LCD with high quality resolution increased the number of gate signal line and this made TFT on-time shorter. over-width of signal line to improve the performance of TFT made the electrostatic capacity increase and the time constant higher, making problems and errors. and owing to the decrease of the aperture ratio, an electro optic character of LCD, we must consider the capacity and the condition of production process in deciding the width and the thickness of the gate signal linc.

I. 서론

21세기 첨단 사회에서는 소비형태의 다양화, 지적화를 추구하면서 언제, 어디서, 누구나 사용 가능한 디스플레이 장치는 고 정세화 [1], 고 개구율화 [2], 대 면적, 고 기능성 등에 대한 요구가 급속히 증대되고 있다. 이로 인하여 차세대 고 성능 제품의 개발이 지속적으로 진행되고 있으며, 박막트랜지스터 액정표시장치(thin film transistor-liquid crystal display : TFT-LCD) 기술이 급속히 변하고 있다. 이와 같은 기술의 변화에 따라 다양한 형태의 LCD 제품들이 등장하게 되었다.

TFT-LCD는 초기에 12인치 크기에 640×480 정도의 해상도를 갖추었으나 최근에는 대 면적, 고 기능성 노트북 PC의 수요가 증가하여 15인치 이상이 사용되며, 일반 데스크탑 PC의 고급화로 인하여 20인치 이상으로 급속히 확대되고 있다. TFT-LCD는 음극선관(CRT)과 비교하여 두께가 얇고 가벼우며, 소비전력이 적고, 내환경성이 좋고, 휴대가 용이하며, 인체에 유해한 전자파 발생이 없는 장점 [3] 이 있다. 그러나 대 면적이 될수록 TFT-LCD의 전기적 특성인 플리커(flicker) [4] 와 누화(cross-talk) [5,6], 액정화소의 충전율이 떨어져 생기는 writing error [7] 등의 문제점이 발생하게 되어 이를 해결하기 위한 연구가 필요하다. 특히, TFT-LCD의 화면크기와 해상도가 크게 되면 신호배선의 시정수가 증가하여 TFT 선택시간 감소로 트랜지스터의 성능을 향상시켜주지 않으면 LCD의 표시품질이 떨어진다. 즉, LCD 화면이 커지면 해상도가 커져야하고, 영상주파수는 동일하여 TFT 선택시간은 상대적으로 줄어들기 때문에 배선 저항값이 충분히 작지 않으면 게이트배선의 신호지연(RC-delay) [8] 이 증가하여 게이트 신호 입력에서 먼 쪽의 TFT에서는 충분

한 전류가 흐르지 못하여 액정 화소의 충전율이 떨어져 writing error가 발생한다.

본 논문에서는 40인치 UXGA(1600×1200) TFT-LCD 커패시터의 충전이 허용 범위내에 있게되어 게이트 배선의 입력 단에서 가장 먼 곳에 연결된 TFT에서도 충전이 충분하게 되어 writing error가 발생하지 않는 RC에 관련된 파라미터값을 구한다. TFT-LCD의 구조가 같아도 해상도, 화면의 크기, 및 게이트전압 파형에 따라 TFT의 선택시간과 RC유효 신호지연 범위가 달라지게 된다. LCD의 한 화소 저항값을 모델링하여 전체 저항값을 구하고, 전체 용량을 변화시키면서 writing error가 일어나지 않는 RC 파라미터값을 회로 시뮬레이터인 PSpice [9,10] (professional simulation program with integrated circuit emphasis)를 사용하여 최적치를 구한다.

II. TFT-LCD 원리

1. TFT-LCD 등가회로

그림 2-7은 TFT-LCD의 단위화소 구조와 등가회로를 나타낸 것이다. 단위화소인 TFT구조를 가진 40인치 UXGA 1600×1200을 시뮬레이션을 하기 위한 RC 지연 변수값을 결정하는 과정 [17] 은 다음과 같다.

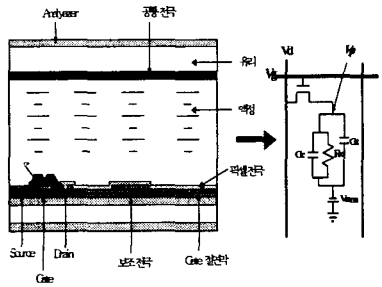

그림. 2-7. TFT-LCD 단위화소 구조와 등가회로.

비정질 실리콘 TFT에서 버스라인의 RC 지연 변수값 결정

게이트라인의 RC 지연을 고려하기 위한 총 저항값 (R_{GT})은 한 화소 당 게이트라인의 저항과 데이터라인 개수의 곱으로 나타낼 수 있으므로 식(2.1)과 같다.

$$R_{GT} = \rho \frac{L_{pg}}{G_t \times G_w} \times (1600 \times 3) \qquad (2.1)$$

게이트라인과 데이터라인의 재료로 알루미늄(Al)을 사용하였고 알루미늄의 비저항(ρ)은 3.2 x 10^{-8} Ωm, 한 화소 당 게이트라인의 길이는 영상 비(aspect ratio)가 4 : 3이고 40인치를 고려하면, 한 화소 게이트라인 길이 L_{pg}, 게이트라인 금속의 두께(G_t), 게이트라인 금속의 폭(G_w)이다. 데이터라인의 개수는 4800개이다.

데이터라인의 RC 지연을 고려한 전체 저항값 R_{DT}는, 게이트라인과 마찬가지로 한 화소 당 데이터라인의 저항값과 게이트라인 개수를 곱하면 된다. 따라서 식 (2.2)와 같이 나타낼 수 있다.

$$R_{DT} = \rho \frac{L_{pd}}{D_t \times D_w} \times (1200) \qquad (2.2)$$

한 화소 당 데이터라인의 길이 L_{pd}, 데이터라인 금속의 두께 D_t, 데이터라인 금속의 폭 D_w, 데이터라인의 개수는 1200개가된다.

표 2-1. 40인치 UXGA TFT-LCD의 RC 지연 변수값

C_s	0.33pF
C_{lc}	0.7pF
R_{lc}	0.799(TΩ)
C_{gt}	243.61pF
R_{gt}	5333.3 (Ω)
C_{dt}	74.26pF
R_{dt}	4000(Ω)

III. TFT-LCD 파라미터의 최적화

1. 신호지연과 신호배선의 최적화 [1]

TFT-LCD모듈의 신호배선 저항값을 줄이기 위하여 배선 두께를 지나치게 크게 하면 게이트 배선 위에 쌓게 될 박막과 데이터배선의 step coverage가 떨어져 불량률이 증가할 수 있다. 또한 저항값을 줄이기 위하여 배선 폭을 증가시키면 공통 전극과의 용량이 커져 시정수가 증가하고, 개구율이 감소하기 때문에 배선의 두께와 폭은 시뮬레이션을 통하여 최적 설계치를 결정해야 한다. 단위화소에서는 각 단위공정의 공정능력과 게이트 절연막 및 배선재료의 특성을 고려한 공정설계를 기초로 TFT의 폭/길이, 게이트와 데이터 신호배선의 폭, 축적 캐퍼시티의 크기를 결정하는, 화소전극 크기와 배치를 결정해야 한다. 좋은 조건의 설계치를 결정하기 위해서는 단위화소의 동작특성 [19] 과 TFT의 동작 시뮬레이션이 선행되어야 한다. 그림 3-1에 게이트 신호배선의 부하용량을 나타내었다. 부하용량의 종류는 다음과 같다.

(1) 게이트와 데이터 신호배선간 정전용량(C_{GD})
(2) TFT의 소오스 전극과 게이트 전극사이의 기생용

량(C_{gs})

(3) TFT의 게이트와 드레인 전극사이의 기생용량 (C_{gd})

(4) TFT의 게이트 통로의 정전용량 (C_{ch})

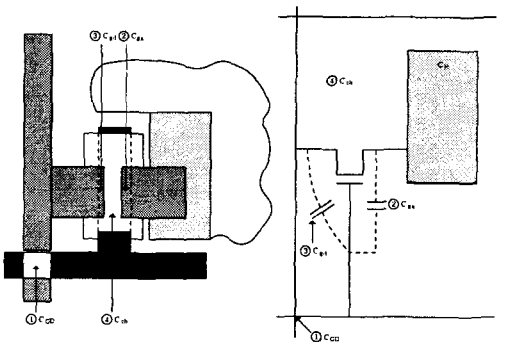

그림. 3-1. 게이트 신호배선의 부하용량

게이트 신호배선은 그림 3-2와 같이 행 방향으로 단위화소 수만큼 커패시터와 저항으로 연결된 RC 등가회로와 같고, 그림에서 알 수 있듯이 처음의 TFT에서는 게이트 펄스전압의 파형은 왜곡이 없이 정확한 파형이 공급되는데 게이트라인의 끝단인 4800개째의 TFT에서는 RC지연으로 인해 게이트 펄스전압의 왜곡이 발생하여 소오스를 통하여 공급되는 데이터를 충분히 읽어 들일 시간적 여유를 갖지 못하고 오동작을 일으키게 되며, 신호지연은 식(3.1)과 같이 구해진다.

$$\tau_{RC} = \sum_{i=1}^{3m} (R \cdot C)i \qquad (3.1)$$

여기서 m은 행 방향의 화소의 개수로 UXGA의 경우 1600이다.

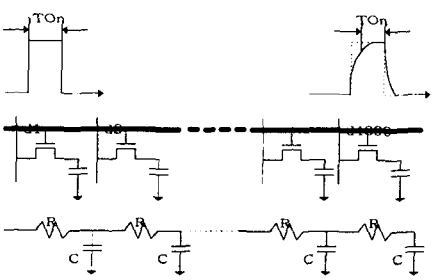

그림. 3-2. 신호배선의 RC-delay.

TFT의 전류구동능력과 TFT의 폭/길이 관계를 나타내는 식을 이용하여 TFT의 최적 설계조건을 구하면 식(3.13)과 같다.

$$\frac{W}{L} \geq \frac{2K}{\mu_{eff} \times C_g} \qquad (3.13)$$

실제 TFT-LCD 설계에서는 게이트배선의 RC-delay로 인하여 게이트배선의 가장 끝에 연결된 TFT의 effective writing 시간은 짧아지게 되므로 이러한 상황도 고려한 설계가 되어야 한다.

Ⅳ. 시뮬레이션 및 고찰

본 논문에서는 40인치 UXGA를 모델로 하여 한 화소의 저항 값을 0.5Ω에서 0.1Ω만큼씩 증가시키면서 1.2Ω까지의 저항을 1000개, 2000개, 3000개, 4000개, 그리고 4800개되는 마지막 단 TFT의 합성 저항값을 구하고 이 때 RC-신호지연의 허용범위가 되는 전체 용량을 구하기 위하여 커패시터 용량을 변화시켜가며 TFT의 writing error가 발생되지 않는 범위의 RC 파라미터 값을 구하였다.

공급하는 게이트선택 시간폭 13μsec의 80%인 10.4μsec 동안을 한 화소의 TFT가 On되는 시간으로 writing error가 일어나지 않는 구간이고 게이트 전압은 TFT가 Off 되는 -5V에서 최고 25V를 인가하였고 공급되는 게이트 전압 25V의 90%에 해당하는 22.5V의 전압을 기준 점으로 실험을 실행하였다. TFT의 게이트 선택시간은 20.5μsec에서 시작되어 33.5μsec까지 13μsec를 공급하였다.

실험을 통하여 TFT의 writing error가 없는 게이트라인의 한 화소의 저항값과, 게이트라인의 전체 저항값, RC 신호지연 허용범위의 전체 용량, 한 화소의 정전용량을 표4-12에 나타내었다. 한 화소 저항값이 0.5Ω일때 게이트라인의 전체 저항값은 2400Ω이 되고 이 때의 전체 유효용량 470pF보다 작은값이될 때 writing error가 일어나지 않았고 전체 용량 470pF 보다 더 큰 값이 되면 writing error가 일어나는 것을 실험으로 확인할 수 있었다. 그리고 한 화소의 저항값이 1.2Ω일 때까지 모두 같은 결과를 얻을 수 있었으며 한 화소의 저항의 크기를 1/100크기로 정밀하게 실험한 1.13Ω일 때 게이트라인의 전체 저항값 5424Ω이며 이때 전체 용량이 208pF 보다 작으면 오동작이 일어나지 않았고 208pF 보다 클 경우 오동작이 일어나는 것을 확인 할 수 있었다.

표 4-12. 저항값 변화에 따른 writing error가 없는 신호지연 허용 유효용량

한 화소의 저항값 R	R_{gt}(4800개)	C_{gt}	한 화소의 용량 ($C_{GD}+C_{gds}+C_{ch}$)
0.5Ω	2400Ω	470pF	0.09792pF
0.6Ω	2880Ω	391pF	0.08146pF
0.7Ω	3360Ω	334pF	0.06958pF
0.8Ω	3840Ω	294pF	0.06125pF
0.9Ω	4320Ω	261pF	0.05438pF
1.0Ω	4800Ω	235pF	0.04896pF
1.1Ω	5280Ω	214pF	0.04458pF
1.2Ω	5760Ω	196pF	0.04083pF
1.11Ω	5328Ω	211pF	0.04396pF
1.12Ω	5376Ω	210pF	0.04375pF
1.13Ω	5424Ω	208pF	0.04333pF

V. 결 론

본 논문에서는 TFT 게이트 신호전압이 신호배선의 RC-delay에 의해 왜곡되기 때문에 게이트 신호배선의 가장 먼 곳에 연결된 TFT에서도 writing error가 발생되지 않는 신호지연 허용 범위의 RC 파라미터값을 구하였다. 이값을 구하기 위하여 PSpice로 시뮬레이션 하였다.

고 해상도의 TFT-LCD가 되면 게이트 배선 수의 증가로 TFT 선택시간이 줄어들기 때문에 고유저항이 작은 배선을 사용하지 않으면 시정수(time constant)가 커지는 문제점이 생기고 일정범위 이상에서는 오동작하는 것을 확인할 수 있었다. 그리고 배선폭을 증가시키면 LCD의 전기 광학적 특성인 개구율은 작아지기 때문에 제조공정 능력과 조건에 알맞은 게이트 신호배선 두께와 폭의 최적치를 결정해야 함을 알 수 있었다. 모델링한 배선의 저항값에 따른 한 화소의 정전용량을 구할 수 있었고, 게이트라인의 RC-delay 한계값인 2.6μsec 보다 작을 때 오동작이 일어나지 않았다.

대 면적 TFT-LCD를 설계할 때 신호지연 허용 범위의 RC 파라미터 최적치를 고려하면 오동작이 발생되지 않는 것을 확인하였다.

참 고 문 헌

[1] 이종덕, 김상수, 김용배, 김현재, 이신두, 임성규, 장진, 정태형, "디스플레이 공학 I," *청범출판사*, 2000.

[2] 최종선, 김철수, 한정인, "TFT LCD의 기술동향," 현대전자 TFT생산기술팀, *전자부품종합기술연구소 광전부품연구소*, 1994.

[3] 석준형, "TFT-LCD 개발현황 및 전망," *전기전자재료* vol. 11, no. 1, pp. 52-54, 1998.

[4] R. Bashir, C. K. Subramanian, G. W. Neudeck and K. T. Chun, *IEEE Trans. Electron Devices*, vol. 36, p. 2944, 1989.

[5] Y. Kaneko, A. Sasano and T. Tuskada, *IEEE Trans. Electron Devices*, vol. 36, p. 2953, 1998.

[6] 유영준, 정순신, 김태형, 최종선, "TFT-LCD특성에 미치는 Capacitive Cross-talk의 영향에 대한 시뮬레이션," *한국전기전자재료학회 99추계 학술대회 논문집*, pp. 557-560, 1999.

[7] 이종덕, 김상수, 김용배, 김현재, 이신두, 임성규, 장진, 정태형, "디스플레이공학 I," *청범출판사*, pp.310-337, 2000.

[8] S. Wolf, "Sillicon Processing for the VLSI Era," vol. 3, *Lattice Press*, Chap.1, 1995.

[9] 백동철, "PSPICE를 이용한 회로설계의 기초," *복두출판사*, 2000.

[10] MicroSim PSpice A/D & Basics, Chap. 11, 1996.

[11] S. Yamauchi et al., SID DIGEST '89, p. 378, 1989.

[12] J. F. Clerc et al., Japan Display '89, p. 188, 1989.

[13] S. H. Ha, J. M. Lee, S. H. Park and Y. H. Kim, "The Growth of Low Temperature Polysilicon Thin Films and Application to Polysilicon TFTs," *한국전기전자재료학회 추계학술대회논문집*, pp.64-66, 1993.

[14] E. P .Raynes and I. A. Shanks, Electronics Letters 10, p. 114, 1974.

[15] M. G. Clark and K. J. Harrison, SID DIGEST '81, P. 83, 1981.

[16] 박병기, 최철호, 박진성, 권병헌, 최명렬, "SXGA급 a-Si TFT LCD범용 컨트롤러 설계", *한국정보처리학회 논문지*, vol. 6, no. 9, pp. 2548-2557, 1999.

[17] 송민수, "TFT-LCD의 전기적 특성에 관한 전산모사연구," 경희대학교 석사학위논문, 2002.

[18] M. Shur, M. Hack, J. G. Shaw and R. A. Martin, *J. Appl. Phys.*, p. 66, p. 3381, 1989.

[19] 윤영준, 정순신, 김태형, 박재우, 최종선, "새로운 정전용량 계산식을 이용한 대면적·고화질 TFT -LCD의 화소특성 시뮬레이션," *한국전기전자재료학회 99춘계 학술대회 논문집*, pp. 613-616, 1999.

[20] R. Bashir, C. K. Subramanian, G. W. Neudeck and K. T. Chun, IEEE Trans. Electron Devices 36, p. 2944, 1989.

[21] T. Katoh and N. Hirshita, "Effects of trap state on field effect mobility of MOSTFET'S formed on large grain polysilic on films," *J. Appl. phys*, vol. 28. p. 2291, 1989.