

FPGA 를 이용한 전파망원경

필터뱅크의 고속 데이터 취득시스템 개발

위석오, 이창훈, 김효령, 김광동
한국천문연구원

A High Speed Data Acquisition System using FPGA for Filter Bank System in Radio Telescope.

SeogOh, Wi, ChangHoon Lee, HyeoReong Kim, KwangDong Kim
Taeduk Radio Astronomy Observatory
Korea Astronomy Observatory
E-mail : sowi@trao.re.kr

Abstract

본 연구에서는 전파천문학에 있어서 스펙트로그램을 얻기 위한 장치인 필터뱅크의 고속 데이터 취득에 관한 것이다. 여기서는 FPGA 를 기반으로 데이터 취득시스템을 설계하였는데, 기존의 모노리틱 IC 를 기반으로 설계된 데이터 I/O 를 FPGA 로 대체함으로써 부피를 적게하고 데이터의 고속처리를 가능하게 하였다. 우주현상을 관측함에 있어 고속으로 데이터를 처리함은 대기중의 불안정한 상태나 시스템의 불안정에 의한 좋지 않은 데이터를 정확히 선택하여 제거할 수 있는 데이터 시간 분할이 가능하게 한다. 본 논문에서 개발된 시스템을 적용하여 기존 시스템에 비하여 약 15 배 정도의 고속 데이터 처리가 가능하게 되었다.

1. 서론

전파천문학에 있어서 관심의 대상인 천문형상은 주로 성간분자선(interstellar molecular line)으로 나타나기 때문에 전파분광기(radio spectrometer)는 전파천문학에 있어서 필수적인 장비이다. 전파분광기로는 분광하는 방법에 따라 필터뱅크와 자기상관기로 크게 구분할 수 있는데, 자기상관기는 고분산, 광대역을 모두 충족시킬 수 있는 장점과 디지털 신호처리를 위한 하드웨어의 발달로 인하여 그 구현이 용이하여 많은 관심을 끌고 있다. 한편 고전적인 분광기로서의 필터뱅크는 중심주

파수가 서로 다른 아나로그 필터들을 RLC 수동소자를 사용하여 구현하는 장치이다. 이 방법은 많은 수동소자를 사용함에 따라 부피가 커지고 신뢰성이 떨어지기는 하지만 비교적 구현이 쉽기 때문에 100kHz에서 1MHz의 주파수 분해능을 갖는 중분산 분광기로 많이 사용되고 있다.

현재 대덕전파천문대에서 사용하는 필터뱅크는 256 채널, 256kHz 주파수 분해능을 갖는 분광기로서 안정적으로 운용되어 왔다. 그러나 기존 사용하고 있는 필터뱅크는 디지털IO 인터페이스 부분에 있어 설계의 노후화로 인하여 저속 IO를 행함으로 인하여 더 나은 데이터 가공을 원천적으로 제한하는 구조를 갖고 있다.

따라서 본 논문에서는 고속의 디지털 IO를 행하여 데이터 샘플링시간을 줄임으로써 데이터 편집시 오염된 데이터의 선택성을 높여 정제된 데이터 가공을 가능하기 위한 고속 데이터 취득 시스템을 제안하고자 한다. 이를 필터뱅크내에 있는 디지털 처리부를 FPGA 이용하여 재설계하여 고속의 IO를 가능하게 하고자 한다.

2. 전파분광기

대덕전파천문대에서 사용하고 있는 필터뱅크의 기본 블록은 그림 1과 같이, 수신기로부터 1391MHz 중간주파수 신호(Intermediate Frequency)를 256채널로 분배하는 분배부, 1391MHz 중간주파수 신호를 150MHz,

8MHz로 변환하는 주파수 변환부, 신호를 적절한 크기로 만드는 감쇄부 및 증폭부, 중간주파수 신호를 각 채널 대역별로 필터링하는 필터부, AC신호의 크기를 DC로 표현하는 자승검파기, DC아나로그 신호를 주파수 크기로 변환하는 V/F 변환기, 일정시간동안 펄스를 세어 즉, DC신호를 적분하여 그 값을 디지털값으로 표현하는 카운터부, 디지털 신호를 컴퓨터로 이송하는 디지털 IO로 구성된다.

본 논문에서는 이러한 여러 구성항목 중에서 카운터부와 디지털 IO 부분으로 그 관심을 한정하고자 한다. 신호의 적분시간을 결정하는 요소는 두가지로 요약되는데 그 최소 시간은 관측효율 및 V/F변환기의 하드웨어 사양인 분해능과 관련된다. 하나의 데이터가 생성되기 위해서는 데이터를 생산하기 위해 관측에 소요되는 시간(적분시간)과 데이터를 컴퓨터로 이송하는데 걸리는 시간으로 분류할 수 있는데, 현재 시스템의 설계로는 데이터를 컴퓨터로 옮기는 시간동안 관측은 할 수 없는 구조로 되어 있기 때문에 데이터 이송 시간이 관측시간에 비하여 클수록 관측효율은 떨어지게 된다. 이러한 관측 효율은 일반적으로 99%정도로 설계하여야 하므로 데이터 이송시간과 신호의 적분시간의 비율은 0.01이 되도록 설계하여야 한다. 현재 시스템의 데이터 이송시간은 256채널의 데이터를 모두 이송하는데 5ms가 소요된다.

따라서 적분시간은 500ms 이상으로 하여야 관측 효율을 99% 이상이 되게 할 수 있다. 그러므로 현재 시스템의 최소 신호 적분 시간은 500ms 로 되어있다. 또, 현재 시스템의 V/F 변환기의 사양은 0~10V를 0Hz~50kHz 로 변환할 수 있는 분해능을 갖고 있다.

그런데 V/F 변환기를 통하여 신호의 크기를 디지털값으로 변환하는 과정에서 발행하는 양자화 오차를 0.1%로 낮추기 위해서는 50kHz 펄스를 1000개 셀수 있는 시간 이상, 즉, 20ms이상의 적분시간을 갖어야 양자화 오차를 0.1% 이하로 줄일 수 있다. 99% 관측효율을 만족시키기 위한 수치인 500ms 이상은 양자화 오차를 0.1%이하로 줄이기 위한 20ms 이상이라는 수치에 대하여 충분조건이기 때문에 관측 효율을 고려한 적분시간인 500ms 이상만을 만족시키면 됨을 알 수 있다. 데이터를 생산하기 위한 또다른 제약은 카운터의 크기이다. 이는 신호의 최대적분시간을 결정하는 요소이다. 현재의, 카운터는 16bit로서 0 ~ 65535의 수를 셀 수 있다. V/F변환기의 최대 출력인 50kHz로 65535를 셀 수 있는 시간은 약 1.3s가 된다. 따라서 적분시간은 500ms 이상 1.3s 이하에서 결정되고 있다.

본 논문의 목적은 적분시간을 최소로함으로써 하나의 데이터에 포함된 시간정보를 줄이므로써 오염된 데이터를 선택적으로 제거할 수 있게하여 정제된 데이터만을 취할 수 있게함에 있다. 이러한 목적을 달성하기 위하여, 위에서 언급한 하드웨어적인 제한인 데이터 전송속도를 높이고, 카운터의 크기를 크게 설계하고, V/F변환기의 분해능을 높이는 조치를 취할 수 있다. 본 논문에서는 디지털 부에 관련된 데이터 전송속도를 높이고 카운터의 크기를 크게하는 두가지의 일에 집중하고자 한다. 이러한 작업은 FPGA를 통하여 구현할 수 있다. 특히, EAB(Embedded Array Block)에 구성할 수 있는 FIFO(First IN First Out)메모리를 이용하여 효율적으로 구현하고자 한다.

3. FPGA 를 이용한 데이터 취득 시스템

앞절에서 언급한 사항들을 구현하기 위하여 필요한 하드웨어 사양을 정리하면 다음과 같다. 우선 V/F 변환기는 기존의 50kHz 분해능을 그대로 사용하며, 관측시간(노출시간)을 충분히 줄 수 있도록 카운터는 24bit 로 설계하여 약 5 분정도 관측노출을 행할 수 있도록 하며, 빠른 재 관측을 위하여 데이터의 덩 뜨는 FIFO 메모리에 하게 되는데 FIFO 는 4096 WOR 의 깊이를 사용하였다. 이를 위하여 본 논문에서는 ALTERA 사의 EPF10K200SRC240 을 사용하였다. 본 절에서는 설계된 FPGA 를 이용한 데이터 취득 시스템을 살펴보고자 한다.

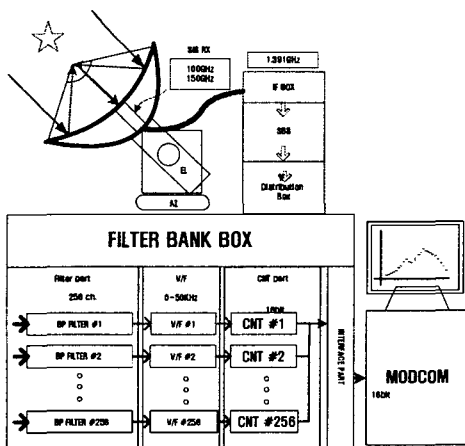


그림 1 전파망원경의 구성도 그런데 V/F 변환기

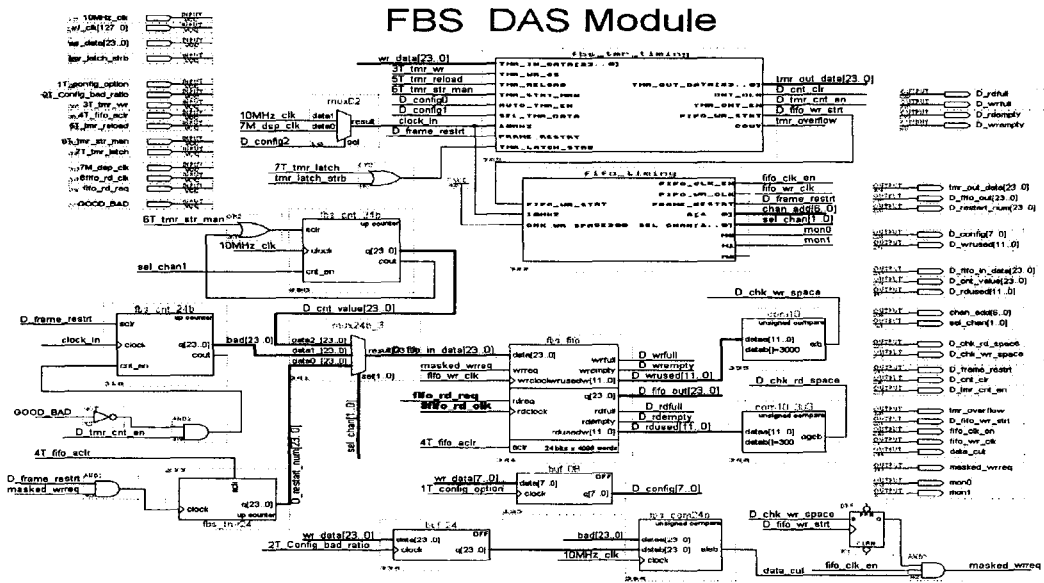


그림 3 설계된 필터뱅크 데이터 I/O 부

그림 2 는 설계하고자 하는 시스템의 블록도이며, 그림 3 은 이를 바탕으로 설계된 FPGA 데이터 I/O 회로이다. 256 채널의 펄스열을 갖는 데이터 라인을 위하여 2 개의 FPGA 를 사용하여, 각 FPGA 마다 128 채널을 담당하게 하였다. 128 채널의 신호가 128 개의 24 비트 카운터에 입력되어 일정시간동안의 펄스수가 카운팅되게 하였으며, 각 카운터는 TIMER TIMING 이란 블록에서 카운터의 시작과 리셋의 명령을 받는다. 신호 흐름도 관측 샘플링 시간(노출시간) 이 지난후 128 채널의 데이터는 FIFO 메모리에 저장되게 되는데 이는 TIMER_TIMING 에서 FIFO_wr_strt 라는 신호와함께 시작된다.

FBS DAS Signal Flow

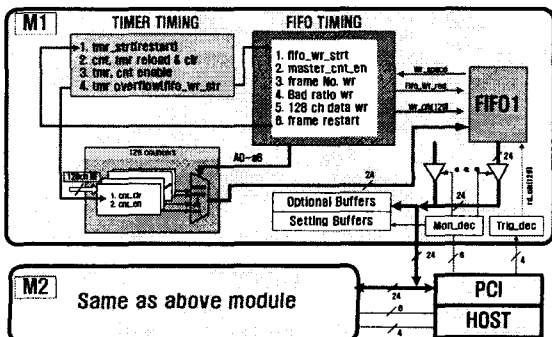


그림 2. 필터뱅크의 데이터 취득 시스템의 블록도

FIFO 의 깊이는 4096word 로 HOST 컴퓨터에서 FIFO 의 메모리 사용량을 검사하여 적정한 시점에서 FIFO 에서 HOST 컴퓨터로 데이터를 upload 시킨다. 그림 4 은 설계된 필터뱅크 데이터 I/O 를 위한 타이밍도이다. 최초 4 클럭동안은 관측에 필요한 옵션들이 설정되는 부분이다. 즉, 관측주기, 데이터 오염도에 따른 데이터 선택도 등을 설정할 수 있다. 설정이 끝나면 128 채널 카운터의 동작이 시작된다. 설정시간이 지나면 FIFO 에 관측된 128 채널의 데이터(1 프레임 데이터)가 FIFO 에 저장된다.

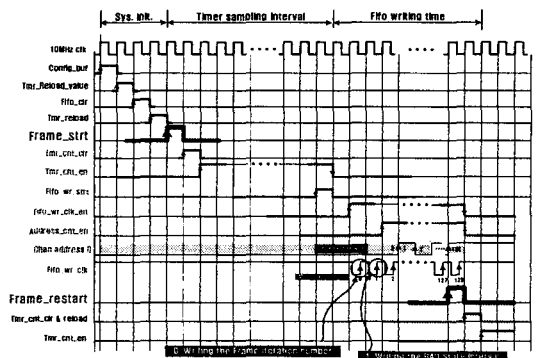


그림 4 필터뱅크 데이터 I/O 타이밍 차트

이때 데이터의 헤더가 작성되게 되는데, 프레임 데이터의 번호가 부여되고, 데이터의 오염도가 기록된다. 이 오염도는 설정된 오염도 이하의 것만 선택되어 FIFO 메모리에 저장된다. 2 개의 헤더 정보를 기록한 후 128 채널의 데이터가 기록된다. 재 관측은 frame_restart 라는 신호를 사용하여 타이머의 주기값을 reload 시킨 후 다시 시작된다.

4. 시뮬레이션 및 실험

앞절에서 설명한 설계대로 설계된 회로가 잘 동작하는지 시뮬레이션과 실험파형을 측정하여 보았다. 그림 5 는 FIFO 메모리에 2word 의 헤더정보와 128 개의 채널 데이터를 기록할 때의 각종 타이밍 신호들의 시뮬레이션 파형이다. 그림 6 은 설계된 회로를 FPGA EPF10K200SRC2240 에 구현하였을 때 시뮬레이션에서 보여진 바와 같은 부위의 측정 파형이다. 시뮬레이션과 실험파형에서 보는 바와 같이 fifo_clk_en 신호가 발생하 후 2 개의 fifo_clk 가 발생하여 2 개의 헤더정보를 기록 하고 128 개의 채널데이터를 얻기위한 fifo_clk 이 지난 후 frm_restart 신호에 의하여 fifo 에 관련된 신호가 모두 disable 되는것을 확인할 수 있다. 시뮬레이션과 실험결과 초기에 설계한 타이밍도와 모두 잘 일치함을 확인할 수 있었다. 따라서 본 논문에서 개발한 디지털 I/O 의 메모리 인터페이스는 잘 이루어지고 있음을 알 수 있다. 시스템의 전체적인 운용을 위해 그림 7 과 같이 VC++로 운용프로그램을 작성하였다.

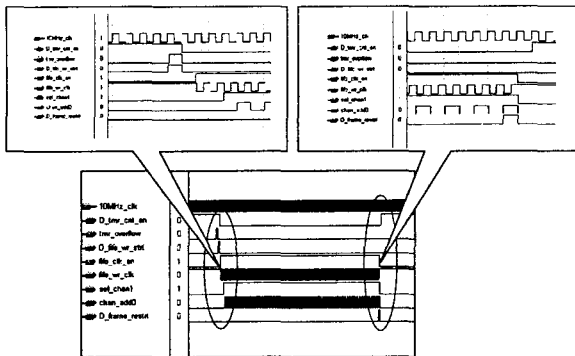


그림 5. 주요 지점의 타이밍 시뮬레이션

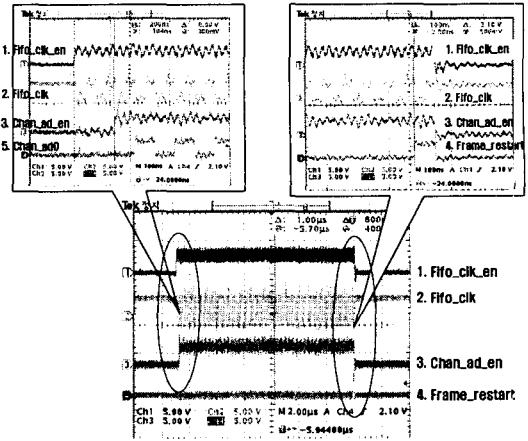


그림 6. 주요 지점의 타이밍 실험결과

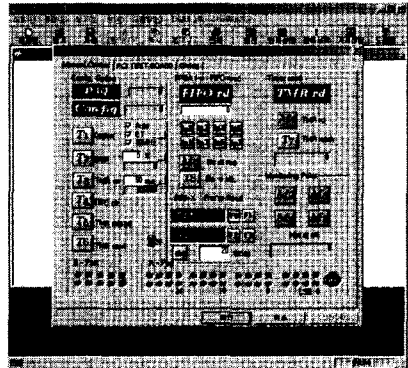


그림 7. Host 프로그램

5. 결론

본 논문에서는 FPGA 를 이용하여 기존의 비효율적으로 구성된 전파망원경용 필터뱅크의 디지털 I/O 를 개선하였다. 이를 이용한 고속 I/O 를 통한 데이터 취득은 데이터의 질에 따라 선택적으로 데이터를 취할 수 있게 됨으로서 양질의 전파신호를 추출할 수 있게 되었다. 앞으로 V/F 변환기 부분의 분해능을 더욱 높게 되면 더 빠른 데이터 취득을 할 수 있게 될것으로 기대된다.

참고문헌

- [1] Millitech Technical Manual 1985, Millitech FBS-250 Filter Bank Spectrometer, Millitech Corporation(USA)
- [2] 양오, 디지털시스템 설계 및 응용, 1998, 북두
- [3] 김광동, 정재훈, 김효령, 김태성, "25KHZ Filter Bank 전파분광기의 제작", 한국천문학회논문지, Vol.11, No.1, 1996.