

## 다치논리를 적용한 D/A 변환기의 설계

이철원, 한성일, 최영희, 성현경\*, 김홍수  
인하대학교 전자공학과, \*상지대학교 컴퓨터정보공학과  
(032)860-7413 / H.P 011-9067-4874

### Design of D/A Converter using the Multiple-valued Logic

Chul Won Lee, Sung Il Han, Young Hee Choi, Hyeon Kyeong Seong\*, Heung Soo Kim  
Dept. of Electronic Engineering Inha University  
\* School of Computer and Information Engineering, Sangji Univ.  
e-mail: [g2021097@inhavision.inha.ac.kr](mailto:g2021097@inhavision.inha.ac.kr)

#### Abstract

In this paper, we designed 12Bit DAC(Digital to Analog Converter) that applied to multiple-valued logic system to Binary system. The proposed D/A Converter structure consists of the Binary to Quaternary Converter(BQC) and Quaternary to Analog Converter(QAC). The BQC converts the two input binary signals to the one Digit Quaternary output signal. The QAC converts the Quaternary input signal to the Analog output signal. The proposed DAC structure can implement voltage mode DAC that high resolution low power consumption with reduced chip area. And also, it has advantage of the easy expansion of resolution and fast settling time.

#### I. 서론

집적회로 기술의 발전은 하나의 디바이스에 시스템 레벨의 집적을 가능하게 만들었다. 그러나, 갈수록 사용자가 요구하는 디바이스의 요구성능은 점점 더 복잡다양해지고 칩의 소형화가 요구되는 추세에 있다. 또한, 고집적화로 갈수록 공정상의 물리적인 한계로 인해 발생하는 여러가지 문제점들이나 비용적인 측면을 고려할 때, 기존의 2진체계에 바탕을 둔 소자로는 초고집적화(ULSI)를 실현하기 위한 한계점에 봉착하게 되었다. 이를 해결하기 위한 하나의 방안으로 0과 1외에도 다수개의 논리값을 가지는 다치논리(Multiple-Valued Logic)를 집적회로 기술에 접목시켜 디바이스 내부의 소자개수

및 상호결선수를 줄임은 물론, 단위 면적당 데이터 처리능력을 향상시키기 위한 소자개발의 연구가 활발히 진행중이다. [1-2] 본 논문에서는 다양한 신호가 존재하는 혼성신호집적회로(Mixed Signal Integrated Circuit)에서 필수적인 데이터 변환회로에 다치논리를 적용하여 일반적인 CMOS설계기법에 의해 구현된 DAC보다 구조적으로 간단하고 훨씬 적은 면적으로 구현이 가능한 저전력 고해상도 전압모드DAC를 제안하였다. 전체회로의 모의실험은 Hymix Double Poly 4 Metal Standard 0.35 $\mu$  m n-well 공정파라미터를 사용하여 HSPICE로 도출하였다. 본 논문의 서술과정은 II장에서는 제안된 QAC에 사용된 Neuron-MOS의 구조와 동작에 대한 설명, III장에서는 제안된 DAC회로의 동작설명 및 각 블록들의 간략한 설명을 보였고, IV장에서는 모의실험 결과를 제시하고 V장에서는 비교검토, VI장에서는 결론과 향후 연구과제에 대해서 논하였다.

#### II. Neuron-MOS(vMOS) [2]

뉴런모스는 하나의 공통게이트(Floating gate)와 다수의 입력게이트(Input gate)를 갖는 형태의 트랜지스터로서 플로팅게이트와 입력게이트 사이의 용량성결합계수(capacitive coupling coefficient)와 입력 바이어스에 따라 고정된 문턱전압이 아닌 다중문턱전압을 구현할 수 있음을 큰 장점으로 하는 소자이다. 그림 1은 뉴런모스의 기본구조를 보여주고 있으며, 이를 용량성계수와 입력단 바이어스의 등가회로로 표현하면 그림 2와 같다.

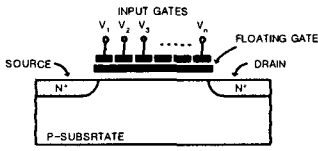


그림 1. ν MOS의 기본구조

Fig. 1. Basic structure of ν MOS

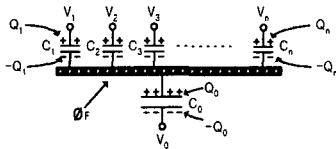


그림 2. ν MOS의 등가모델

Fig. 2. The Equivalent Model of ν MOS

그림 2에서 플로팅게이트의 전위를  $\Phi_F$ 라하면 플로팅 게이트에 발생하는 전하량은 다음 식(1)로 표현된다.

$$Q_F = Q_0 + \sum_{i=1}^n (-Q) = \sum_{i=0}^n C_i (\Phi_F - V_i)$$

$$= \Phi_F \sum_{i=0}^n C_i - \sum_{i=1}^n C_i V_i \quad (1)$$

플로팅게이트의 초기전하주입이 없다면  $Q_F$ 는 초기조건으로 0으로 볼 수 있고, 식 (1)은 식 (2)로 간단히 표현된다.

$$\Phi_F = \frac{C_1 V_1 + C_2 V_2 + \dots + C_n V_n}{C_{TOT}} \quad (2)$$

여기서  $C_{TOT} = \sum_{i=0}^n C_i$  이다.

위의 식 (2)에 의해  $\Phi_F$ 는 각 입력게이트의 용량성분으로 인해 가중치가 부여된 모든 입력전압들의 선형적인 합에 따라 결정되며,  $\Phi_F$ 가 소자의 문턱전압을 초과하게 되면 소자가 ON 되고 문턱전압보다 낮으면 OFF 되는 특성을 가진다. 이러한 특성을 이용하여 공정상의 물리적인 변화 없이도 다양한 문턱전압값을 가지는 트랜지스터, 선형저항, ν MOS inverter, ν MOS source follower 등의 회로 구현이 가능하다. 특히, ν MOS 소스 폴로워 회로는 각각의 입력게이트에  $C_i = 2^{i-1}$  ( $i=1, 2, \dots, n$ )으로 용량성 가중치를 부여함으로써 2진 입력에 대하여 아날로그 출력을 갖는 single device DAC 구현이 가능하다.

### III . DAC 전체구조 및 동작설명

본 장에서는 제안된 DAC의 전체구조 및 각 블록들의 동작에 대해서 논한다.

#### 3.1 전체구조

그림 4는 본 논문에서 제안한 12비트 DAC의 전체 블록도이다. 입력되는 바이너리 신호는 2비트씩 조합되어 BQC 블록을 통하여 1Digit 4치신호로 변환된다. 변환된 4치신호는 QAC의 입력이 되고, 입력된 n-Digit 4치 신호의 조합으로 QAC는

$$V_{OUT} = \frac{V_{DD}}{4^n - 1} (Q_1 + 4Q_2 + \dots + 4^{n-1} Q_n) \quad (4)$$

의 아날로그 신호를 출력한다.

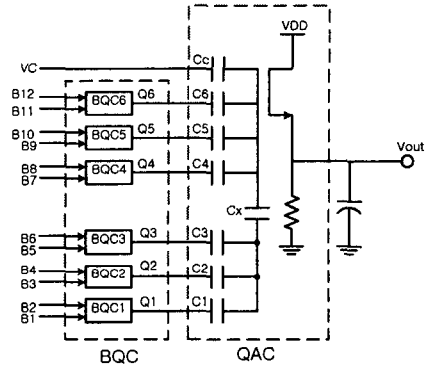


그림 4. 12 Bit DAC 전체구조

Fig. 4. Full Circuit of 12 bit DAC

#### 3.2 2진-4치 변환기(BQC) [7]

BQC(Binary to Quaternary converter)는 2비트의 2진 입력 신호를 1디지트4치 출력신호로 변환하는 회로로, 제어 신호발생블록, 전압분배블록, Pass Gate블록으로 구성된다. 그림 5와 표 1에서 전체회로와 신호변환 과정에 따른 진리표를 보였다.

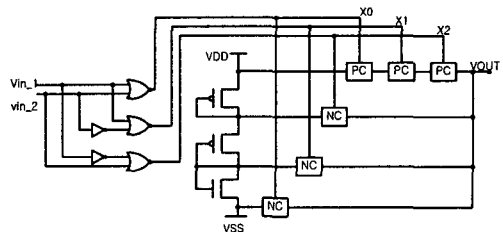


그림 5. 2진 4치 변환 회로

Fig. 5. BQC(Binary to Quaternary converter) circuit

표 1. 신호변환 과정에 따른 진리표

Table 1. Truth table as Signal Transformation

입력		제어신호			출력
Vin_1	Vin_2	X0	X1	X2	Vout
0	0	1	0	0	0v
0	1	0	1	0	1.1v
1	0	0	0	1	2.2v
1	1	0	0	0	3.3v

### 3.3 4치-아날로그 변환기(QAC)

그림 6은 본 논문에서 제안한 전압모드 6Digit QAC(Quaternary to Analog Converter)의 회로이다. 이는 2진상의 12비트 해상도에 해당한다. 제안된 QAC는 결합형캐패시터  $C_x$ 로 상위 3Digit와 하위 3Digit를 분리시키고, 분리된 영역에서는 일반적인 가중치 기법을 이용하여 입력단의 용량성분계수를  $C_i=4^{i-1}$  ( $i=1,2,\dots,n$ )으로 가중치를 주어 4치입력에 대해 식(4)와 같은 아날로그 출력값을 얻을 수 있도록 하였다. 다중 입력게이트에 대한 캐패시터는 공정상에서 지원하는 이중폴리를 사용하고, 최하위디지털에서의 캐패시터의 크기  $C_1=0.01[\text{pF}]$ 로 설정하였다. 두 영역을 분리시킨 결합형 캐패시터의 크기 조절은 상위디지털에서 바라본 하위디지털의 총 캐패시터의 크기가 1C 이어야 하므로,

$$\frac{21C \times C_x}{21C + C_x} = 1C \quad (5)$$

식(5)와 같은 관계식이 성립하고 이를 만족하는  $C_x$  값은  $0.0105[\text{pF}]$ 이다. 그러나, 시뮬레이션 결과를 통해 이상적인값은  $0.014[\text{pF}]$ 임을 확인할 수 있었다.

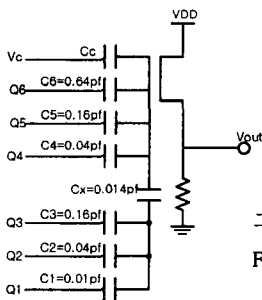


그림 6. 4치-아날로그 변환기 Fig. 6. QAC(Quaternary to Analog Converter)circuit

또한, 조정게이트 (Calibration gate)<sup>[3]</sup>를 추가하여 Device의 Linearity를 증대시킴으로써 최하위 입력레벨들에 대한 출력이  $V_{SS}$ 로 포화되는 것을 방지하였다. 조정게이

트의 캐패시터값은  $0.5[\text{pF}]$ 으로 사용하였으며  $V_C=V_{DD}$ 로 인가하여 실험하였다. 그리고, 부하저항의 조정에 따라 출력스윙폭을 쉽게 조절할 수 있는데, Hspice를 통한 모의실험에는  $10[\text{k}\Omega]$ 의 부하저항을 사용하였다. 4치신호의 레벨값은 0, 1, 2, 3을 각각  $0[\text{V}]$ ,  $1.1[\text{V}]$ ,  $2.2[\text{V}]$ ,  $3.3[\text{V}]$ 로 입력하였다. QAC의 n-Digit로의 확장은  $C_i=4^{i-1}$  ( $i=1,2,\dots,n$ )로 가중치가 부여된 입력게이트의 추가와 결합형 캐패시터의 조정으로 쉽게 이루어질 수 있으며, 여기에 BQC블록을 추가하면 2n-Bit의 해상도를 증가시킬 수 있다.

## IV. 모의실험 결과

그림 8에서 12Bit DAC의 출력파형과 그림 9에서 2진상의 16Bit 해상도에 해당하는 8Digit QAC의 출력파형을 보였다. 12Bit DAC는 부하저항을  $10[\text{k}\Omega]$ 으로 사용했을 때  $0.3[\text{V}]$ 와  $1.84[\text{V}]$  사이에서 4096의 전압레벨을 보이며, 8Digit QAC는 부하저항을  $20[\text{k}\Omega]$ 으로 사용했을 때  $0.1[\text{V}]$ 와  $1.96[\text{V}]$ 사이에서 65536의 전압레벨을 보인다. 표 2는 12Bit DAC의 시뮬레이션 결과를 통해 측정된 회로의 성능을 나타낸다.

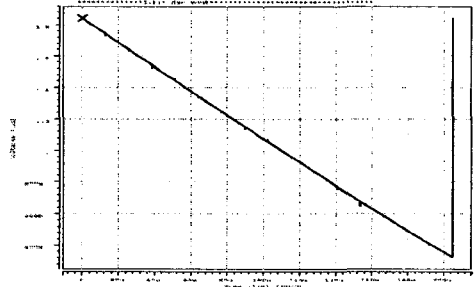


그림 8. 12-Bit DAC의 출력파형

Fig. 8. Simulation Result of 12-Bit DAC

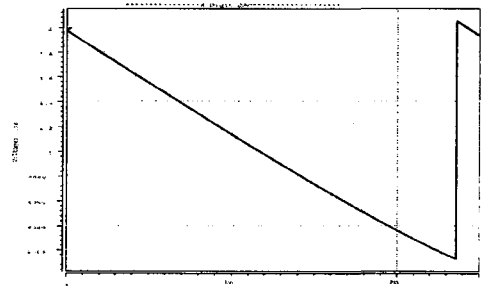


그림 9. 8Digit QAC의 출력파형

Fig. 9. Simulation Result of 8Digit QAC

표 2. 12비트 DAC의 모의실험결과

Table 2. Simulation Result of 12-Bit DAC

Technology	CMOS n-well 0.35 $\mu$ m
Resolution	12 Bit
Rising/Falling time	0.1[nsec]
Settling time	50[nsec]
output voltage swing	1.54[V]
Power supply	3.3[V]
Power Consumption	22.4[mW]

### V. 비교 및 검토

본 장에서는 분리형 가중치 캐패시터 구조를 갖는 DAC들과 본 논문에서 제안한 DAC를 12비트 해상도를 기준으로 캐패시터의 크기 및 개수를 비교하여 표 3에서 나타내었다. 또한, QAC와 동일한 기능의 Xunwei Wu가 제안한 가중치저항을 이용한 전류모드 Quaternary DAC<sup>[5]</sup>를 n-Digit 4치 신호를 아날로그 출력신호로 변환시 필요한 소자수를 본 논문에서 제안한 전압모드 QAC와 비교하여 표 4에서 나타내었다.

표 3. DAC 구조에 따른 cap 비교

Table 3. Comparison of capacitors as DAC structure

DAC 항목	Conventional chargscaling DAC <sup>[5]</sup>	$\nu$ MOSDAC designed by martins <sup>[8]</sup>	DAC proposed in this paper
Cap.NO(EA)	14	15	8
C <sub>max</sub>	128Cu	64Cu	64Cu

Cu : unit capacitance

표 4. QAC의 소자수 비교

Table 4. Comparison of QAC Elements

Element Required (EA)	Current mode Quaternary DAC	QAC proposed in this paper
	4-2decoder : n Resistor : 3n Switch : 3n	Transistor : 1 Capacitor : n+1 Resistor : 1

### VI. 결론

본 논문에서 제안한 DAC는 기존의 2진시스템에 다치

논리를 적용하여, 일반적인 2진상의 분리형 가중치 캐패시터 타입의 DAC에 비해 입력디지털 수의 감소를 통한 캐패시터의 크기 및 개수를 줄임으로써 칩면적의 감소 및 22.4[mW]의 낮은전력소모와 50[ns]의 빠른 정착시간을 특성으로 갖는다. 그리고, 전체적으로 단순화된 구조를 통해 단지 하나의 BQC블록과 QAC입력을 추가하고 결합형 캐패시터의 크기를 조절함으로써 2비트의 해상도를 올릴 수 있으며, 이는 디바이스의 설계 복잡도 감소 및 해상도의 확장이 용이하다는 장점을 갖는다. 향후과제로는 제안된 회로의 레이아웃과 칩 제작이며, 4치입력에 대한 논리연산이 가능한 다치논리스 자 개발과 2진시스템과의 연동회로 개발이 예상된다.

### VII. 참고문헌

- [1] SI. Han, SY. Park, HK Seong and HS. Kim, " A Current-Mode Folding/Interpolating CMOS Analog to Quaternary Converter Using Binary to Quaternary Encoding Block" , Proc. 32<sup>nd</sup> ISMVL pp. 276-281, Boston USA, May 2002.
- [2] Tadashi Shibata, Tadahiro Ohimi, " A Functional MOS Transistor Featuring Gate-level Weighted Sum and Threshold Operation" , IEEE Trans. Electron device, Vol. 39, NO. 6, June 1992
- [3] A.Rantala, S.Franssila, K.Kaski, J.Lampinen, M.oberg and P.Kuivalainen, " Improved neuron MOS-transistor syructures for integrated neurol network circuits" . IEE Proc-circuits Syst. Vol. 148 NO. 1, February 2001
- [4] Xunwei wu, Xuanchang Zhou, " Novel  $\Pi$ -Type Resistor Network in D/A converter Based on Multiple-Valued Logic" Proc. 30<sup>th</sup> ISMVL, pp.227~230
- [5] R. Jacob Baker, Harry W.Li, David E. Boyco, " CMOS Circuit Design, Layout,and Simulation" Institute of Electrical and Electronics Engineers, Inc,1998
- [6] 한성일, 박승용, 김홍수 " 뉴런모스를 이용한 아날로그 변환기 설계에 관한연구" 대한전자공학 회논문지 2002-39sc-3-3
- [7] 한성일, 이호경, 황종학, 김홍수, " 2진-4치 변기 설계에 관한 연구" 대한전자공학회논문지 2003-40SC-3-8
- [8]D.G.Martins, A.Rantala, M.oberg "A15bit neuron-MOS Dgital-to-Analogconverter" Research Activities in Microelectronics 2000, pp8-9