

복합 멀티미디어 단말을 위한 유연 DSP 알고리즘 구현구조

김 정 근, 오 화 용, 이 은 서, 장 태 규
중앙대학교 전자전기공학부
전화 : 02-820-5318

Reconfigurable DSP Algorithm S/W Structure for Multimedia Service Terminal

Jung-Keun Kim, Wha-Yong Oh, Eun-Seo Lee, Tae-Gyu Chang
School of Electrics and Electronics Engineering, Chung-Ang University.
E-mail : tgchang@cau.ac.kr

Abstract

본 논문에서는 다양한 서비스를 지원하면서도 비용 효율적인 구조로 구현이 가능하게 하는 유연 멀티미디어 단말구조를 제시하고 있다. 제시된 단말 구조는 단말에 시스템 프로세서와 범용의 DSP 프로세서를 사용하고 실시간의 복잡한 연산을 필요로 하는 멀티미디어 응용프로그램을 DSP에서 수행하도록 하였다. DSP application은 알고리즘 표준화기법에 의한 프로그래밍 구조를 적용하여 단말의 재구성이 가능하도록 하였다. 본 논문에서는 이와 같이 설계된 단말의 재구성과 동작을 검증하기 위하여 Dolby AC-3 코더를 구현하고 그 동작을 시험하여 보았다.

I. 서론

인터넷과 World Wide Web은 컴퓨터와 통신분야의 지속적인 convergence를 이루어 오고 있으며, 최근 프로세서 고속화, 네트워크의 광대역화, 방송의 디지털화는 전자 산업의 각 분야별 융합을 더욱 가속화 하고 있다. 이러한 디지털 컨버전스[1]화는 단품위주의 영역 한정적 서비스를 지원하던 기존의 PC, TV, Audio component 등의 전자제품과는 달리 이종영역기술을 통

합하고 이로 인한 새로운 형태의 기능 및 서비스를 제공하는 신개념의 제품을 제시하고 있다. 다양한 기능 지원 및 다중 형식 컨텐츠처리에 대한 요구는 멀티미디어 서비스 단말의 구성에 있어서 프로세서, 주변장치 및 메모리등 시스템 자원의 요구를 증가시키는 요인이 되고 있다.

본 논문에서는 DSP를 사용한 멀티미디어 지원 단말 H/W구조를 설계하고 알고리즘 표준화 기법을 적용 S/W 재구성 구조와 함께 제시하였다. 본 논문에서 제시하는 H/W구조는 단말에 시스템 프로세서와 범용의 DSP프로세서를 사용하고, 실시간의 복잡한 연산을 필요로 하는 멀티미디어 응용 프로그램을 DSP에서 수행하도록 하였다. DSP에서 처리하는 멀티미디어 응용 프로그램은 알고리즘 표준화 기법을 사용하여 구성하였다. 이와 같은 알고리즘 표준화 기법을 이용한 프로그래밍 구조는 복수의 전용 H/W 또는 많은 양의 시스템 자원을 필요로 하는 멀티미디어 application들을 단일의 DSP H/W에서 선택적 재구성에 의해 수행될 수 있도록 하므로 비용효과적인 구조로 단말을 구현하는 것을 가능하게 해준다.

이하의 절에서는 재구성 가능한 멀티미디어 단말의 H/W구성, 알고리즘 표준화기법의 의한 프로그래밍 구조, S/W구조의 설계를 차례로 기술하였다.

서 제시한 재구성 H/W의 구성도를 다음의 그림 2에 나타내었다.

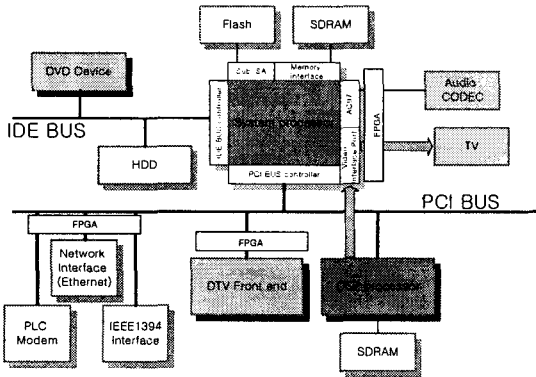


그림 2. 본 논문에서 제시한 복합멀티미디어 지원 유연 DSP 시스템의 H/W 구성.

그림 2에서 시스템 프로세서는 주변장치, 버스 및 입출력 포트를 컨트롤하며 복잡한 연산을 필요로 하지 않는 user interface, A/V streaming, web application, 제어 네트워크 등의 기능을 수행하며, DSP에서 많은 시스템 자원과 복잡한 계산을 필요로 하는 멀티미디어 코더와 같은 application들을 처리하여주도록 하고 있다. 범용의 DSP에서는 H.263, MPEG-2 video decoder, MPEG-2 AAC, Dolby AC-3, MP3 등과 같은 멀티미디어 코더 알고리즘들을 선택적으로 재구성하여 줌으로써 DVD, DTV, Audio component, VoIP 등 기능에서 중복적인 부분을 처리하여 줄 수 있다.

III. S/W reconfiguration에 기반한 플랫폼 재구성 기법

본 논문에서는 범용의 DSP를 기반으로 하는 동적 재구성 S/W 구조를 제시하고 있다. 플랫폼의 function을 S/W에 의해서 정의하는 방식의 유연성은 전용의 H/W를 구현하는 것에 비해 플랫폼 설계, 구현, 디버깅 및 기능 업그레이드가 용이하다는 장점을 가진다. 이러한 장점으로 인하여 단일의 처리블럭으로 다중동작을 지원할 수 있고, H/W 변경 없이 Global operation 및 표준 변화에 대처하는 것이 가능하다.

본 절에서는 이러한 S/W 재구성의 효율성을 높여 주기 위한 프로그래밍 기법중 하나인 알고리즘 표준화 기법과 이를 적용한 S/W architecture에 대하여 기술

하였다.

3.1 알고리즘 표준화 기법에 기반한 DSP 프로그래밍

알고리즘 표준화 기법[5]은 효율적인 DSP 단말 개발을 위하여 객체지향 프로그래밍 방식에 의해 플랫폼 독립적인 프로그래밍 방식을 제공하여 알고리즘의 portability 및 reusability를 높여주는 기법이다. 알고리즘 표준화 기법에 의한 DSP application의 개발은 그림 3과 같이 플랫폼 독립적인 부분과 플랫폼 의존적인 부분으로 나누어 수행한다.

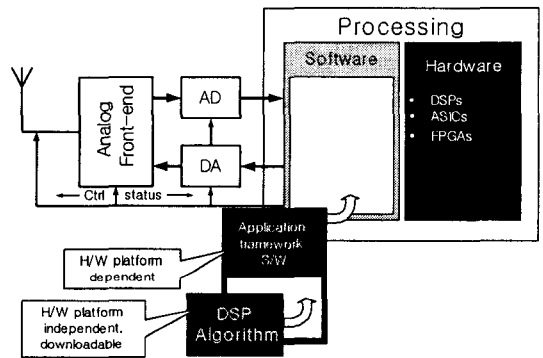


그림 3. 알고리즘 표준화 기법에 기반한 DSP application 개발.

주변장치나 메모리등 플랫폼 의존적인 프로그래밍 부분은 상위 application에서 수행하고, DSP 알고리즘은 application에서 승인한 메모리를 통하여 인터페이스 된다. 그림 4에 알고리즘과 application의 인터페이스 구조를 나타내었다.

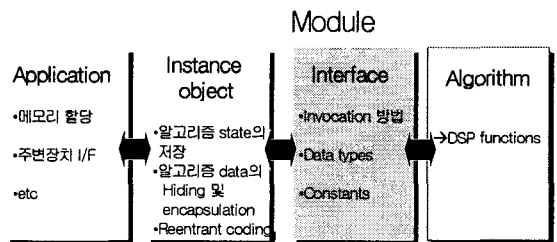


그림 4. 표준 알고리즘 및 application 간 인터페이스 구조.

그림4 에서 application은 알고리즘의 state를 저장하고 있는 data structure인 instance object와 C-callable한 표준 interface 함수들을 통하여 알고리즘의 초기화, 수행, 메모리 관리 및 재설정등을 수행할

수 있다. instance object에 의한 인터페이스 구조는 다수의 프로세스에 대해 re-entrant한 프로그래밍을 지원하여 주며, 표준 인터페이스 함수는 다수의 application과 플랫폼에서 알고리즘 종류에 상관없는 단일화된 access 방식을 제공한다. 따라서 디지털 컨버전스의 여러 기능을 구현하는데 있어서 중복되는 부분을 알고리즘 표준화 기법을 사용하여 구현할 경우 portability 및 reusability를 높여줄 수 있어, S/W에 의한 플랫폼의 재설정에 유리한 기법이다 할 수 있다.

3.2 동적 재구성 S/W 구조

본 절에서는 알고리즘 표준화 기법을 적용하여 설계한 동적재구성 S/W 구조에 대해 기술하였다. 본 논문에서 제시한 S/W architecture는 RTOS, DSP middleware, application의 4가지 계층으로 구분된다. 그림 5에 이의 구성을 나타내었다.

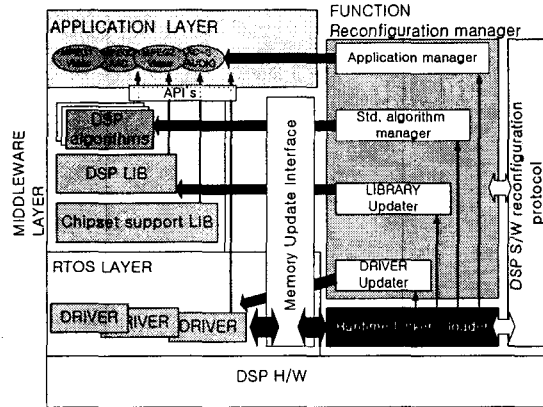


그림 5. 알고리즘 표준화 기법을 적용한 유연 DSP 플랫폼 S/W 구조.

그림 5에의 application layer에서 멀티미디어 코디에서 사용하는 중복적인 DSP 알고리즘 부분들을 Middleware 계층에서 알고리즘 표준화기법을 사용하여 구현하도록 하였다. 따라서 복합 멀티미디어 단말에서 공통적인 인터페이스 함수를 사용하는 application 부분을 download에 하여 줌으로써 reconfiguration이 수행되도록 설계하였다. 오른쪽의 기능 재설정 관리자는 system processor와 인터페이스되는 부분으로 재설정기에 따른 S/W를 download 및 link를 시켜주는 부분이다. 재설정 관리자는 application의 update 뿐 아니라, 표준화 알고리즘, 라이브러리, driver들의 업그레이드도 수행하도록 설계하였다.

이상과 같이 설계된 DSP 플랫폼 구조는 복합 멀티미디어 단말에서 계산 및 자원 부담이 큰 멀티미디어 application을 효율적으로 재설정하게 하여주어 유연 구조의 복합 멀티미디어 단말을 효과적으로 구현할 수

있게 한다. 이상과 같이 설계된 단말의 타당성을 검증하기 위하여 알고리즘 표준화 기법을 적용하여 IMDCT 블록을 구현하고 이를 Dolby-AC3 코디에 적용하여 시험한 결과 성공적인 동작을 확인할 수 있었다.

IV. 결론

본 논문에서는 차세대의 정보가전의 핵심분야가 될 것으로 예상되는 복합 멀티미디어 단말을 구현하기 위한 H/W 및 S/W 구조를 제시하였다. 본 논문에서는 유연 멀티미디어 단말을 위한 기본적인 H/W 구성 및 S/W 프로그래밍 구조 설계까지의 범위를 중점적으로 기술하였다. 제시된 단말 구조는 다기능 지원을 위해 요구되는 시스템 자원 및 중복 요소들을 줄여줄 수 있는 유효한 기법이다. 본 논문에서 소개된 기법은 플랫폼의 동적 재구성이라는 개념을 제시하여, 단편적인 기능의 수용에 국한된 멀티미디어 단말의 정의를 능동적 기능 선택 및 조합까지 확장하여 주는 의미가 있다 하겠다.

참고문헌

- [1] Decina, M. "The Internet revolution: reshaping business for the 21st century," Broadband Switching Systems, 1997. Proceedings. 2nd IEEE International Workshop on , 2-4 Dec. 1997
- [2] ETSI. TS-101-812, Edition1.2.1, "Digital Video Broadcasting (DVB) Multimedia Home Platform (MHP)", 2003, 6
- [3] ATSC Standard A/100-1, "DTV Application Software Environment. Level 1 (DASE-1)," Part1, 2003. 3
- [4] 김종윤, 이재식, 김재화, 장태규, "다채널 오디오 equalizer의 ASIC 구현을 위한 time-sharing multiplier 구조에 관한 연구," 한국음향학회 하계 학술대회논문집, 제19권 제1(s)호, pp. 343-346, 2000년 7월 8일.
- [5] Texas Instrument, SPRU424, "The TMS320 DSP Algorithm Standard - Developer's Guide", 2002, 9.