

멀티미디어 영상신호 처리를 위한 DWT 부호화기 설계

이강현

조선대학교 전자정보통신공학부 MSI Lab.

A Design of Discrete Wavelet Transform Encoder for Multimedia Image Signal Processing

Kang-Hyeon Rhee

School of Electronics and Info-Comm. Eng.,
Multimedia SoC Design Lab., Chosun University
khrhee@chosun.ac.kr

Abstract

The modern multimedia applications which are video processor, video conference or video phone and so forth require real time processing. Because of a large amount of image data, those require high compression performance. In this paper, the proposed image processing encoder was designed by using wavelet transform encoding. The proposed filter block can process image data on the high speed because of composing individual function blocks by parallel and compute both highpass and lowpass coefficient in the same clock cycle. When image data is decomposed into multiresolution, the proposed scheme needs external memory and controller to save intermediate results and it can operate within 33MHz.

1. 서 론

“한 장의 그림은 천 마디 말과 같은 가치를 지니고 있다”는 말처럼 영상정보는 큰 이해성을 가지고 있다. 그러나 영상신호는 많은 양의 데이터로 인하여 저장하거나 전송하는데 애로 사항이 있으며 압축과정에서 상당한 손실을 가져오게 된다. 표현하고자 하는 영상의 화질에 영향을 적게 미치며 최소한의 정보량으로 영상 데이터를 표현하기 위한 많은 압축 방법들이 연구되고 있으며 대표적인 방법들은 예측 부호화, 변환 부호화, 대역 분할 부호화, 벡터 양자화등이 있다[1].

기존의 알고리즘은 DCT(discrete cosine transform)를 기반으로 하는 것이 보편적이었으나 높은 압축률을 가져야 하는 차세대 영상 압축 정보 전송 방법으로 이용하기엔 미흡한 실정이다. 웨이블릿 변환은 시간과 주파수에 대해 국부성을 가지고 신호를 표현할 수 있

어 일반적으로 비정체 신호(non-stationary signal)를 갖는 영상 신호를 해석하는데 유리하고 DCT와 달리 blocking 효과가 없으며, 속도가 빠르고 압축률이 높으며, 변환 영역이 인간의 시각 특성과 비슷한 다중해상도로 표현되어 낮은 전송률을 갖는 선로에서 영상을 전송하는데 있어서 데이터를 점진적으로 전송할 수 있는 특징이 있다[1][6].

이산 웨이블릿 변환(discrete wavelet transform)을 이용한 영상처리가 실제 영상 통신 기기에서 사용되려면 그 처리속도가 매우 빨라야 한다, 이산 웨이블릿 변환을 소프트웨어로 처리한다면, 느린 속도로 인하여 문제가 발생한다. 따라서 이산 웨이블릿 변환을 위한 전용 프로세서의 구조에 대한 연구 및 VLSI의 개발은 매우 필요한 일이다[6].

본 논문에서는 영상신호 처리를 위한 이산 웨이블릿 변환용 부호화기를 하드웨어로 구현한다. 웨이블릿 변환을 위해 필터 뱅크 피라미드 알고리즘을 이용하고 각각의 필터는 FIR필터로 이용하여 구성한다. 각 단의 필터는 병렬 구조로 이루어져 클럭의 동일 싸이클에서 하이패스와 로패스를 동시에 수행함으로써 속도를 향상시킬 수 있다.

2. 이론적 배경

2.1 웨이블릿 이론

DWT는 모웨이브릿(mother wavelet)이라 불리는 기저함수를 변이 시키고 확대하거나 축소시킴으로써 얻어진다. $\psi(t)$ 는 하나의 스케일링 함수 $\varphi(t)$ 로부터 얻어지며 이와 같은 과정으로 얻어진 $\psi(t)$ 의 집합은 일정한 조건을 만족할 때 $L^2(R)$ 의 정규 직교기저를 형성한다. 정규 직교기저란 기저 원소들의 집합으로 집합내의 모든 원소를 생성할 수 있고, 기저간에 아무런

본 연구는 IDEC(반도체 설계 교육센터) 지원으로 수행되었습니다.

상관이 없으며, 기저 원소의 크기가 1인 원소들의 집합을 말한다. 웨이브렛의 기저들은 하나의 모웨이브렛 $\psi(t)$ 에서 출발하며 $\psi(t)$ 는 식(2)에서 보여지는 바와 같이 $\varphi(t)$ 에 의해 얻어지므로 신장 방정식 식(1)을 먼저 생성해야 한다. 이렇게 하여 얻어진 모웨이브렛 $\psi(t)$ 를 천이, 신장시키면 얻어지는 웨이브렛 집합이 $L^2(R)$ 정규 직교기저를 형성한다[6]. 데이터에 대한 웨이브렛 분해는 스케일링 필터와 웨이브렛 필터를 갖는 2-채널 서브밴드 필터로 구성된다.

$$\varphi(t) = 2^{j/2} \varphi(2^j - k) \quad (1)$$

$$\psi(t) = 2^{j/2} \varphi(2^j - k) \quad (2)$$

2.2 필터 계수 및 조건

처리된 데이터의 정확한 재구성을 위해 필터는 여러 조건들을 포함한다. 웨이브렛 필터는 스케일링 필터의 요소에 의해 제공되기 때문에 때로 스케일링 필터의 미러 필터라 불린다. 다음 식들은 각 필터의 조건을 나타낸다[5].

$$\sum_k h_k = \sqrt{2} \quad (3)$$

$$\sum_k h_k h_{k+2m} = \delta \quad (4)$$

$$\sum_k g_k = 0 \quad (5)$$

$$g_j = (-1)^j h(N-j) \quad (6)$$

식 (6)의 웨이브렛 필터 계수는 스케일링 필터 계수로부터 alternating flip으로 얻어진다는 것을 의미한다. 위의 필터 조건들을 만족하며, 그리고 정규화된 스케일링 필터에 대한 D_4 필터 계수는 다음과 같다.

$$\frac{1+\sqrt{3}}{4\sqrt{2}}, \frac{3+\sqrt{3}}{4\sqrt{2}}, \frac{3-\sqrt{3}}{4\sqrt{2}}, \frac{1-\sqrt{3}}{4\sqrt{2}}$$

이산 시간 데이터의 DWT를 계산할 때, 입력 데이터는 high resolution단의 DWT계수를 나타낸다. 식(7)과 식(8)은 서브스테이지(substage)의 DWT 계수를 계산하기 위해 이용된다. 실제에서 이 분해는 몇 단계로 실행되며 신장 계수 $h(n)$ 은 로패스 필터(lowpass filter)를 나타내는 반면 $g(n)$ 은 하이패스 필터(highpass filter)를 나타낸다.

$$c_j = \sum_m h(m-2k) c_{j+1}(m) \quad (7)$$

$$d_j = \sum_m g(m-2k) c_{j+1}(m) \quad (8)$$

$h(n), g(n)$: 스케일링과 웨이브렛함수에 일치하는 신장 계수

식 (7)과 (8)에 대해 downsample(odd row 제거)된 컨볼루션 행렬은 아래와 같다.

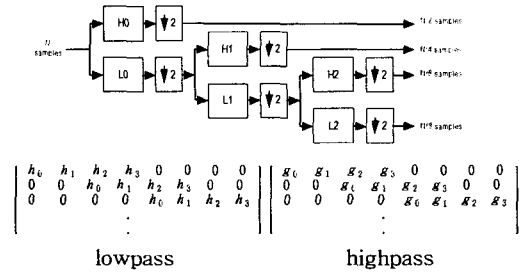


그림 1은 3 단계 DWT과정의 스키메틱을 보인다.

그림 1. 피라미드 알고리즘을 이용한 3단계 DWT

2.3 DWT 계산에서 데이터 의존

1-D 입력 신호에 대한 4차 로패스($h(n)$)와 하이패스($g(n)$)의 FIR 필터의 전달함수는 다음과 같다.

$$H(z) = h_0 + h_1z^{-1} + h_2z^{-2} + h_3z^{-3}$$

$$G(z) = g_0 + g_1z^{-1} + g_2z^{-2} + g_3z^{-3}$$

그림 1에서 보여진 것처럼 DWT 계산은 다른 레벨에서 데이터 의존성 때문에 복잡하다. 그림 2는 DWT를 계산하기 위한 필터에서 데이터 흐름도이다.

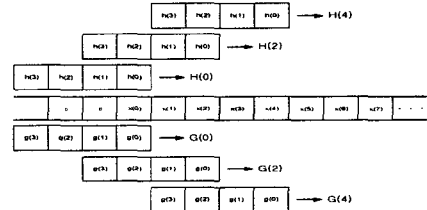


그림 2. 필터에서의 데이터 흐름도

그림 2에서 보여진 형태에 따라 첫 레벨에서 각각의 입력 데이터에 대하여 생성되는 데이터를 구하여 보면 다음과 같다.

$$G(0) = g(0)a(0) + g(1)a(-1) + g(2)a(-2) + g(3)a(-3) \quad (9a)$$

$$G(2) = g(0)a(2) + g(1)a(1) + g(2)a(0) + g(3)a(-1) \quad (9b)$$

$$G(4) = g(0)a(4) + g(1)a(3) + g(2)a(2) + g(3)a(1) \quad (9c)$$

$$G(6) = g(0)a(6) + g(1)a(5) + g(2)a(4) + g(3)a(3) \quad (9d)$$

$$H(0) = h(0)a(0) + h(1)a(-1) + h(2)a(-2) + h(3)a(-3) \quad (9e)$$

$$H(2) = h(0)a(2) + h(1)a(1) + h(2)a(0) + h(3)a(-1) \quad (9f)$$

$$H(4) = h(0)a(4) + h(1)a(3) + h(2)a(2) + h(3)a(1) \quad (9g)$$

$$H(6) = h(0)a(6) + h(1)a(5) + h(2)a(4) + h(3)a(3) \quad (9h)$$

그림 1에서 보인 것처럼 영상신호를 다중해상도를 갖는 신호로 부호화 할 때 첫째단의 로패스 필터로부터 생성된 값은 다음 둘째단의 입력 신호가 되어 하이패스와 로패스필터 처리를 하게 된다. 이런 일련의 반복과정들을 다중해상도 처리라하며, 처리되어 생성된 데이터는 입력 데이터의 절반이 될 것이다. 이러한 특징은 웨이브렛이 갖는 커다란 장점중의 하나이다.

3. 제안된 DWT 변환용 부호화기 설계

본 논문에서 제안한 이산 웨이블릿 변환용 부호화기는 데이터 정규화부, 입력 delay, 승산부, 가산부 그리고 처리된 결과 값들을 downsampling하는 downsampler와 중간 결과 값들을 저장하기 위한 외부 메모리로 구성된다. 각각의 기능 블록들은 병렬로 이루어져 수행 속도를 최대한으로 이룩할 수 있다.

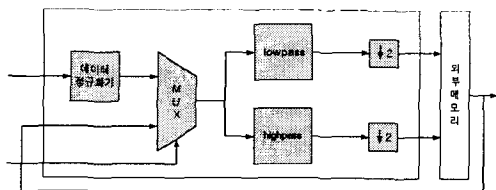


그림 3. 전체 시스템의 구조

3.1 데이터 정규화부 및 멀티 플렉서

데이터는 하나의 픽셀당 8비트 정보를 가지고 입력된다. 후단의 승산 및 가산은 32비트 부동소수점으로 표현되어 처리되기 때문에 8비트 입력 데이터는 DWT를 실행하기전에 정규화 되어야 한다.

데이터 정규화기 후단의 멀티 플렉서는 신호를 다중 해상도로 분해할 때 외부의 메모리로부터 들어오는 신호와 데이터 정규화기로 들어오는 신호를 선택하는데 이용된다.

3.2 입력 Delay 유닛

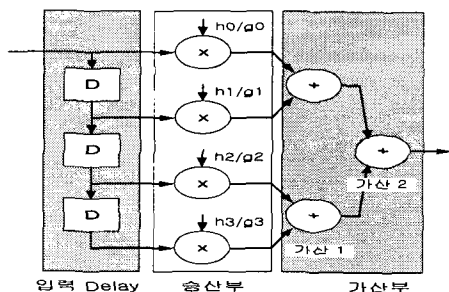


그림 4. 필터 구조

9(a) - 9(h) 수식에서 계산된 필터의 계수값들은 현재뿐만 아니라 3개의 이전 데이터 샘플에 의존한다. 현재의 값과 이전 3개의 입력 데이터 값은 레지스터에서 지연된다. 3개의 데이터 레지스터는 그림 3에서 보여지는 것과 같이 직렬로 연결된다. 그러므로 같은 클럭 싸이클에서 각 레지스터는 동작하며 후단의 승산기가 이전의 값을 이용할 수 있도록 승산기에 값을 전한다.

3.3 승산부

실시간으로 처리되는 영상 압축 응용장치에 대한 요구 조건과 부합하기 위해 빠른 승산기 디자인이 요구

된다. 이런 목적으로 Booth 알고리즘을 이용하였으며 승산기 회로는 병렬로 구성된다. 그리고 승산기 내부의 각각의 기능 블록들은 파이프라인 구조를 이용하였다. 이용된 승산기는 7클럭 동안 파이프라인이 가득 채워진 후 다음 매 클럭마다 결과값을 내놓게 된다. 그리고 추가적인 속도 향상의 결과는 가산기 단의 수가 절반만이 이용된 점이고 각 가산기는 고속 가산을 위해 CSA(carry select adder)를 이용한다.

3.4 가산부

가산부는 3개의 32bit FP(floating-point) 가산기를 병렬로 연결하여 고속으로 동작 할 수 있도록 하였다. 각각의 가산기는 파이프라인 구조로 이루어져 있어 5 클럭 지연 후부터 매 클럭마다 결과값을 출력한다.

3.5 downsampler

만일 입력 샘플의 수가 N이라 할 때, 하이패스와 로패스 필터 처리가 되어 나온 데이터의 합은 2N개의 출력 data를 갖게 된다. Mallat's의 피라미드 알고리즘과 2-채널 필터 뱅크 알고리즘에 의해 각 필터의 출력 중 홀수번째의 데이터 값은 버리고 짝수번째의 데이터 값만을 취해도 본래의 값을 재생할 수 있다. 그렇게함으로써 처리되어 나온 샘플의 수는 입력 데이터 샘플의 수와 같다.

4. 시뮬레이션 결과 및 고찰

본 논문에서 제안된 필터는 Xilinx FPGA로 구현시 33MHz 클럭에서 동작되며 ASIC으로 제작시 그 이상의 속도에서 동작할 수 있다. 예를 들어, 제안된 구조에서 외부 메모리에 액세스하는 시간과 리프레시는 시간 그리고 추가적으로 발생하는 외부 지연시간을 고려하지 않고 순수 전체 실행시간을 계산하여 보면 17 클럭 지연 후 매 클럭마다 출력이 발생하므로 512*512 크기를 갖는 영상의 경우 부호화에 필요한 클럭의 수는 262,161 클럭을 필요로 하며 이의 총 실행 시간은 7.9ms가 된다. 세번째 레벨까지 수행에 필요한 클럭의 수는 458,803 클럭이며 그에 따른 실행 시간은 13.8ms가 되는데 이는 초당 30프레임을 전송해야하는 비디오 프로세싱의 경우 한 프레임을 처리하는데 33ms이하를 요구한다. 그러므로 제안된 구조는 실시간 영상처리 시스템에 응용할 수 있다.

그림 5는 클럭에 따른 각 기능블록이 처리되는 과정을 나타내며 그림 6은 시뮬레이션 결과에 대한 파형을 보인다.

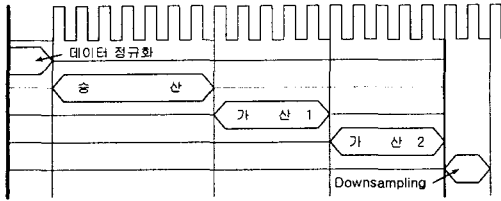


그림 5. 클럭에 따른 각부분의 처리

5. 결 론

제안된 구조는 영상 입력 신호에 대한 다중 해상도 부호화를 목적으로 설계하였다. 그러므로 제안된 구조에서는 필터에서 계산된 중간값 결과를 저장하기 위한 외부 메모리 모듈을 필요로 한다. 그리고 필터회로를 제어하고 계산된 결과값을 저장하고 다시 그 값을 이용하려고 할 때 추가적인 외부 컨트롤 회로를 요구한다. 메모리에 액세스하고 메모리를 리프레시 하는데 약간의 지연이 발생하게 되지만 신호의 다중해상도 분해시 필요한 서브 필터를 사용하지 않고 하나의 필터만으로 구현하였으므로 ASIC 구현시 chip 크기를 줄일 수 있다.

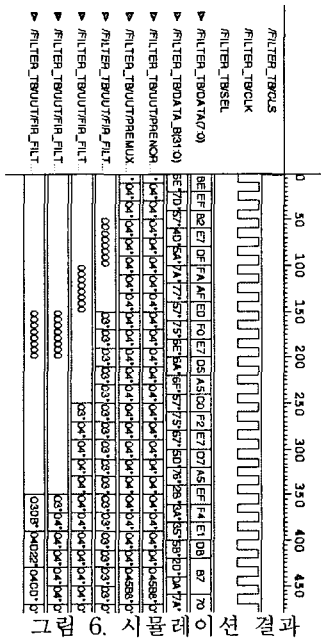


그림 6. 시뮬레이션 결과

참고문헌

- [1]. 구현모, 이법기, 최정현, 김덕규 “웨이브렛 변환영역에서 대역간 상관관계를 이용한 영상부호화”, 대한전자공학회, Vol 17, No 2, 1155-1158, 1994.
- [2]. Gilbert Strang/Truong, “Wavelet and Filter Bank”, Wellesley-Cambridge Press, 1996.
- [3]. C.Sidney Burrus, Ramesh A. Gopinath, Haitao

- Guo “Introduction to Wavelet and Wavelet Transform” Prentice-Hall, Inc. 1998.
- [4]. A.Grzeszczak, M.K.Mandal, S.Panchanathan, T.Yesp, “VLSI Implementation of Discrete Wavelet Transform”, IEEE Transactions on VLSI System, Vol.4, No.4, pp 421-433, Dec 1996.
- [5]. Leena-Maija Ressel, “Multiresolution and Wavelet”, Siggraph’95 Course notes:#26 Wavelet, 37-70, 1995.
- [6]. 이문호, 박대철, 이광채, 강승선, 정희인, 방정일, 장성현, “차세대 영상압축 정보 전송을 위한 다중해상도 부호기 구현에 관한 연구” 과기처 연구보고서, 1994
- [7] Israel Koren, “Computer Arithmetic Algorithm”, Prentice Hall, 1993