2003년도 대한전자공학회 하계종합학술대회 제26권 제1호

듀얼 프로세서 코어 내장 SoC ASIC의 검증

김영우, 박찬호, 박경
한국전자통신연구원 컴퓨터시스템연구부

Verification of SoC ASIC with Dual Processor Core

Youngwoo Kim, Chanho Park, and Kyoung Park
Computer System Research Department
Electronics and Telecommunications Research Institute
E-mail : bartmann@etri.re.kr

Abstract

다중 프로세서 내장 SoC 의 동작 검증에는 많은 연산과 시간을 필요로 한다. 본 논문에서는 듀얼 프로세서 내장 SoC AISC 의 검증을 위해 가상 명령어 세트를 기반으로 한 프로그램 소프트웨어 모델(PSM)과 버스 트랜잭션을 발생시키는 프로세서 마크로 엔진 모델(PEM)을 사용한 검증 방법을 제시한다. 제시된 방법은 추상화된 가상 마크로 엔진 명령 세트를 사용함으로써, 적은 컴퓨팅 리소스로 다중 프로세서 내장 SoC 의 검증을 보다 빠르게 수행할 수 있다.

I. 서론

최근 반도체 설계 공정 및 설계 방법의 발달로 인하여 최근 SoC 개념의 ASIC 제품들이 속속 출현 하고 있다. 특히 Deep Sub-Micron 공정 기술과 동시 설계 및 동시 검증(Hardware-Software Co-Design/Co-Verification) 기술의 발전은 프로세서 코어가 내장되는 SoC(System On a Chip) 설계 및 구현을 용이하게 하였으며, 프로세서 코어를 비롯한 다양한 IP(Intellectual Property)들이 제공 되어짐으로써 SoC 방식의 설계가 ASIC(Application Specific Integrated Circuit) 구현의 주류를 이루게 되었다[1][2].

특히 프로세서를 내장한 SoC ASIC 의 경우, 내장형 프로세서라는 IP 의 특성상 방대한 하드웨어 로직과 이를 구동시키기 위한 프로그램의 필요, 점차 대형화 되어가는 설계규모로 인해, SoC ASIC 의 기능 검증에 막대한 컴퓨팅 파워와 시간을 요구하고 있다. SoC 설계에서 사용되는 프로세서 코어는 현재 대부분이 200MHz 이하의 동작 주파수를 갖는 내장형 프로세서 코어들로서 하드 마크로 형태로 내장되므로, 그 크기에 제약 사항을 가지고 있으며 저전력 설계 기술이 필수적이다. 이들 크기 제약 및 저전력 설계는 내장형 프로세서의 성능을 높이는 데 장애가 되고 있으며, 현재 가장 널리 사용되고 있는 ARM9 코어의 경우 200MIPS 내외의 성능을 제공한다[3][4].

반면 고성능 시스템에서 사용되는 SoC 의 경우, SoC 의 처리 능력이 시스템의 처리 요구를 따라가지 못하는 경우가 발생할 수 있으며, 그 원인은 SoC 에 내장된 프로세서 코어의 성능 한계에서 기인할 수 있다. 따라서 고성능이 요구되는 SoC 의 경우 두 개 이상의 내장 프로세서를 사용하는 멀티 프로세서 기반 설계가 요구된다.

본 논문에서는 차세대 서버용 시스템 연결망인 InfiniBand 연결망용 HCA(Host Channel Adapter) 개발을 위하여, 두 개의 프로세서 코어를 내장한 SoC ASIC 의 설계, 각 프로세서 IP 와 설계된 기능 블록의 검증에 대하여 기술한다. 서론에 이어 2 장에서는 설계된 SoC 의 응용분야인 InfiniBand 연결망과 듀얼 코어 기반 SoC 로 구현된 InfiniBand HCA 의 구조 및 설계 내용에 대하여 기술한다. 3 장에서는 듀얼 코어 기반 HCA SoC 의 기능 검증 및 DFT(Design For Test), 구현에 대해서 기술하고 4 장에서 결론을 맺는다.

II. 듀얼 프로세서 코어를 내장한 InfiniBand SoC

2.1 InfiniBand 연결망

InfiniBand 연결 규격은 클러스터 연결망과 스토리지 연결망으로 대표되는 연결망 기술을 하나의 연결망으로 통합하고, 통합된 연결망을 기반으로 대규모 클러스터 구조 가지는 차세대 서버 구조 및 통합 시스템 연결망 구조로 2000 년 10 월에 InfiniBand Architecture 표준 규격 1.0 이 발표되었다[5].

InfiniBand 구조(IBA: InfiniBand Architecture)는 상호 독립적인 프로세서 플랫폼, 입출력 처리 플랫폼 그리고 입출력 장치를 연결하는 시스템 연결망(SAN: System Area Network)으로 그림 1 과 같이 구성된다[7].

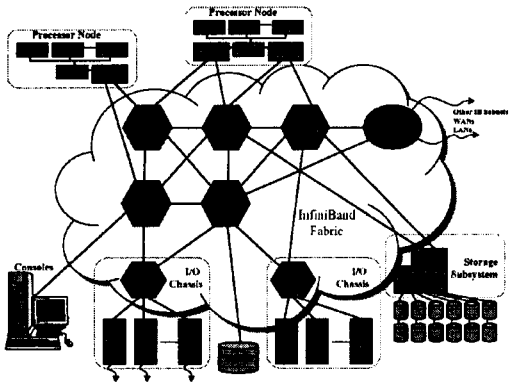

그림 1. InfiniBand Architecture 구성도

A. InfiniBand 구성 요소

IBA 연결망은 스위치 기반 비정형 연결망으로 종단 노드(프로세서 노드, 입출력 노드)가 연결되는 여러 개의 서브넷(subnet)으로 구성된다. 서브넷은 최대 65,536 개의 종단 노드와 이를 연결하는 스위치, 라우터로 구성되며 서브넷 간 연결은 라우터를 통해서 이루어 진다. 각 종단 노드는 IBA 연결망 접속을 위한 채널 어댑터를 가지며, 프로세서 노드쪽에서는 호스트 채널 어댑터(HCA: Host Channel Adapter)를 사용하고 입출력 처리 노드 및 입출력 장치쪽에서는 타겟 채널 어댑터(TCA: Target Channel Adapter)를 사용한다.

HCA 는 사용자 수준 프로그램에서 Verb 라는 소프트웨어 인터페이스를 사용하여 메시지를 송신하고 수신하는 기능을 수행한다. 호스트 프로세서에 의해서 발생된 메시지 전송 요구를 해독하여 호스트 메모리에서 데이터를 읽어서 IBA 연결망으로 송신하고 또한 수신된 메시지를 해독하여 호스트 메모리에 직접 쓰는 작업을 수행한다. TCA 는 입출력 장치와 연결망을 이어주는 장치로 디스크 콘트롤러, 네트워크 콘트롤러, RAID 콘트롤러 등과 같은 다양한 입출력 장치를 IBA 연결망에 정합할 수 있게 한다.

B. InfiniBand 통신 스택

InfiniBand 연결망을 구성하는 HCA, TCA 및 스위치와 라우터는 그림 2 와 같은 통신 계층을 처리한다. HCA 와 TCA 는 Verb 를 통하여 전달되는 메시지를 InfiniBand 연결망에 패킷 단위로 전송해야 하므로, 메시지 전송 요구를 입력으로 받아서 InfiniBand 패킷으로 변환하여 InfiniBand 연결망 전송로로 전기적 신호를 전송하는 기능을 수행하여야 하며, Transport, Network, Link, Physical 계층을 모두 가져야 한다. 스위치와 라우터는 InfiniBand 연결망에서 InifniBand 패킷의 경로 설정 및 전송을 담당하며, Network, Link, Physical 계층으로 구성된다.

2.2 듀얼 프로세서 코어 내장형 InfiniBand HCA

HCA 는 프로세서 노드에 연결되어 패킷을 생성, 소모하는 IBA 장치이다. 설계된 HCA 하드웨어는 호스트 인터페이스로서 업계 표준인 PCI-X 인터페이스 블록과 InfiniBand 연결망 인터페이스를 위한 Physical 계층 블록, 패킷의 신뢰성 있는 전송을 위한 Network/Link 계층 블록, 메시지 전송을 위한 Transport 계층 블록으로 구성된다 [6].

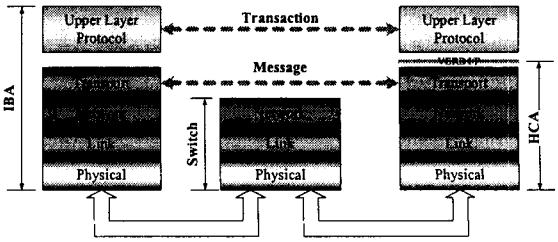

그림 2. InfiniBand 통신 스택 구성도

A. HCA 구조 설계

HCA 하드웨어 구조는 다음의 각 기능 블록으로 구성된다.

호스트 인터페이스 블록 : 프로세서 버스를 통하여 전달되는 명령과 메시지를 처리하기 위한 PCI-X 프로토콜 엔진. InfiniBand 전송 계층을 통과하는 메시지 데이터의 DMA 인터페이스를 제공

전송 계층 블록 : IB 의 전송요청과 망/링크 계층으로부터 전송되는 패킷의 처리를 위하여 Tx 와 Rx 프로세서 및 송수신 엔진 하드웨어로 구성.

망/링크 계층 블록 : 전송 계층 패킷 송수신을 위한 CRC 의 생성/검사와 링크 패킷 관리. 전용의 송수신 하드웨어와 패킷 버퍼링을 위한 가상 레인으로 구성.

물리 계층 블록 : HCA 의 물리적인 네트워크 접속을 위한 8B/10B 변환 및 신호의 전기적인 특성을 보장하기 위한 송수신기, 패킷 시퀀스의 생성과 조합, 채널의 훈련 및 채널 특성 분석 등을 담당

다음의 그림 3 과 표 1 은 설계한 HCA 의 구조와 기능 및 성능 규격을 나타낸다.

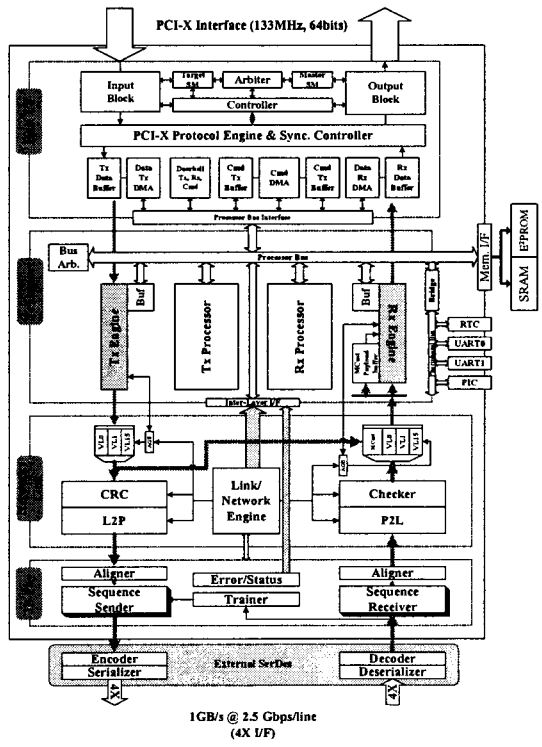

그림 3. HCA 구조도

표 1 HCA 기능 및 성능 규격

호스트 인터페이스 블록	
PCI-X	64 bits, 133MHz
호스트 DMA	3 개(송신/수신/명령)
호스트 도어벨	12 개
전송 계층 블록	
전송 서비스	RC, UC, RD, UD, RawPacket
전송 엔진 구조(SAR)	송수신 분리구조
전송 프로토콜 엔진	ARM922T 프로세서 X 2
전송 계층 동작 속도	125 MHz
망/링크 계층 블록	
망/링크 엔진 구조	송수신 분리 구조
가상 레인 버퍼 수	데이터용 2 개, 제어용 1 개
가상 레인 당 버퍼 크기	데이터용 16KB, 제어용 4KB
MTU 크기	최대 2KB
망/링크 계층 동작 속도	125MHz
물리 계층 블록	
전송 방식	8B/10B encoded 직렬 전송
전송 속도	4 X 2.5Gbps (10Gbps)

III. 듀얼 프로세서 코어 기반 HCA SoC 의 기능 검증

3.1 듀얼 프로세서 코어 구조

HCA 가 MTU 사이즈가 2 Kbyte 인 패킷을 10Gbps 급 전송 속도를 통하여 전송하고자 한다면, HCA 는 이론적으로 최대 초당 약 500K 개의 패킷을 처리해야 한다. 더욱이 HCA 는 송신과 수신을 동시에 수행하는 구조를 가짐으로서 초당 송신 패킷 500K 개와 수신 패킷 500K 개를 처리하여야 하는 성능이 요구되며, 이는 200MIPS 의 프로세서에서 하나의 패킷당 200 IPS (Instruction Per Second)임을 알수 있다.

실제 구현 제약상 프로세서 코어를 최대 동작주파수로 동작시킬 수 없는 점을 감안할 때, 125MHz 로 동작하는 ARM922T 프로세서 코어를 두개 장착하여 각각의 프로세서가 송신 및 수신을 독립적으로 처리하도록 하였다. 이때 패킷 당 할당된 프로세서 성능은 최소 약 270 IPS 이다.

또한 두개의 프로세서 코어를 내장함으로서 실시간 운영체제 탑재를 하지 않아도 되며, 따라서 송신과 수신 작업으로 분리된 각각의 전용 소프트웨어가 각 코어에서 수행됨으로서 운영체제의 필요성을 제거하고, 아울러서 운영체제 간섭에 의한 부가적인 성능 오버헤드를 제거할 수 있다.

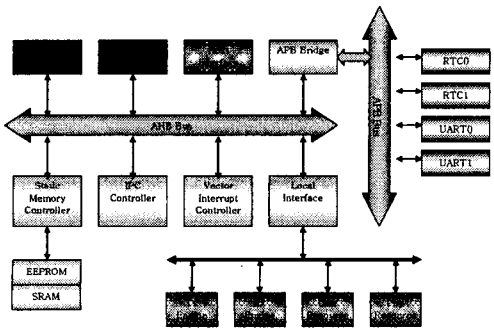

그림 4. 공유버스 기반 듀얼 프로세서 시스템

내장된 두개의 ARM922T 프로세서 코어는 내부버스를 통하여 메모리 및 주변 장치를 공유하는 공유버스 기반 멀티 프로세서 구조를 갖는다.

3.2 듀얼 프로세서 코어 기반 HCA SoC 의 검증

설계 된 HCA 는 400 만 게이트급 이상의 구현 복잡도를 갖는 고집적 SoC 로서, 두 개의 프로세서 코어가 방대한 하드웨어 로직과 연동하여 동작하므로, 기존 EDA 툴을 사용하여 기능 검증 시뮬레이션을 수행하기 위해서는 막대한 컴퓨팅 리소스와 시간이 요구된다. HCA 의 기능검증은 컴퓨팅 리소스의 최소화 및 검증 시간 단축을 위하여 내장 프로세서인 ARM922T 를 모사하는 마크로 엔진 (PEM, Processor Macro Engine Model)을 개발하고, 마크로 엔진용 제어 명령을 사용하여 프로세서에서 수행되는 소프트웨어의 모델 (PSM, Processor Software Model) 을 바탕으로 하여 빠른 검증과 적은 리소스를 사용하는 검증 모델을 개발하였다.

HCA 전체의 기능 검증을 위하여는 테스트 시나리오를 바탕으로 호스트 메모리 모델과 PCI-X 프로토콜 생성 및 검증 모델, 외부 ROM 및 RAM 모델, InfiniBand 패킷 검사 및 응답 동작을 위한 Dummy CA 모델이 사용되었다. 그림 5 는 기능 검증을 위하여 구축된 시뮬레이션 환경이다.

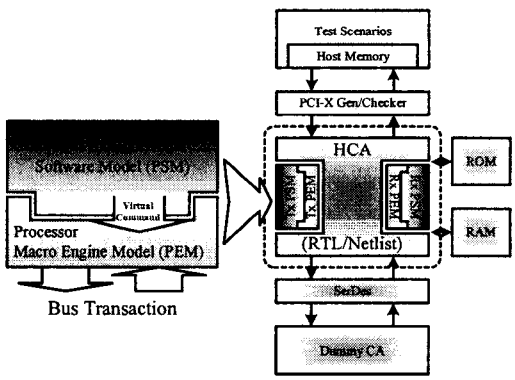

그림 5. 듀얼 프로세서 코어 내장 SoC ASIC의 기능 검증 모델

A. 프로세서 마크로 엔진 모델 (PEM)

PEM 은 ARM922T 의 기능을 담당하는 마크로 엔진으로서 Verilog-HDL 행위 모델로 작성되었으며, 기본적인 로드 및 스토어 동작과 제한적인 산술 연산 동작을 제공한다. 소프트웨어 모델은 가상 마크로 엔진 명령 조합으로 각 프로세서에서 수행되는 전송 계층의 프로토콜 처리부를 모델링 하였다.

PEM 모듈은 PSM 으로부터 전달되는 가상 마크로 명령을 이용하여, 가상 명령어에 따른 버스 트랜잭션을 발생시킴으로써 설계 된 하드웨어 로직과 연동하여 동작한다. PEM 은 기본적으로 BFM (Bus Functional Model)이라 할 수 있으며, 프로세서의 모든 명령어 세트를 사용하는 것이 아니라, 미리 정의된 최소한의 가상 마크로 명령어를 사용하여 버스 트랜잭션을 발생시킨다는 점이 일반 BFM 과 다른 점이다. PEM 모델은 추상화된 필수 가상 명령어 세트를 사용함으로 프로세서의 모델을 단순화하여 검증시 컴퓨팅 파워와 시간을 단축시킬 수 있다.

이외에 PEM 에서는 원래 ARM922T 프로세서에서 제공하지 않는 멀티프로세서 간의 상호 통신과 주변장치의 접근 및 사용권한 할당을 위하여 설계한 IPC(Inter Processor Communication) controller 를 통해 듀얼 프로세서에서의 시스템 부팅을 모사하는 기능과 AMBA 버스상의 주변장치 하드웨어의 초기화를 담당하도록 설계되어 있다.

B. 프로세서 소프트웨어 모델

PSM 은 PEM 을 구동시키기 위한 가상 명령어 세트로 조합되는 프로그램 소프트웨어 모델로서 InfiniBand HCA 의 동작을 위하여 송수신 프로토콜 처리를 위한 전송계층의 기능을 모델링 하였다.

전송계층 프로토콜처리 소프트웨어 모델은 Host 모델로부터 전달되는 IB 전송요청에 따라 메시지를 생성하고 망/링크 계층으로부터 전송되는 패킷을 다시 메시지로 재구성하여 Host 모델로 전송한다. 두 프로세서 모델은 각각 Tx 와 Rx 기능을 담당하도록 모델링 되었으며, 각 전송계층 소프트웨어 모델은 검증시에 사용되는 시뮬레이션 시나리오를 선택하여 해당 시나리오에 따라 PEM 에 가상명령어 형태로 동작을 지시한다.

그림 6 은 이들 PEM 과 PSM 을 나타낸 그림이다.

HCA 의 동작 검증은 기본적인 HCA 내부 리소스의 설정, 가상호스트로부터의 전송명령을 통한 메시지의 생성과 수신된 메시지의 무결성을 검사하는 시나리오를 작성하여 검증 하였다.

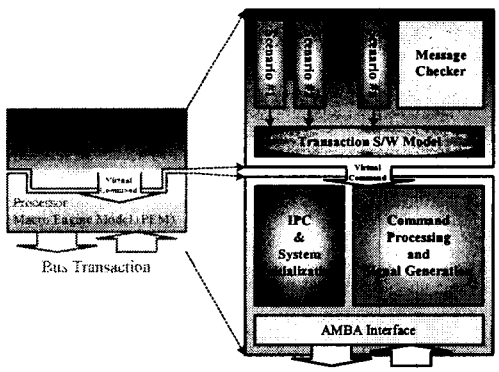

그림 6. Processor Engine Model과 Processor Software Model

이외에 ARM922T 프로세서 코어 자체 및 내부버스에 연결된 IP 들의 기능 검증을 위해서 ARM 사에서 제공되는 TIC 벡터를 사용하여 내부버스 연결 및 내부 기능을 검증하였으며, 내부 메모리와 입출력연결의 검증을 위하여 메모리 BIST, 내부 full scan 및 ATPG, JTAG 경계 주사들을 사용하여 회로적인 검증을 수행하였다. 기능 검증에 사용된 시뮬레이션 환경은 네트리스트 검증 및 타이밍 분석에도 동일하게 사용되었으며, TIC 벡터는 테스트 벡터로 변환하여 칩 테스트에 사용하였다.

IV. 결론

HCA 는 UMC 사의 0.18μm CMOS 공정을 사용하여 564 Enhanced BGA 패키지로 제작되었으며, 구현된 HCA 칩은 표준 PCI 카드 형태로 구현된 실장 보드에 실장되었다. 그림 7 은 구현된 HCA 의 모습이다.

본 논문에서는 프로세서를 내장한 SoC ASIC 의 검증을 위해 가상 명령어 세트를 기반으로 하는 프로그램 소프트웨어 모델과 이를 바탕으로 버스 트랜잭션을 발생시키는 프로세서 마크로 엔진 모델을 사용한 검증 방법을 제안하였다. 제시된 방법은 추상화된 가상 명령어 세트를 사용함으로써, 적은 컴퓨팅 리소스를 사용하여 멀티 프로세서 내장 SoC 의 검증을 보다 빠르게 수행할 수 있다. 본 논문에서 제안한 프로세서 검증 모델은 버스 트랜잭션을 발생시키는 PEM 모델을 변경함으로써 다양한 프로세서 모델에 동일한 PSM 의 적용이 가능하므로, 프로세서의 변경으로 인한 검증 환경 변화를 최소화 할 수 있고, 다양한 프로세서 기반의 SoC 설계에 쉽게 적용할 수 있다는 장점을 가진다.

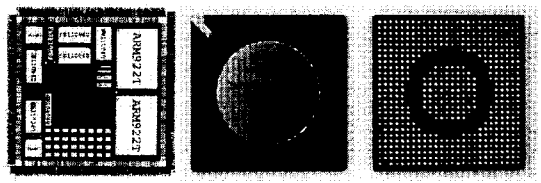

그림 7. HCA ASIC

표 2 : HCA 구현 규격

구현 공정	0.18μm CMOS, 4 메탈, 스탠다드 셀	
패키지	564 Enhanced BGA	
다이 사이즈	10 mm × 10 mm	
게이트 수	ARM922T(8.1mm²)	430K × 2 = 860K
	Memory	1,663K
	PLL	113K × 2 = 223K
	logic	1,611K
	Total	4.358 Million
전원	코어 전원	1.8 Volt
	IO 전원(LVTTL)	3.3 Volt
	IO 전원(SSTL)	2.5 Volt
클럭 도메인	PCI-X 관련 로직	133 MHz
	UART 클럭	7.3728 MHz
	RTC 클럭	1 MHz
	코어 로직	125 MHz
	SerDes 인터페이스	250 MHz
소비 전력	3.5 Watt	

참고문헌

[1] 강성호, 송동섭, "SoC 테스트기술 동향", 전자공학회지 제 29 권 제 1 호, pp. 48-58, 2002. 1.

[2] 정세욱, 임경묵, "SoC 구현 기술 동향", 전자공학회지 제 29 권 제 1 호, pp. 59-65, 2002. 1.

[3] 서지선, 유회준, "IP 기반 SoC 설계 기술 동향", 전자공학회지 제 29 권 제 1 호, pp. 25-31, 2002. 1.

[4] 이회, "차세대 Embeded 마이크로프로세서 기술 동향", 전자공학회지 제 28 권 제 7 호, pp.777-783, 2001. 7.

[5] 박경, 모상만, "InfiniBand : 차세대 시스템 연결망", 정보과학회지 제 19 권 제 3 호, pp.43-51, 2001. 3.

[6] 박경, 김성남, 한종석, 모상만, "듀얼프로세서 코어 기반 InfiniBand SoC," 반도체학술대회, 2002

[7] Sangman Moh. And etc. al., "InfiniBand Technology: The Next-Generation System Interconnect," Proceedings of the 1st World Koran Bussinedd Convention, Cct. 8-10, 2002