

주파수 동기를 위한 저 잡음 2.5V 300Mhz CMOS PLL

권진규*, 이종화, 조상복
울산대학교 전자공학과

A Low-Jitter 2.5V 300MHZ CMOS PLL for Frequency Synthesizer

Kwon JinKyu*, Lee JongHwa, Cho SangBock
Department of Electrical Engineering
Ulsan University
Email: romjin@mail.ulsan.ac.kr

Abstract

본 논문에서는 노이즈를 고려한 PLL를 설계하였다. 30Mhz ~300Mhz으로 동작하는 VCO를 설계하였다. VCO를 평균 250Mhz으로 동작하도록 하고 reference 주파수, 62.5Mhz로 locking하는 PLL를 설계를 하였다. 300Mhz PLL의 기본적인 구조로 PLL은 PFD(Phase frequency detector), CP(Charge Pump), LF(Loop filter), VCO(Voltage controlled Oscillator)와 Divider로 구성되었다. PFD과 CP는 Dead Zone를 줄이고, 큰 gm를 가지도록 설계를 하였다. PLL에서 가장 중요한 블락인, VCO는 One Chip으로 설계하기 위해 Ring Oscillator로 설계를 하였다. 2.5V 62.5MHZ의 외부 신호를 300MHZ을 발진하는 VCO에서 분주하여 clock synthesizer를 설계하였다. 본 논문은 Hynix0.25공정을 사용하여 설계를 하였으며, 2.5V의 공급 전원을 사용하였다.

I. INTRODUCTION

최근 Wireless electronics에 대한 수요가 늘어 나면서 RF IC에 대한 집적화가 많이 요구된다. 보통 RF IC는 GaAs의 기술로 실현이 되었으며, 계속 연구 과정에 있다. 그러나 모든 무선 Baseband signal processing은 CMOS의 기술로 이루어 지고 있다. 그래서 최근에서 CMOS를 이용하여 설계하는 움직임을 보이고 있다. 주요한 회로인, Phase-locked loops(PLL)은 수십 GHZ의 신호를 처리하는 RF단의 마지막에 해당하는 부분으로서 이용된다. PLL은 보통 clock recovery나 frequency synchronizer에 주로 사용된다. PLL은 통신, 무선 시스템, 디지털 회로, 고급기능을 하는 마이크로 프로세서 시스템, 디스크 드라이버에 널리 사용되고 있다.

본 논문에서는 65.5Mhz의 외부 주파수를 동기화하기 위해 30Mhz-300Mhz VCO의 출력 주파수를 분주하여 reference 주파수에 맞추도록 설계를 하였다. LP와 VCO를 On chip화 하였으며, Jitter와 Spur를 줄이는 것에 집중을 하였다. PLL의 전체의 구성은 그림.1과 같이 PLL은 PFD, CPUMP, LP, VCO, D2S, PD로 구성된다.

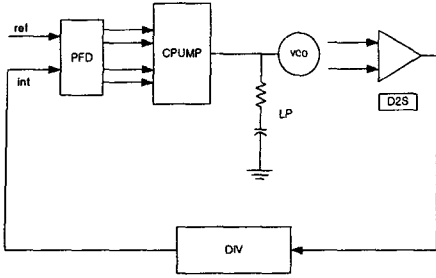


그림 1. PLL Top Block

다음에 소개할 본 논문의 내용은 다음과 같다. II에서는 블록들에 대해서 설명을 하고, III에서는 시뮬레이션 결과와 그에 대해서 설명을 하고, 마지막 IV에서는 결론으로 마무리를 짓겠다.

II. BUILDING BLOCK

2.1 Voltage-Controlled Oscillator

대부분의 고주파수용 Micro-process는 CMOS Voltage-Controlled Oscillator(VCO)를 사용되며, PLL에서 사용되는 블록 중에 가장 중요한 부분이다. 지금 까지 VCO에 관한 여러 기술이 소개되는데, 그 중에서 Ring Oscillator는 고 주파수, 넓은 주파수 대역, 집적화, 매칭(matching)에 대한 여러 장점을 가지고 있다. 특히 이동 무선통신에 커다란 장점이 있다. Ring Oscillator는 여러 Delay cell로 구성 된다. 만약 Delay cell이 single-ended이면 홀수 개로 구성되고, Differential 구조이면 짝수 개로 구성이 된다. Duty ratio가 50%가 되지 않을 경우 Delay cell를 추가 하여 Duty ratio를 맞출 수 있다.

그림.3 에서 보는 것과 같이 전원 전압에 대한 노이즈를 줄이기 위해 Diode-connected load를 가진 Differential 구조를 사용하였다. PFD단에서 UP신호와 Ring oscillator에서 큰 phase noise가 발생한다. PLL은 Feedback의 구조를 이므로 phase noise가 계속 LP에 쌓이는 악 순환된다. 이를 줄이기 위해서는 섬세한 VCO 설계가 요구 된다. VCO의 Delay cell은 control 전압에 PMOS에 인가 되어 전류를 조절하도록 설계를 하였다.

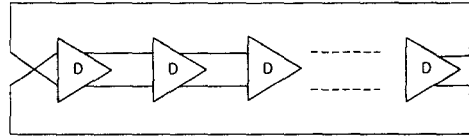


그림 2. Ring VCO

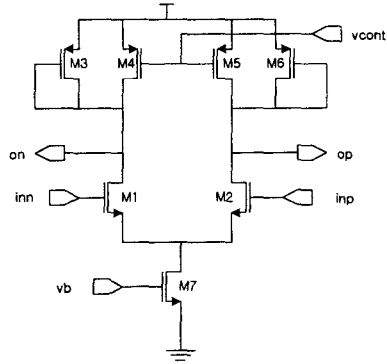
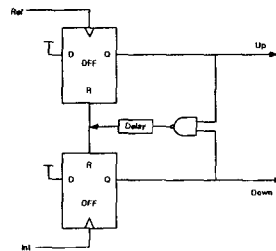


그림 3. Delay cell

2.2 Phase Frequency Detector

Phase Frequency Detector(PFD)는 내부의 VCO에 의해 발진된 주파수와 기준 주파수의 위상(Phase)차이를 출력하게 된다[5]. 두 입력 신호의 차이가 너무 작을 경우에 PFD에서 검출 못 할 경우가 발생하는데 이를 Dead zone이라고 한다. 그래서 논문에서는 이를 줄이기 위해서는 Delay 블록을 삽입하였다. 그림.4 에서 선형 PFD에 관한 일반적인 구조와 상태를 보여 주고 있다. PFD에서 Charge pump의 입력인 up 신호와 down 신호를 발생하게 된다.

논문에서는 falling edge 에서 Int 신호와 Ref신호의 위상차이를 검출하게 된다.



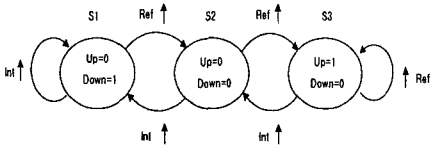


그림 4. Linear PFD architecture & State Machine

2.3 Charge Pump & Loop Filter

Charge Pump(CP)는 PFD의 결과, 두 입력 신호의 위상 차를 전류를 변환하고, 이를 Loop Filter(LF)에서 두 신호의 위상 차이의 평균값 전압으로 변환한다. 이 블록의 결과는 다시 VCO의 주파수를 변화 시키게 된다. PLL이 Lock이 된다면 LP는 일정한 전압을 유지하게 된다. CP를 설계하는데 있어 몇 가지 주의 해야 될 점은 leakage current, Current mismatching, Timing mismatching이 있다. 이는 phase noise특성에서 안 좋게 나타나게 되며, 특히 leakage current 경우 주기적이 spur를 발생시키는 요인이 된다. 이에 대한 세심한 설계가 필요하다. Fully differential type의 회로가 phase noise에 덜 영향을 미친다[2].

그림.5와 같이 Loop Filter(LF)는 저항 한 개와 두 개의 Cap으로 2-pole를 가지는 LF를 설계를 하였다. LF는 면적과 spur-suppression requirements에 영향을 많이 받게 된다. C2는 안정성(stability)에 영향을 많이 주고, R1은 대역폭(Bandwidth)에 영향을 주게 된다. C1은 phase noise의 sideband에 나타나는 spur를 줄일 수 있다. 저항이 있어 Thermal noise에 대한 해석이 필요하다. 차수가 높아 질수록 좋은 spur를 더 줄일 수 있지만 칩 상에서 넓은 면적을 차지할 수가 있어 보통 off-chip으로 설계를 많이 한다. Off-chip를 할 경우 높은 Q값을 가질 수 있다.

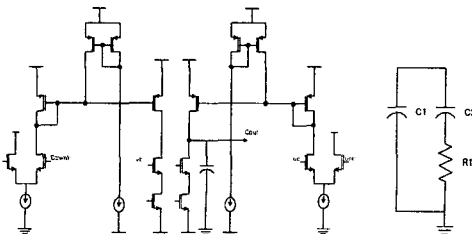


그림 5. Charge pump & Loop Filter

2.4 Differential to Single-ended Converter & Programmable Divider

Differential to Single-ended(D2S)는 VCO에서 출력된 낮은 스윙(Swing)의 Differentail type는 출력을 높은 스윙의 Single-ended로 변환해준다[5].

Programmable divider(PD)는 D2S에서 출력된 duty은 50%의 출력을 4(0~15)비트로 제어가 가능하도록 설계를 하였다. 설계된 PD는 0~15까지 분주가 가능하도록 하였다. 만약, 높은 주파수를 분주를 하려면 프리스케일러(Pre-scaler)가 필요하게 된다.

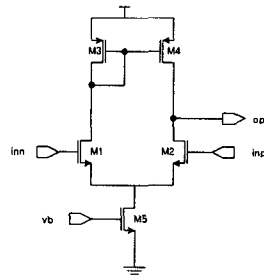


그림6. Differential to Single-ended

III. SIMULATION RESULTS

본 논문은 0.25um 하이닉스 CMOS공정으로 HSPICE로 시뮬레이션을 하였다. VCO의 주파수 범위는 30Mhz~300Mhz의 범위를 가진다. PD는 1~15까지 주파수 분주를 하도록 하였다.

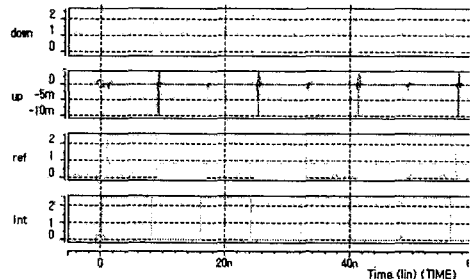


그림7. Output of PDF

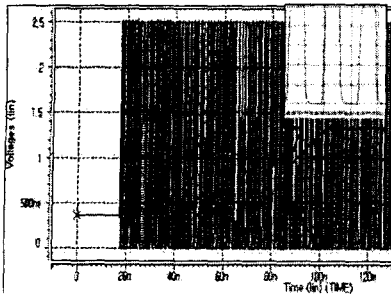


그림8. Output of D2S

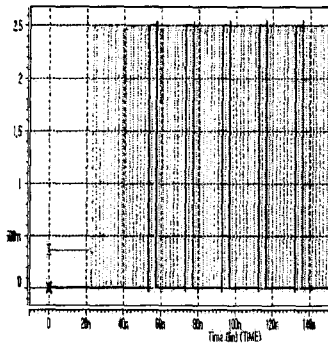


그림9. Output of PD(4)

ISCAS 2000 Geneva. The 2000 IEEE International Symposium on , Volume: 5 , 28-31 May 2000 Page(s): 701 -704 vol.5

[3] Behzad Razavi “Monolithic Phase Locked Loops and ClockRecovery Circuits” EEE Press, New York

[4] Chen, O.T.-C.; Sheen, R.R.-B.” A power-efficient wide-range phase-locked loop” Solid-State Circuits, IEEE Journal of , Volume: 37 Issue: 1 , Jan. 2002

Page(s): 51 -62

[5] Sahu, D.; “A completely integrated low jitter CMOS PLL for analog front ends in system on chip environment”Design Automation Conference, 2002. Proceedings of ASP-DAC 2002. 7th Asia and South Pacific and the 15th International Conference on VLSI Design. Proceedings. , 7-11 Jan. 2002

Page(s): 360 -365

IV.CONCUSION

본 논문에서는VCO 주파수를 조절할 수 있는 wide-range PLL에 대해서 소개를 하였다. 개선된 PFD, CPUMP, LP를 이용하여 Dead-zone과 leakage current를 줄이도록 설계를 하였다. VCO의 주파수 범위는 30Mhz~300Mhz의 범위를 가진다. 250Mhz/4분주 하여 reference 주파수, 62.5Mhz 에 locking하도록 설계를 하였다. PLL를 설계하는데 있어 Clock skew, Spur, leakage current, VCO input range, supply and ground noise rejection 등은 반드시 고려되어야 할 사항이다.

V. REFERENCES

- [1] R.-B. Sheen and O. T.-C. Chen, “A 3.3V 600MHz-1.30GHz CMOS phase-locked loop for clock synchronization of optical chip-to-chip interconnects,” in *Proc. IEEE Int. Symp. Circuits and Systems*, vol. 4, June 1998, pp. 429-432.
- [2] Chang, R.C.; Lung-Chih Kuo; “A new low-voltage charge pump circuit for PLL”Circuits and Systems, 2000. Proceedings.