

고온 영역에서의 SOI EDMOS의 Dimension과 온도 변화에 따른 전기적 특성에 관한 연구

박진우, *임동주 *구용서, **노태문, 안철
서강대학교 전자공학과, *서경대학교 전자공학과, **한국전자통신연구소
전화 : 02-706-3401/ 핸드폰 : 016-704-0418

The research about the electric characterization in accordance with structural dimension and temperature variation.

Jin-Woo Park, Dong Ju Im, Young Sea Gu, Tae Moon No, Chel An,
Dept. of Electric engineering, Sogang University
E-mail : fokerface7@hotmail.com

Abstract

This paper is about the optimized fabricated parameter in the EDMOSFET(Extended drain MOSFET) with a various temperature. As we know, the two important factors of EDMOSFET parameters are breakdown voltage and on Resistance. So, we have aims of the power EDMOSFET design to have high breakdown voltage and low on resistance. Thus in this paper, we will show the figure of merit in LDMOS (BV/Ron) in accordance with increase in temperature(300K-500K, step:50K), and measure electronic characteristics of power EDMOSFET. As a result, the important factors in design of EDMOS are temperature and L_g .

I. 서론

전력을 담당하는 IC는 신호 처리 부에 비해 발전 속도가 느려, 시스템 가격 측면이나, 성능에 저하를 가져온다. 특히 소자가 작아졌을 때의 경우와 비교했을 때, 활용 영역이 그만큼 줄어드는 결과를 낳고 있다. 이를 보완하기 위해 최근 전력 IC들의 개발이

중요한 화두로 떠올랐는데, 이것의 핵심이 smart power IC기술이다. LDMOS(Lateral Double diffused MOS)는 smart power IC에서도 핵심인 전력을 담당하는 소자이며, VDMOS와는 달리 드레인이 표면에 존재하여 다른 CMOS, BJT등과 쉽게 호환되어질 수 있는 공정상의 장점이 있다[1]. 본 논문에서는 LDMOS 계열이고, RESURF(Reduced SURface Field) SOI 구조를 채택하고 있는 EDMOS(extended drain)의 온도에 따른 전기적 특성을 측정하여, 그중 BV/Ron을 figure of merit(F.O.M)값으로 제시하고, 각 공정 scale의 최적화된 표본을 제시하고자 하였다.[2]

II. 본론

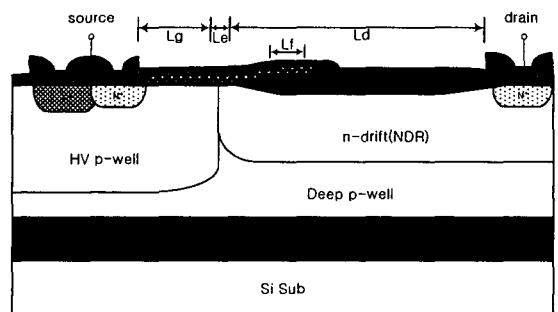


그림 1 EDMOS구조

Power소자의 경우 BV가 중요하기 때문에 BV를 높이기 위한 여러 가지 방법이 연구 중에 있다. 따라서

BV를 높이기 위해서는 항복 현상이 일어나는 메카니즘을 이해하여 항복 현상이 일어나는 조건을 줄여주어야 한다.

항복 현상을 줄이기 위한 구조로 LDMOS를 착안하게 되었다.

LDMOS의 항복 현상은 두 가지 방향으로 나눌 수 있다. 수직방향과 수평방향이 그것인데, 수평방향에서는 드리프트 영역과 채널영역의 pn 접합 사이에서 발생하고, 드레인 쪽의 고농도 도핑에 의해서 표면에서 항복현상이 일어나는 것을 하나의 원인이라고 볼 수 있고, 수직방향은 buried oxide층 사이로 유기되는 space charge에 의한 전계와 drain 고농도 접합에 의한 것으로 볼 수 있고, EDMOS의 경우, drain 밑의 pn 접합 등이 항복현상의 원인이 된다. 수평방향의 pn 접합에 의한 전계는 RESURF원리를 채택하는 경우 상당히 약화시킬 수 있다. 하지만 high bias가 가해지는 drain의 쪽에는, 도핑농도가 불균일할 경우, 공간 전하가 좁은 곳에서 높게 발생함을 보인다. 그러므로 일반적으로 설계된 RESURF LDMOS 경우 충돌 이온화의 최대 지점은 거의 드레인 부근에서 발생하게 된다. drain 부근에서 space charge에 의한 응집으로 일어나는 충돌 이온화는 드레인 구조에 다른 농도의 확산공정을 통해 약간의 buffer 층을 추가함으로써 줄일 수 있다.

LDMOS나 EDMOS에서 항복 전압을 향상 시킬 때 가장 중요한 것은 drain쪽의 space charge분산과 EDMOS의 수직 항복구조의 개선이다. 또한 2 step diffused drain 영역의 추가로 이것을 상당 부분 해소할 수 있다.

이번 논문에서는 이러한 항복 현상의 세부적인 면은 배제하고서 소자의 영역별 길이와 온도에 따른 device의 BV와 on저항과의 관계만을 살펴보는 것을 목적으로 하였다. LDMOS에서 드리프트영역(Ld)을 확장시킴으로서 BV를 크게 만들 수 있다.[3] 하지만 드리프트 영역을 계속 확장 할 경우, 또 다른 중요한 전기적 파라미터인 on 저항을 증가시키는 결과를 가져온다.

따라서 BV는 on저항 때문에 어느 정도의 손실을 감수해야 한다. 그러므로 이러한 공정스케일상의 기준이 필요하다. 그림1은 측정에 사용된 n channel EDMOS의 구조이다. EDMOS는 채널 폭인 W(400μm 이상)를 크게 하기 위하여 드레인을 중심에 둔 타원형으로 설계되었으며, Le의 길이를 2.0μm로 고정시켰다. 여기서 Le는 채널 길이에 있어서 어느 정도의 margin을 두기 위해서 만들어준 영역이다. 변수로 직접 사용된 Ld, Lg, Lf는 각각 드리프트 길이, 채널의 길이, 다결정 실리콘 gate의 확장 길이가 된다.

EDMOS는 폴리 게이트 끝의 oxide에서 최대의 전계가 일어나므로, 비록 이 전계에 의한 항복현상의 방지를 위해 step gate구조를 사용한다고 해도, Lf변화는 중요하게 생각되어질 수 있다. High electric field를 가지게 되면 속도와 전계의 관계식 $V=\mu E$ 의 식에서 예측되는 바와 전혀 다른 관계를 가지게 된다.

온도가 올라가면 EDMOS는 드리프트 길이의 영향 때문에 일반적인 MOS보다 열에 민감하다. 온도가 올라갔을 경우 scattering에 의한 이동도를 고려해 보아야 한다.

Scattering에는 두 가지 종류가 있다. 첫 번째는 온도가 올라 갔을때 lattice vibration에 의해서 crystal을 지나가는 carrier가 산란되는 lattice scattering이고, 두 번째는 ionized impurities와 같은 crystal defect에 의해서 carrier가 산란되는 impurity scattering이다. 그런데 이 두 종류의 scattering이 dominant한 온도의 영역이 다르다. Lattice scattering 경우는 온도가 높을 때 dominant하고, impurity scattering의 경우는 온도가 낮을 때 dominant하게 된다. 대략적인 각각의 scattering의 온도 의존성은 lattice scattering의 경우 $T^{-3/2}$ 에 비례하게 되고, impurity scattering의 경우는 $T^{3/2}$ 에 비례하게 된다. 이 논문에서는 고온에서의 소자 동작에 대한 것이므로 lattice scattering의 영향이 더 클 것이다.

이러한 산란은 이동도를 떨어지게 만들고 저항은 더 커지게 만들어서 on 저항이 커지게 만들 것이다.

이때 산란 확률은 mean free time에 반비례하고, 이동도에도 반비례한다. mean free time은 캐리어와의 충돌과 충돌사이의 평균 시간을 나타내고 이것이 크면 mean free path의 길이가 커지는데, 이것은 충돌하지 않고 입자가 진행해 나갈 수 있는 거리를 평균 거리를 의미하게 된다.

결국 이러한 요인들 때문에 전류의 흐름이 방해되고 on 저항이 커지게 됨으로 온도에 따른 device의 동작에 대한 연구는 반드시 필요할 것이다. 특히나 그 활용 분야가 자동차나 고온 실험장비등의 고온 영역에서 응용이라면 고온에서의 소자의 특성을 살펴보는 것이 반드시 필요할 것이다.

먼저 BV는 다음과 같은 식으로 표현된다.[2]

$$BV_{ds} = \epsilon_s E_{s,cr}(N_D) \left[\frac{E_{s,cr}(N_D)}{2q(N_D)} + \frac{1}{C_0} \right] \dots\dots(1)$$

일반적으로 온도가 올라가면 평균자유 행로가 감소하게 되는데, 이에 따른 임계전압과의 관계가 식 (2)와 같다.

$$\lambda = \lambda_0 \tanh\left(\frac{E_p}{2kT}\right) \dots\dots\dots(2)$$

(λ : 평균 자유행로, T : 절대 온도

k : Boltzman's constant (J/K , eV/K))

따라서 온도가 올라갔을 경우, 임계전압도 증가하게 되고, BV는 상승한다.

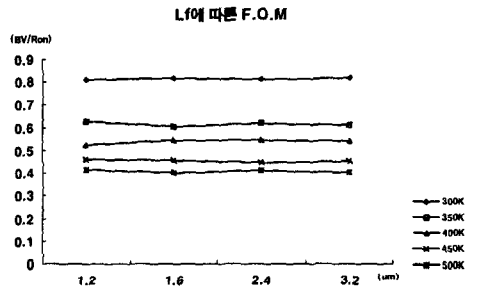
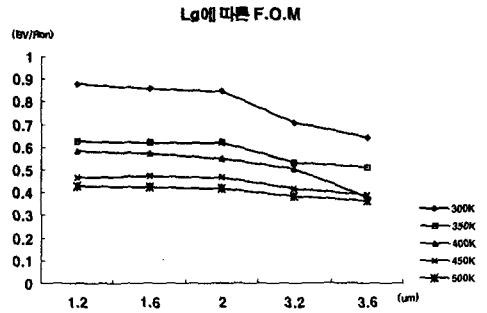
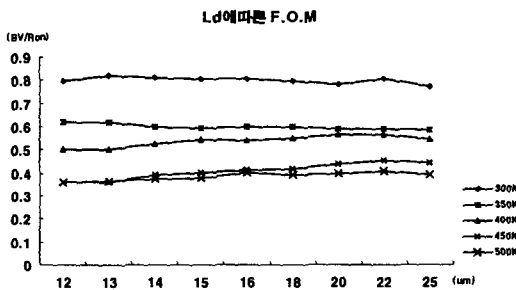
on 저항의 경우는 mobility의 감소로 증가한다. EDMOS의 경우 mobility의 감소는 일반 MOS보다 심각해서 n의 값이 1.5~1.7을 넘어 2.4에 다다르며 식 (3)과 같다.[4]

$$\mu_n = 1360 \left(\frac{T}{300}\right)^{-2.42}$$

.....(3)

EDMOS의 측정은 300K에서부터 500K 까지 50K의 간격으로 하였고, 각각의 온도에서 Ld는 12 μ m에서 25 μ m, Lg는 1.2 μ m에서 3.6 μ m까지, Lf는 1.2 μ m에서 3.2 μ m로 변화시켜서 수행하였다.

F.O.M=BV/Ron



위의 세 그림은 차례로 Ld, Lg, Lf에 따른 F.O.M의 변화이다. F.O.M가 BV/Ron이므로 F.O.M을 각 소자별 성능에 관한 수치로 볼 때 높을수록 바람직하다.[2]

결과를 분석하여 보면 F.O.M는 각 소자에 대한 구조적인 scale보다 온도에 따라서 더 큰 변화를 보였다. Ld에 따른 F.O.M의 plot 경우 길이가 증가할 때, 온도가 낮을 때는 소폭 감소하였고, 온도가 높을 때는 소폭 증가하였다. 하지만 그 증감 폭은 미미하여 Ld의 길이는 어떤 온도에서라도 EDMOS가 요구되어지는 BV를 만족하게끔 설계될 수 있게 된다. 그러나 고온으로 갈수록 온도에 대한 대책이나, 생각하는 방법을 고려해야 할 것이다.

Lg에 따른 경우 F.O.M는 길이가 늘어남에 따라 감소하였다. 이것은 Lg가 길어지면 EDMOS소자의 성능이 떨어진다는 것을 의미한다. 따라서 Lg는 최소로 설계되어지면서 reach though 같은 이유의 항복을 줄이기 위해, HV p- well의 농도를, Ld의 길이를 고려하여, 높여야 할 것으로 판단된다.

Lf에 따라서 다결정 실리콘 전극 끝 부분에 강한 전계의 위치는 바뀌게 된다. Ld가 짧을 경우 Lf가 길어져서 drain 부근까지 확장된다면, BV의 변화가 일어날 가능성이 크다. 하지만 Lf 변화에 따른 F.O.M에서 볼 때 Ld가 적어도 12 μ m이상일 경우 BV변화의

가능성은 없다고 판단할 수 있다. 즉 전극 끝 부분이 가지고 오는 최대전계의 위치와 BV나 on 저항은 step gate구조를 사용한 경우 상관관계가 없다.[5]

3. 결론

본 논문은 전력 MOSFET중 가장 널리 사용되는 소자중 하나인 EDMOS의 온도별에 따른 구조적 스케일에 대한 기준을 제안하는 것이 목표이다. 200V급 SOI EDMOS의 측정을 하여, 온도별로 Ld, Lg, Lf의 변화에 F.O.M를 살펴보았는데, LD의 길이와 온도에 따른 F.O.M 그래프에서는 온도가 높을수록 F.O.M값이 낮은 F.O.M값을 갖는 것을 알 수 있는데, 300K에서 350K의 온도에서 값이 가장 크게 차이가 났다.

Lg와 Lf와 온도 변화에 따른 F.O.M 그래프도 300K-350K 사이에서 F.O.M값 사이의 간격이 가장 큰 사실을 확인 할 수 있었다. 다만 Lg에 따른 변화에서 온도가 400K이고 $Lg=3.2 \times 10^{-6} \mu m$ 에서부터 F.O.M값이 급격하게 감소하는 것을 볼 수 있다.

결국 필요로 하는 F.O.M값을 얻기 위해서 가장 중요하게 고려해야할 것은 고온영역에서 냉각이다. Ld와 Lf는 F.O.M에 큰 변화를 주지 않으므로 설계시 BV나 on 저항 등에서 응용에 맞는 scale이 중요하다고 판단되며, 채널길이 Lg 경우는 짧을수록 유리하다는 결과를 얻었다.

참고문헌(또는 Reference)

- [1] M. Amato and V. Rumennik, Tech. Dig. EDM, 736, (1985)
- [2] Yong Seo Koo et al. Journal of the Korean Physical Society, Vol. 39, December 2001. pp S352~S355
- [3] B. J. Baliga, "Power Semiconductor Device," PWS, chap.2, 3, 7 (1996)
- [4] S. M. Sze, "Physics of Semiconductor Device, 2nd Ed., JWS, p.47 (1981)
- [5] Der-Gao Lin, Tu, S.L, Yee-Chaung See, Pak Tam, Electron Devices Meeting, 1995., International , 1995, Page(s): 963 -966
- [6] Mays L, Kime K, Multichip Modules and High Density Packaging, 1998. Proceedings. 1998 International Conference on , 1998 page(s):149-154.
- [7] Mays L, Kime K, Multichip Modules and High Density Packaging, 1998. Proceedings. 1998 International Conference on , 1998 Page(s): 149 -154.
- [8] B. J. Baliga, IEEE Trans. on Electron Devices, Vol. 38, No. 7, pp. 1568-1575 July 1991.
- [9] Poul G. Y. Tsui, et al., IEEE Trnas. on Electron Devices, Vol. 42, No. 3, pp. 564-570, March 1995.
- [10] Yong Seo Koo, Moon Sang Kang, Chul Choi and Chul An, Journal of the Korean Physical Society, Vol. 39, December 2001. pp S352~S355
- [11] Henrotte F. Nicolet A. Hedia H. Genon A. Legros, W. Magnetics, IEEE Transactions on , Volume: 30 Issue: 5 Part: 2 , Sept. 1994, Page(s): 3236 -3239
- [12] B. Jayant Baliga "Power Semiconductor Devices," pp. 335-350
- [13] Dutta P. Candela G. A. Chandler-Horowitz D. Peckerar, M. C. SOS/SOI Technology Workshop, 1988. Proceedings., 1988 IEEE, 1988 Page 34
- [14] Jean-Pierre Colinge " Silicon-On Insulator Technology: Materials to VLSI," 2ns Edition. page 32
- [15] S. M. Sze "Physics of Semiconductor Devices," 2nd Edition.
- [16] S. Merchant, E. Arnold, H. Baumgart, R. Egloff, T. Letavic, S. Mukherjee, H. peain, 5th International Symposium on power Semiconductor Devices and IC 1993 pp. 124-127
- [17] Amberetu M. A. Salama C. A. T. Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on , 2000. Page(s): 101 -104