

# TFT-LCD 구동회로를 위한 High Slew-rate Two-stage OP-AMP

유 용 수, 권 오 경  
한양대학교 전자전기컴퓨터공학부

## A High Slew-rate Two-stage OP-AMP for TFT-LCD Driver ICs

Yong-Su You and Oh-Kyong Kwon  
Div. of Electrical and Computer Engineering, Hanyang University  
E-mail : okwon7@chol.com

### Abstract

We proposed a new two-stage operational amplifier that increases the slew rate by adding some simple circuitry to the conventional structure. The proposed circuit is simulated by HSPICE and the slew rate of the proposed circuit is improved more than 10 times than that of conventional one in slewing state without considerable increments in area and power consumption.

### I. 서론

TFT-LCD 데이터 구동회로(data driver)에서 연산증폭기(operational amplifier)는 데이터 라인(data line)을 주어진 라인타입(line time) 안에 구동하기 위한 버퍼로써 사용된다[1,2]. 데이터 구동회로는 데이터라인의 수만큼 많은 수의 연산증폭기를 포함하고 있기 때문에 연산증폭기 하나의 소비전력과 면적은 데이터 구동회로의 소비전력과 면적에 큰 영향을 끼친다. LCD 패널의 해상도가 증가함에 따라 데이터 라인의 수가 증가하여 그 영향은 더욱 커지고 있어 연산증폭기의 전력 소모량과 면적은 더욱 더 중요한 문제로 부각되고 있다. Class-AB형 연산 증폭기는 슬루율(slew rate)이 높고

소비전력이 적어 TFT-LCD 패널구동을 위한 버퍼로서 많이 사용되고 있다. 그러나 그 구조가 복잡해서 큰 면적을 차지한다는 단점이 있다[3]. 이에 반해 2단 연산증폭기(two-stage OP-AMP)는 구조가 간단해서 작은 면적을 차지한다. 그러나 입력단에 큰 차동 신호가 인가되었을 때 출력 전압이 입력 전압을 즉시 따라가지 못하고, 대신 선형적으로 변화하는 슬루현상(slew phenomena)을 발생 시킨다[4]. 이 현상으로 출력 전압이 목표전압에 이르는 시간이 길어지게 된다. 따라서 2단 연산 증폭기가 TFT-LCD 데이터 구동회로에서 버퍼로써 사용될 경우 슬루현상으로 인해 데이터 라인을 주어진 라인 타임 안에 충전할 못시키는 일이 발생 될 수 있다. 이러한 문제는 연산증폭기의 정상상태 전류를 증가시킴으로써 해결 할 수 있지만 소비 전력 역시 증가하게 된다[5]. 본 논문에서는 기존의 2단 연산증폭기에 간단한 회로를 추가함으로써 슬루율을 향상 시킬 수 있는 구조를 제안하였고 HSPICE[6] 시뮬레이션을 통해서 이것을 검증하였다. 그리고 제안한 회로를 TFT-LCD 데이터 구동회로에 적용했을 때 그 면적이 감소함을 확인했다.

### II. 기존의 2단 연산증폭기의 문제

그림 1은 기존의 2단 연산증폭기를 나타낸다. In0과 out을 연결하면 단일이득 루프(unity gain feedback)를 이루어 버퍼로써 사용될 수 있다. 그림 1의 회로가 단

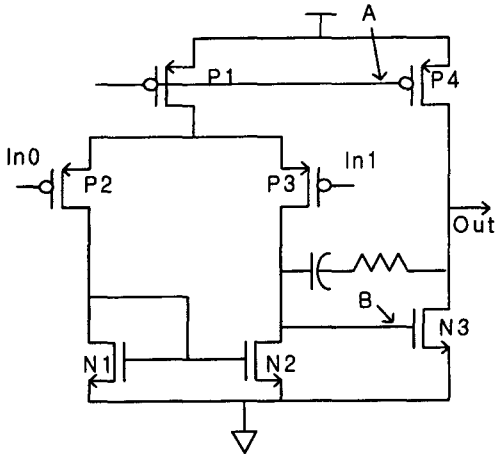


그림 1. 일반적인 2단 연산 증폭기의 구조.

일어득 루프를 이루고 In1에 하강 차동 전압이 인가되었을 때 P3에 흐르는 전류는 증가하고 P1에 흐르는 전류는 일정하기 때문에 P2와 N1에 흐르는 전류는 감소한다. N1과 N2는 같은 게이트 전압을 가지므로 N2에 흐르는 전류도 역시 감소한다. 증가하는 P3에 흐르는 전류와 감소하는 N2에 흐르는 전류를 일치시키기 위해 B의 노드 전압은 상승하게 된다. 노드 B의 전압이 상승하면 채널 길이 변조 효과(channel length modulation effect)에 의해 P3의  $V_{ds}$ 는 작아져 전류가 감소하게 되고 N2의  $V_{ds}$ 는 증가하여 전류역시 증가되어 P3과 N2의 전류는 일치하게 된다. B노드 전압의 상승은 N3에 흐르는 전류를 증가시킨다. P4에 흐르는 전류는 일정하므로 N3은 부족한 전류를 출력부하로부터 공급 받아야만 한다. 출력 부하에서 전류가 N3을 통해 흘러 나가면 출력전압은 하강하게 된다. 하강 속도는 B노드 전압상승 폭에 비례하는데 이것은 입력 차동모드 전압의 하강 폭에 비례한다. 즉 입력 전압의 하강 폭이 크면 N3을 통한 방전 전류 역시 많아진다. 상승 차동 전압이 인가 될 경우 반대로 B노드 전압은 하강하여 N3은 닫히게 된다. P4에 흐르는 전류는 N3으로 흐르지 못하고 출력 부하로 공급되어 출력전압은 상승하게 된다. 그러나 이 경우 하강 시와 달리 출력 전압의 상승 속도는 입력 차동 전압의 크기와 상관없이 일정하다. 이것은 P4의 게이트 전압이 늘 일정하여 P4에 흐르는 전류 역시 일정하기 때문이다.

### III. 제안한 2단 연산 증폭기

그림 1의 기존 회로에서 슬루율을 높이기 위해서는 슬루현상 발생시 P4의 게이트 전압은 일정한 전압이 아닌 낮은 전압을 공급 받아야 한다. 슬루현상 발생시 이를 감지해서 P4 게이트 전압을 낮추는 회로가 필요

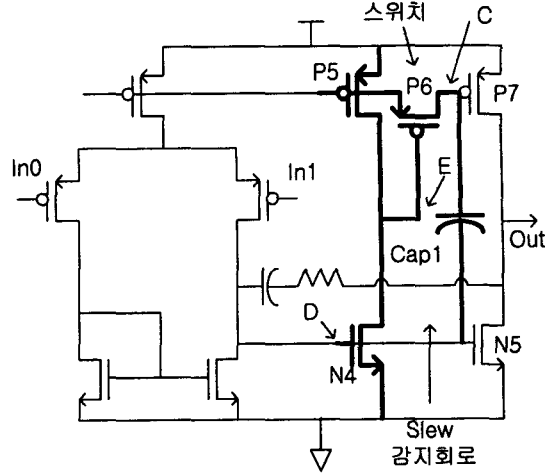


그림 2. 제안한 2단 연산 증폭기의 구조.

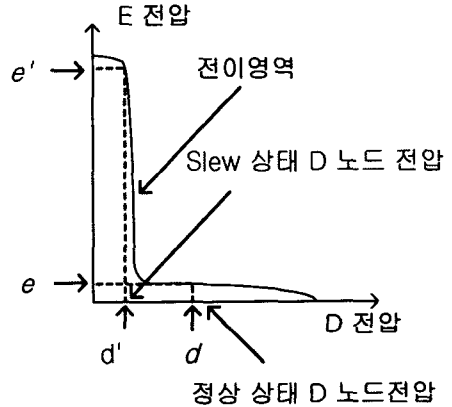


그림 3. 슬루 감지회로 인버터의 전달 특성.

하다. 그림 2는 제안한 연산증폭기 구조이다. 기존의 구조에 N4와 P5로 이루어진 인버터, 스위치 P6, 그리고 커패시터 Cap1이 추가 되었다. 이 인버터는 슬루감지 회로로 사용된다. 슬루현상 발생시 슬루감지 회로는 P6 스위치를 닫아 외부 바이어스 전압이 P7의 게이트로 공급되는 것을 차단하는 역할을 한다. 그림 3은 P5와 N4로 이루어진 인버터의 전달 특성이다. P5의 크기는 작게 하고 N4의 크기는 크게 함으로써 전이 영역이 낮은 전압방향으로 치우쳐 위치하도록 설계하였다. 공통모드 전압이 인가될 경우 D 노드전압은 그림 3에서와 같이 d를 유지하고 E 노드는 e를 유지하도록 설계한다. e는 낮은 전압이므로 P6 스위치는 꺼져 C노드에 일정한 바이어스(bias)전압이 공급된다. 큰 상승 차동 모드 전압이 인가되어 슬루현상이 발생할 경우 D 노드전압은 그림 3의 d에서 d'로 하강하고 E 노드전압은 e에서 e'로 상승하게 된다. E 노드 전압이 상승함에 따라 P6 스위치는 꺼져 C노드는 floating 상태가 되고 하강하는 D 전압은 Cap1의 coupling 작용

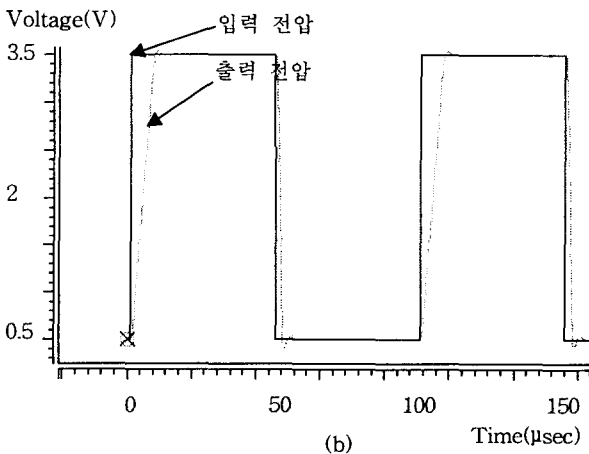
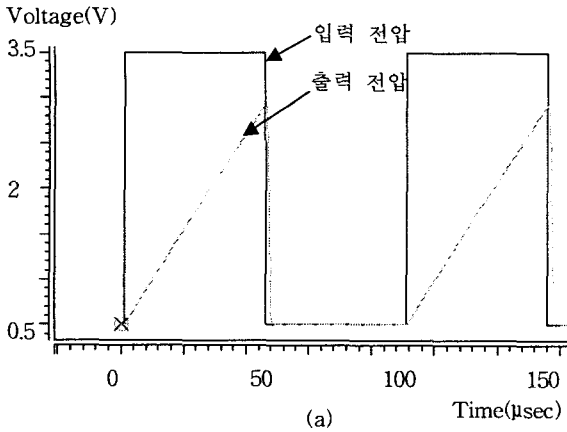


그림 4. (a) 일반적인 2단 연산 증폭기의 출력 전압 파형, (b) 제안한 2단 연산 증폭기의 출력 전압 파형. (부하 조건 40pF, 4kΩ)

을 통해 floating 상태인 C노드 전압을 떨어뜨린다. C노드 전압이 낮아지면 P7의 전류가 증가되어 상승 슬루율이 향상되게 된다.

#### IV. D 노드 전압의 결정

그림 2 회로가 단일 이득 루프를 이루었을 때 출력전압이 높은 상태로 유지되는 경우 채널 길이 변조 효과에 의해 P7의 전류는 감소하고 N5의 전류는 증가한다. 이 전류 차이를 줄이기 위해서 피드백 루프는 D노드(N5의 게이트) 전압을 낮은 상태로 유지시켜 N5 전류를 감소시킨다. D노드 전압이 낮아지는 폭이 크면 슬루 감지 회로 출력은 높은 전압으로 반전되어 P3 스위치가 꺼지는 일이 발생될 수 있다. 이러한 오동작을 예방하기 위해 공통모드 입력전압이 인가되는 상황에서 그림 3에서 D노드의 전압인 d는 전이 영역으로부

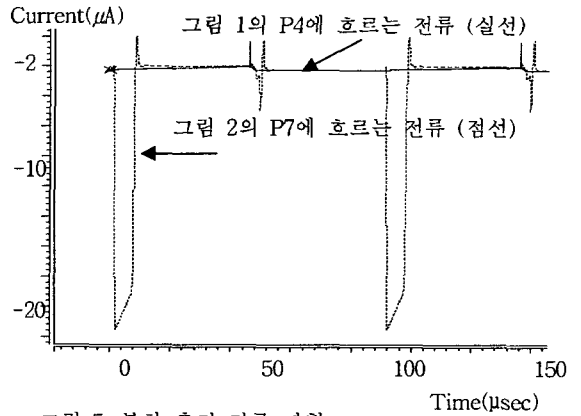


그림 5. 부하 충전 전류 파형.

터 멀리 높은 전압에 위치하도록 설계되어야 한다. 커패시터의 커플링 효과는 floating 노드에서 일어나기 때문에 C노드가 floating 되는 시점은 D노드의 하강 동작이 완료되는 시점보다 앞서야 한다. C노드의 floating 되는 시점이 늦을 경우 D노드의 전압 하강은 이미 끝나게 되어 전압의 변화가 없으므로 C노드의 전압 변화도 없다. 그림3에서 d전압이 전이 영역에 가까울수록 슬루 감지회로의 반전 동작이 빨리 일어나 P6 스위치도 빨리 꺼져 C노드의 floating 동작은 빨리 일어나게 된다. 이 경우 커플링 되어 하강하는 C노드의 전압폭도 커져 P2의 충전 전류는 더욱 많이 증가되게 된다. 그러나 이와 같이 D노드 전압이 전이 영역에 가까울 경우 충전전류의 향상 정도는 크지만 위에서 언급한 높은 출력전압에 따른 오동작을 발생시키기 쉽다.

#### V. 시뮬레이션 결과

그림 4와 5는 40pF, 4kΩ의 부하를 기존의 2단 연산 증폭기와 제안한 연산증폭기로 구동했을 경우를 HSPICE를 이용해서 시뮬레이션 한 결과이다. 기존의 연산증폭기로 구동했을 경우 그림 4 (a)와 같이 출력 전압 파형이 입력전압 파형을 따라가지 못하는 반면 제안한 연산증폭기로 구동했을 경우 그림 4 (b)와 같이 출력전압이 입력전압을 따라가는 것을 볼 수 있다.

그림 5는 출력 전압이 상승 할 때 부하에 충전전류를 공급하는 역할을 하는 P4와 P7에 흐르는 전류를 보여준다. 기존의 구조에서 충전전류를 공급하는 P4는 차동모드입력의 경우나 공통모드 입력의 경우에 상관없이 일정한 전류(2.1μA)를 흐르는 것을 볼 수 있고 제안한 구조에서는 충전전류를 공급하는 P7은 공통모드 입력인 경우는 2.1μA의 작은 전류를 흐르는 반면 차동

모드 입력이 인가되어 슬루현상이 발생하는 경우 전류가 20.2 $\mu$ A가 흘러 그 양이 10배 이상 향상되었음을 알 수 있다. 표 1은 기존의 회로와 제안한 회로의 차이를 보여 준다. 출력 전압 상승 시 슬루율이 기존의 0.047V/ $\mu$ sec에서 0.46V/ $\mu$ sec으로 10배 이상 향상 되었다는 것을 알 수 있다. 제안한 회로의 정상상태 전류가 기존 회로의 것보다 600nA만큼 더 큰데 이것은 슬루감지 인버터에 흐르는 전류 때문이다. 3개의 MOS와 1개의 커패시터가 추가됨으로써 그림 6에서와 같이 면적이 0.0057 mm<sup>2</sup>에서 0.0066 mm<sup>2</sup>로 0.0009mm<sup>2</sup>만큼 증가 하였다.

표 1. 기존의 구조와 제안한 구조의 시뮬레이션 결과 비교.

	기존의 2단 연산 증폭기	제안한 2단 연산 증폭기
전원	5.5 V	5.5 V
정상상태 전류	2.7 $\mu$ A	3.3 $\mu$ A
슬루율	하강시: 1.56V/ $\mu$ sec, 상승시: 0.047V/ $\mu$ sec	하강시: 1.56V/ $\mu$ sec, 상승시: 0.46V/ $\mu$ sec
DC 전압 이득	77 dB	77 dB
Phase margin	35°	37°
면적	0.0057 mm <sup>2</sup>	0.0066 mm <sup>2</sup>

## VI. 결론

기존의 2단 연산증폭기 회로에 3개의 트랜지스터와 1개의 커패시터를 추가함으로써 상승 슬루율을 기존의 구조 보다 10배 이상 향상시켜 기존 2단 연산 증폭기의 단점이었던 슬루현상을 해결했다. 기존의 Class AB형 연산 증폭기가 20개 이상의 트랜지스터와 2개의 커패시터를 포함하는 반면 제안한 회로는 2개의 커패시터와 11개의 트랜지스터를 포함하고 있다. 따라서 제안한 회로를 TFT-LCD 패널구동을 위한 버퍼로써 이용한다면 데이터 구동회로의 면적을 감소 시킬수 있을 것이다.

## 참고문헌

[1] P. Gray and R. G. Meyer, IEEE J. Solid State Circuits 17, 12 1982.  
 [2] J. Park, J. Korean Phys. Soc. 35, S934 1999.

[3] Tetsuro Itakura, Hironori Minamizaki, Tetsuya

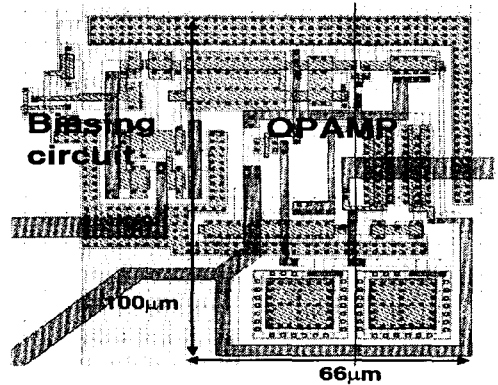


그림 6 제안한 2단 연산 증폭기의 레이아웃.

Saito, and Tadashi Kuroda, "A 402-Output TFT-LCD Driver IC with Power Control Based on the Number of Colors Selected," IEEE J. Solid-State Circuits, vol. 38, NO. 3, pp. 503-510, March 2003

[4] Dong-Uk Lee, Oh-Kyong Kwon and Inhwan LEE, "Class-B Operational Amplifier for Low-Power Flat-Panel Displays," Journal of the Physical Society, Vol. 40, No. 4, pp. 546-551, April 2002.  
 [5] Tetsuro Itakura, "A High Slew Rate Operational Amplifier for an LCD Driver IC," IEICE TRANS. FUNDAMENTAL, VOL. E78-A, NO. 2, pp. 191-195, FEBRUARY 1995.  
 [6] Avant! Corp., "Star-Hspice Manual," December, 2000.