

Lock detector 를 사용하여 빠른 locking 시간을 갖는 DLL

조용기, 이지행, 진수중, 이주애, 김대정, 민경식, 김동명
국민대학교 전자정보통신공학부
전화 : 02-910-5173 / 핸드폰 : 019-434-7069

Fast Lock-Acquisition DLL by the Lock Detection

Yong-Ki Cho, Ji-hang Lee, Sujong Jin, Joo - Ae Lee, Daejeong Kim,
Kyeong - Sik Min, and Dong Myong Kim
School of Electrical Engineering, Kookmin University
E-mail : icdlyong@kookmin.ac.kr

Abstract

This paper proposes a new locking algorithm of the delay locked loop (DLL) which reduces the lock-acquisition time and eliminates false locking problem to enlarge the operating frequency range. The proposed DLL uses the modified phase frequency detector (MPFD) and the modified charge pump (MCP) to avoid the false locking problem. Adopting a new lock detector that measures delay between clocks helps the fast lock-acquisition time greatly. The idea has been confirmed by HSPICE simulations in a 0.35- μm CMOS process.

I. 서론

최근 제조공정 기술의 발전으로 인해 초고속 VLSI 시스템 개발이 활발하게 이루어짐에 따라 IC 모듈 사이의 데이터간의 동기 (synchronization)가 VLSI 시스템의 전체 동작 성능을 결정하는 중요한 문제로 부각되고 있다. 이러한 동기에 관한 질적인 특성은 IC 모듈의 입출력 단에 DLL 을 사용함으로써 많이 개선할 수 있다. 현재 많이 사용되고 있는 DLL 은 초기 locking 동작 시 출력 클럭이 stuck 이 되거나 혹은 harmonic locking 에 의한 동작 범위의 제한에 따른 문제점을 갖고 있으며, 긴 locking 시간을 필요로 한다.

본 논문에서는 MCP 와 MPFD 를 이용하여 false

locking 을 제거하고, lock detector 에 의한 voltage controlled delay line (VCDL) 직접제어 방식으로 넓은 동작범위 및 빠른 locking 시간을 갖는 새로운 DLL 을 제안한다.

II. DLL 의 비정상적인 lock 동작

그림 1 은 DLL 의 개념적인 블록도이다.

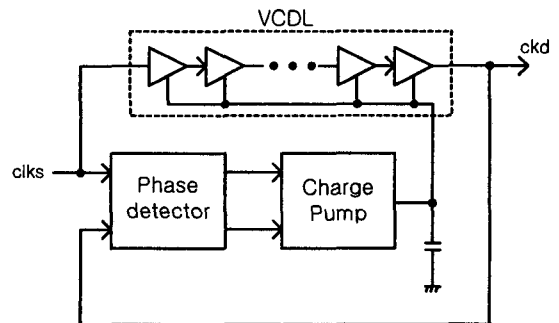


그림 1. 기존의 DLL 블록도

그림 1 의 phase detector (PD)를 사용하는 DLL 은 추가의 locking 에 관한 대책이 없다면 stuck 과 harmonic locking 의 문제가 발생할 수 있다. 그림 2 는 이러한 stuck 혹은 harmonic locking 과 같은 비정상적인 상황이

발생할 때의 클록 타이밍을 보인 것이다. Stuck 의 경우는 VCDL 이 구현할 수 있는 최소 지연시간의 제한으로 인해 locking 이 될 수 없으며 harmonic locking 은 2클록 이상에서 동기가 되는 것이다. 위와 같은 false locking 의 위험성을 벗어나기 위해서는 기존의 DLL 은 식 (1) 과 같이 동작범위에 제한을 받는다 [1].

$$\begin{aligned} & \text{Max}(T_{VCDL_min}, \frac{2}{3} \times T_{VCDL_max}) \\ & < T_{CLK} < \text{Min}(T_{VCDL_max}, 2 \times T_{VCDL_min}) \end{aligned} \quad (1)$$

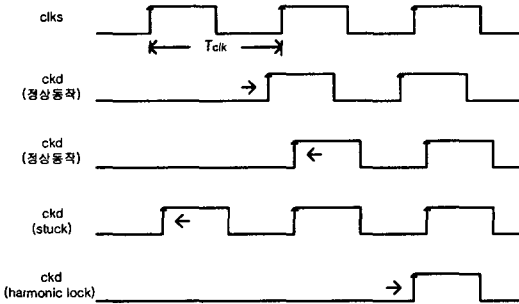


그림 2. DLL 의 정상동작 및 비 정상동작

III. 제안하는 DLL 의 구조 및 동작

본 논문에서 제안하는 DLL 은 그림 3 과 같이 MCP, MPFD, VCDL, lock detector 그리고 replica delay line 등으로 이루어져 있다. 전체 동작은 VCDL 의 제어방식에 따라 크게 lock detector 제어구간과 위상비교 제어구간으로 나뉜다.

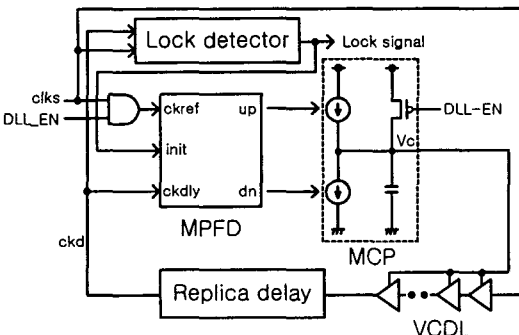


그림 3. 제안하는 DLL 의 전체 회로도

제안하는 DLL 은 stuck 을 제거하기 위해서 DLL 의 시작신호 (DLL-EN)가 'low'일 때 MCP 의 출력전압 (Vc)을 VDD 로 충전시켜 VCDL 의 시간지연을 최소화로 설정하고 MPFD 의 제어신호 (init)에 의해 초기상태를 설정한다. 초기상태 설정이후 시작신호 (DLL-EN)가 인가되면 lock detector 구간에서 locking 을 시작한다.

Lock detector 제어 구간은 기준 신호 (clks)와 지연 신호 (ckd)의 시간차를 lock detector 로 측정하여, 설계된 lock detection 구간까지 MPFD 의 위상비교 없이 빠르게 VCDL 의 지연시간을 증가시킨다. 이후, 기준 신호 (clks)와 지연 신호 (ckd)의 시간차가 lock detection 범위 안에 위치하면 lock detector 제어구간에서 위상비교 제어구간으로 전환하여 MPFD 는 위상 비교방식으로 정밀하게 locking 을 시킨다.

3.1 MPFD 의 동작원리

기존의 PD 는 식 (1)과 같이 동작 주파수를 제한하므로 stuck 을 막기위한 추가적인 회로가 포함된 PFD ($-2\pi \sim +2\pi$)을 사용한다 [2]. 본 논문에서는 PFD 의 넓은 동작 범위와 제어신호 (init)에 의하여 제안된 DLL 의 동작을 구현하도록 그림 4 와 같이 구성하였다. 또한, stuck 을 막기위한 별도의 회로 없이 제어신호 (init)에 의해 초기상태를 설정하여 stuck 을 제거할 수 있다.

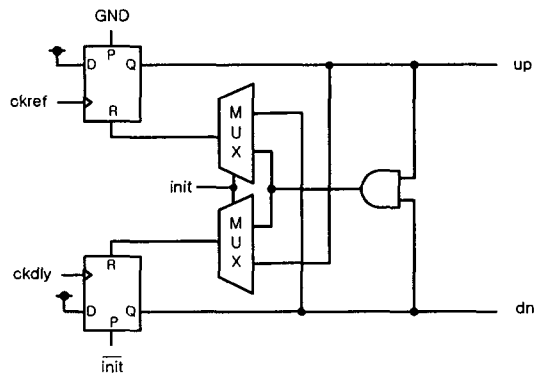


그림 4. MPFD 의 회로도

MPFD 의 제어신호 (init)가 'low'이면 dn 쪽의 D flip-flop 이 set 되고 up 쪽의 D flip-flop 은 reset 되어 래치 동

작을 한다. 이때 MPFD 는 제어신호 (init)가 'high'가 될 때까지 기준신호 (clks)와 지연신호 (ckdly)에 영향을 받지 않으며 전체 동작에서는 lock detector 제어구간이 된다. 그리고 제어신호 (init)가 'high'일 때 위상비교 구간이 되며 MPFD 는 PFD 의 동작을 수행한다.

3.2 제안된 Lock detector 의 동작원리

본 논문에서 제안하는 lock detector 는 그림 5 와 같이 XOR, charge pump, 2 개의 D flip-flop, MUX 그리고 capacitor 로 구성되어 있다.

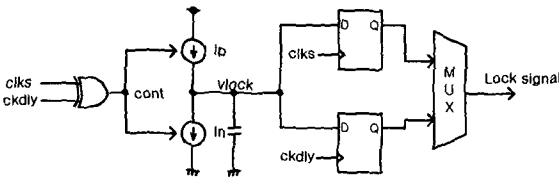


그림 5. Lock detector 회로도

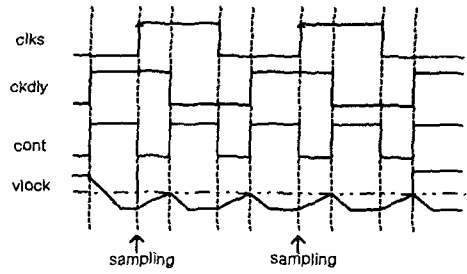
제안하는 lock detector 는 기준 신호 (clks)와 지연 신호 (ckd)의 시간차를 측정한다. 시간차는 설계자가 설계 사양에 맞추어 설정할 수 있으며 식 (3)으로 표현될 수 있다.

$$Q = CV \quad (2)$$

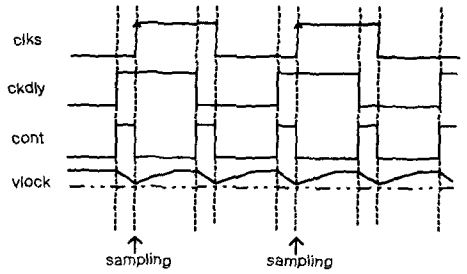
$$\Delta t = \frac{CAV}{I} \quad (3)$$

식 (3)에서 Δt 는 기준신호 (clks)와 지연신호 (ckd)의 시간차이를 나타내고 ΔV 는 VDD 와 locking 되었을 때의 전압의 차이를 의미한다. 결과적으로 Δt 는 설계자가 capacitor 의 크기와 전류의 양 (I)을 조절함으로써 결정한다.

그림 6 은 제안된 lock detector 의 타이밍도이다. 그림 6 (a)는 기준 신호 (clks)와 지연 신호 (ckd)의 시간차가 정해진 범위 밖에 있을 때이며 D flip-flop 은 'low'를 출력하여 VCDL 의 delay 를 빠르게 증가시킨다. 그림 6 (b)는 기준신호 (clks)와 지연신호 (ckd)의 시간차가 정해진 범위 안에 있을 때이며 D flip-flop 은 'high'를 출력하여 MPFD 를 정상동작 시킨다.



(a)



(b)

그림 6. Lock detector 의 타이밍도

(a) lock signal " low" . (b) lock signal " high"

IV. 시뮬레이션 결과 및 해석

제안한 회로를 검증하기 위하여 0.35 μ m 표준 CMOS 공정으로 HSPICE 를 이용하여 시뮬레이션 하였다. 그림 7 은 제안된 lock detector 를 추가한 기존의 DLL 과 제안된 DLL 을 100MHz 의 클럭에서 시뮬레이션을 한 결과이다

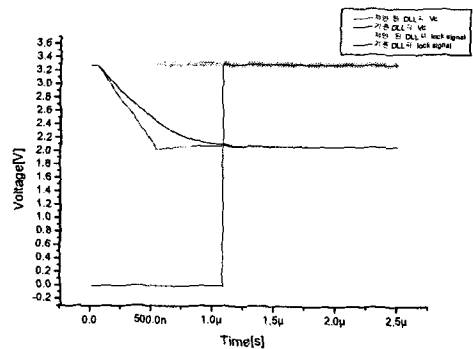


그림 7. lock signal 출력 파형

기존의 DLL 에 제안된 lock detector 를 사용하여

lock detector 가 기준신호 (clks)와 지연신호 (ckd)의 시간차를 측정하고 locking 여부를 판단한다. 그림 7 과 같이 제안하는 DLL 은 lock signal 이 ' high' 가 될 때까지 lock detector 구간이 존재하여 Vc 의 기울기가 일정하지만 기존 DLL 의 Vc 는 기울기가 감소하는 것을 볼 수 있으며 lock detector 제어구간이 있는 DLL 이 빠른 locking time 을 갖는 것을 알 수 있다.

그림 8 과 9 는 그림 7 에서 lock signal 이 'high'가 될 때의 시뮬레이션 결과이다.

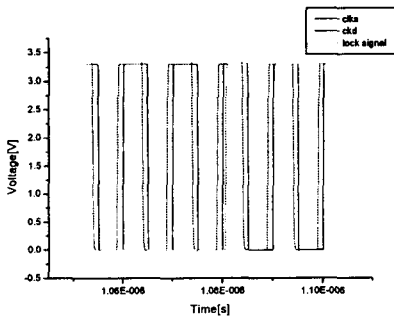


그림 8. 기존의 DLL 의 locking 시간

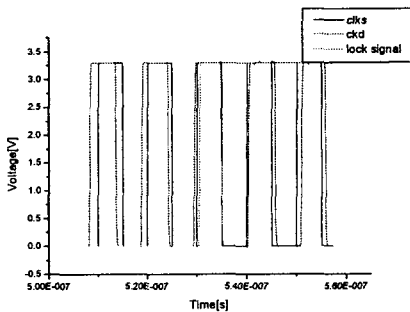


그림 9. 제안된 DLL 의 locking 시간

그림 8 과 9 는 각각 1.081 μ s 와 531ns 에 설계된 시간차에 들어오는 것을 알 수 있다. 이 결과로부터 기존의 DLL 보다 제안된 DLL 이 약 50% locking 시간이 감소하였음을 확인할 수 있다.

그림 10 은 제안하는 DLL 의 레이아웃으로 표준 CMOS 0.35 μ m 2poly 4metal 공정으로 제작되었다.

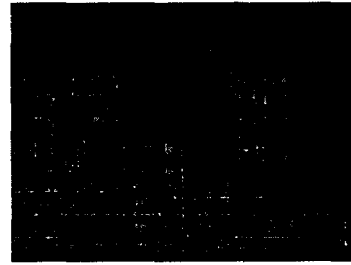


그림 10. 제안하는 DLL 의 레이아웃

VI. 결론

본 논문에서 제안한 DLL 은 MCP 와 MPFD 를 적용해 기존의 PD 를 사용하는 DLL 보다 넓은 주파수 동작 범위를 갖는다. 또한, 제안하는 lock detector 를 이용하여 빠른 locking 시간을 가지면서도 작은 지터 (jitter) 특성을 유지하는 새로운 locking 알고리즘을 적용하였다. 시뮬레이션 결과에서 기존 DLL 의 locking 시간보다 약 50%정도 빠른 것을 검증 하였다.

Acknowledgment

본 논문은 IDEC (IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사드립니다.

참고문헌

- [1] Y. Moon, J. Choi, K. Lee, D. K. Jeong, and M. K. kim, "An all-analog multiphase delay-locked loop using a replica delay line for wide-range operation and low-jitter performance," IEEE J. Solid-state Circuits, vol. 35, pp. 377-384, Mar. 2000.
- [2] C. H. Kim et al., "A 64-Mbit 640-Mbyte/s bi-directional data strobed, double-data-rate SDRAM with a 40-mW DLL for a 256Mbyte memory system," IEEE J. Solid-state Circuits, vol. 33, pp. 1703-1710, Nov. 1998.