

Silicon Thin-body 를 이용한 100nm 이하 SOI-NMOSFET 에서의 제작

양종현, 백인복, 오지훈, 안창근, 조원주, 이성재, *임기주

한국전자통신연구원, 나노전자소자팀
*광주과학기술원 신소재공학과
전화 : 042-860-1773

Fabrication of Sub-100nm FD SOI nMOSFET using Silicon thin-body

Jong-Heon Yang, In-Bok Baek, Jihoon Oh, Chang-Keun Ahn, Won-Ju Cho, Sung-Jae Lee, *Ki-ju Im

Nanoelectronic Devices Team
Electronics and Telecommunications Research Institute

*Dept. of Materials Science and Engineering
Kwangju Institute of Science and Technology

E-mail : delmo@etri.re.kr

Abstract

10nm 이하의 두께를 갖는 얇은 SOI 층 위에서 우수한 동작 특성을 보이는 Fully-Depleted SOI nMOSFET 을 제작하였다. 게이트의 길이가 큰 경우에는 SOI 층이 얇지 않아도 좋은 특성을 보이지만, 게이트 길이가 100nm 이하에서는 Short Channel Effect 에 의한 특성 열화 때문에 SOI thin body 의 두께가 게이트 길이에 따라 같이 얇아져야 한다.[1] 100nm 게이트 길이 SOI-NMOSFET 에서 10nm 이하 body 두께에 따라 V_{th} 는 조금 상승했고, Subthreshold slope 은 조금 개선되는 특성을 보였다. 또한, 45nm 게이트 길이와 3nm 로 추정되는 body 두께를 갖는 nMOSFET 에서 우수한 I-V 동작 특성을 얻었다.

I. 서론

반도체 기술이 발전하면서 MOSFET 의 크기도 계

속 작아지고 있지만, 아직도 많은 기술적 도전들을 맞이하고 있다. SOI-MOSFET 는 고성능, 저전력과 단채널 효과에 강한 특성으로 차세대 반도체 소자로 각광 받고 있다. SOI-MOSFET 은 Bulk MOSFET 에 비하여 향상된 특성을 보이며, 향후 모든 기능을 하나의 칩에 이루어내는 SOC(Silicon-on-a-chip) 기술에 후보로 주목을 끌고 있다. 기존의 Bulk MOSFET 의 채널의 길이가 작아지면서 소자의 특성이 열화시키는 단채널효과가 나타나지만 SOI 를 이용하여 Silicon body 의 두께도 얇아질수록 소자의 특성을 개선시킬 수 있다. 고체상확산법을 이용하여 도핑된 SOI-NMOSFET 에서의 Silicon body 두께에 따른 특성을 분석하였으며, 특히 Sub-100nm MOSFET 에서 개선된 특성을 보였다.

II. Thin-body FD SOI nMOSFET 제작

p Type SOI 기판을 이용하여 여러가지 Silicon Body 두께를 가지는 NMOSFET 을 제작하였다. SOI 기판은 p Type 10^{15}cm^{-3} 기판을 사용하였다.

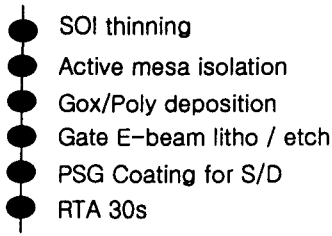


그림 1. Process flow

도핑이 적게된 기판은 작은 크기의 MOSFET 에서 문제가 되는 불순물 분포 fluctuation 이 없고, 전자의 이동도도 감소하지 않는 장점을 가진다. 특히, 소자의 게이트 채널 길이가 작아 질수록 생기는 Short Channel Effect 가 가장 크게 영향을 미칠 수 있기 때문에 undoped 기판에서의 얇은 Body 두께의 효과는 매우 크게 나타난다. SOI 의 thin body 는 희석된 TMAH 계열의 습식각을 이용하여 채널이 만들어지는 Si 표면의 스트레스와 결함을 최소화 하였으며, 두께 조절 측면에서는 건식산화에 비해 공정이 매우 단순하다. Silicon 의 식각 속도는 2.9nm/min 정도로 공정조건 조절이 용이하다. SOI 의 두께는 습식각 속도로부터 시간으로 추정하였다. Active 를 mesa isolation 하고 4nm 게이트 산화막과 120nm poly silicon 을 증착 하였다. E-beam lithography 로 250nm 에서 45nm 까지 게이트 패턴을 형성하고, 소스와 드레인은 shallow junction 을 가지면서 결정결함을 없애기 위해 고체상 확산법을 사용하였고, 850 도에서 950 도까지 RTA 로 열처리 하였다.

II. Thin body nMOSFET 의 특성

우선 게이트의 길이가 큰 NMOSFET 에서 Body 두께를 100nm 에서 20nm 까지 thinning 하여 silicon body 두께에 따른 특성의 변화를 보았다. Source 와 Drain 은 보통 Body 의 두께가 얇아짐에 따라 면저항이 크게 증가하여 ultra thin body 를 이용한 Fully depleted SOI MOSFET 공정 여유도 측면에서

단점을 가진다고 알려져 있다. 이를 개선하기 위하여 Selective Epitaxial Growth (SEG)를 이용한 Elevated 소스 드레인 구조가 개발되고 있지만, 고체상 확산법 (Solid Phase Diffusion)을 이용한 소스 드레인은 확산깊이가 매우 얇으면서도 도핑농도는 매우 높아 충분히 낮은 면저항 특성을 보여주며, 단채널 효과도 개선시킬 수 있다. 그림 2 를 보면, 20nm 두께까지는 면저항이 크게 증가하지 않으므로 50nm 급 MOSFET 까지는 별도의 SEG 공정 없이도 가능하다는 것을 보여준다. 소스 드레인의 저항을 더 떨어뜨리기 위한 silicide 공정도 가능한 두께이다. 하지만 50nm 미만 크기의 SOI-MOSFET 에서는 10nm 이하의 두께 thin body 가 필요하고 이때에는 저항도 급격히 증가하여 On-current 가 많이 감소하는 것을 볼 수 있으며, silicide 공정을 하기에 silicon 두께가 너무 얇아 SEG 가 필요할 것으로 보인다. 그림 3 에서와 같이 게이트 길이가 5um 인 MOSFET 에서는 silicon body 두께가 얇아져도 Id-Vg 특성이 크게 변화하지 않는 것을 볼 수 있다. 이는 게이트의 길이가 충분히 크기 때문에 단채널 효과에 의한 특성저하가 보이지 않는다는 것을 보여준다.

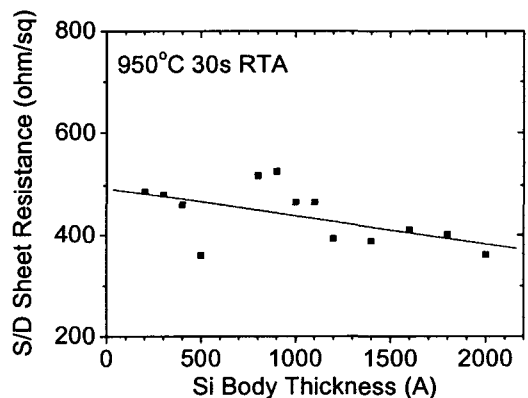


그림 2. Si body 두께에 따른 소스/드레인 면저항

5um 게이트 길이를 갖는 nMOSFET 에서는 채널 길이가 충분히 길기 때문에 단채널 효과에 의한 특성저하가 관찰되지 않았다. 소자에 따라 다소 편차는

있으나 두께에 따른 V_{th} 와 Subthreshold Slope 이 거의 변화가 없음을 보여주며, 그림 3 에서는 이에 따른 I_d - V_g 특성이 Body 두께에 따라 거의 유사한 것을 보여준다. 하지만, 이는 게이트 길이가 충분히 크고 Body 두께도 20nm 정도까지 밖에 되지 않기 때문에 Body 두께에 따른 정확한 특성을 보기 위해서는 게이트 길이가 100nm 이하 소자에서 그 특성을 보아야 한다.

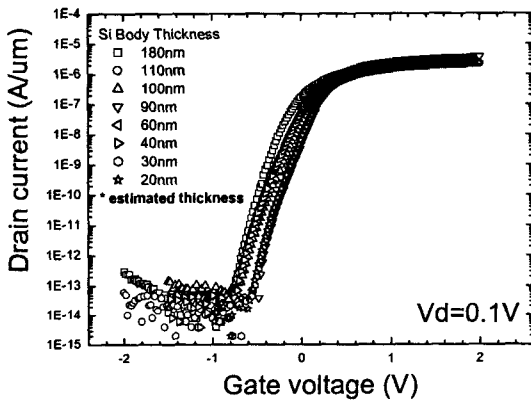


그림 3. Body 두께에 따른 I_d - V_g 특성

소자 시뮬레이션 결과에 따르면, 게이트 채널의 길이가 줄어들수록 단채널 효과에 의해 누설전류가 크게 증가하여 I - V 특성이 나빠지는 것을 확인할 수 있었으며, 이를 개선시키기 위해서는 게이트 길이의 1/3 정도로 si body 두께를 얇게 줄였을 때 충분히 만족할 만한 subthreshold slope 특성이 나타났다.

그림 4에서 실제로 제작된 nMOSFET에서 100nm 게이트 길이를 가지는 소자에서 각각 3,5,7nm Si body 두께를 가질 때 매우 우수한 I - V 특성을 보여준다. 향후 Si 소자의 크기가 줄어들수록 Bulk 에 비하여 좋은 특성을 가지는 SOI-MOSFET 의 도입을 꼭 필요하며, 이때 Si body 의 두께를 얇게 하여 소자 특성을 개선시킬 수 있다.

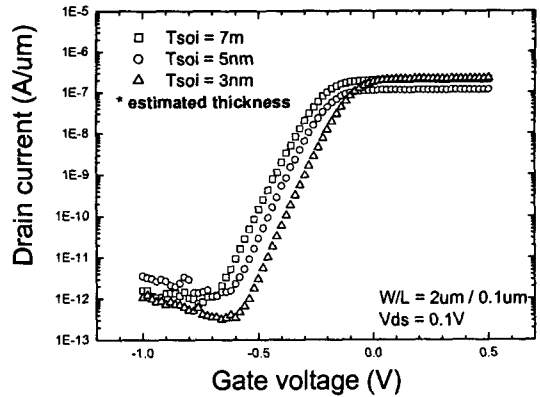


그림 4. 100nm 길이의 nMOSFET I_d - V_g 특성
 $T_{si}=3,5,7$ nm (추정값)

TEM 을 통한 실제 소자에서 Body 의 두께를 측정할 수 없었지만 여러 테스트를 통해 두께를 추정할 수 있었다. On-current 가 아주 낮았으며 두께에 따른 경향성도 없었다. 이는 Body 두께가 너무 얇고 그에 따른 contact 저항에도 많은 편차가 있는 것으로 보인다. 그러므로 10nm 이하의 body 두께에서는 SEG 를 이용한 silicide 공정이 앞으로 필요하겠다.

그림 5 에서 같은 body 두께 10nm 이하 게이트 길이 100nm 소자에서 V_{th} 와 SS 모두 좋은 특성을 보였으나, Body 두께가 얇아짐에 따라 Threshold voltage 는 조금 상승하고, subthreshold slope 특성은 약간 더 개선되었다.

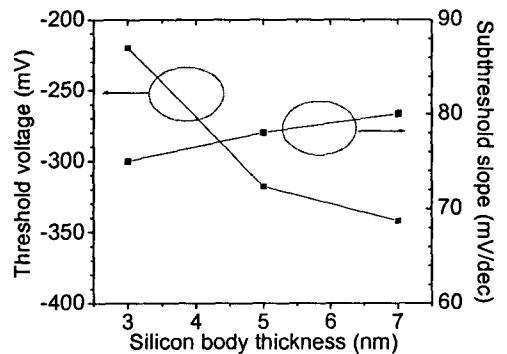


그림 5. Body 두께에 따른 V_{th} 와 Swing 특성

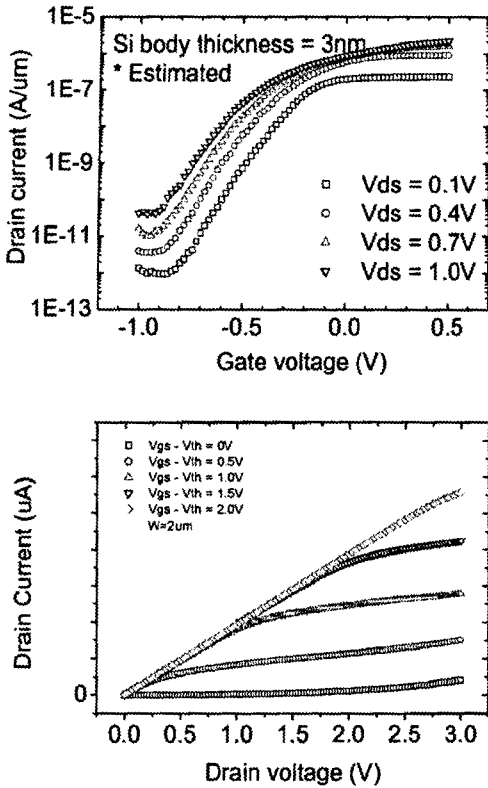


그림 6. 3nm Si Body 두께를 가지는 45nm 게이트 길이의 SOI-nMOSFET 의 Id-Vg, Id-Vd 특성

그림 6 은 Body 두께 3nm, 게이트 길이 45nm 크기의 SOI-nMOSFET 의 특성으로 undoped 기판에서도 단채널 효과가 전혀 보이지 않으며, 좋은 I-V 특성을 보여준다.

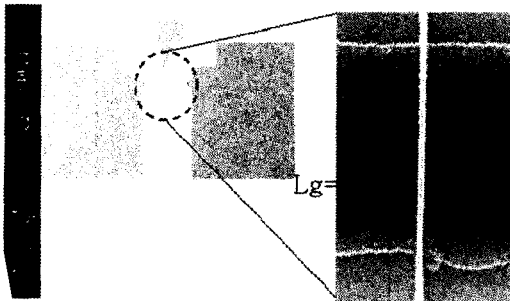


그림 7. 게이트 길이 45nm SOI-nMOSFET

IV. 결 론

10nm 이하의 매우 얇은 Si body 두께를 가지는 Fully-Depleted SOI-nMOSFET 을 제작하였다. MOSFET 의 크기가 50nm 이하로 가면서 Body 두께를 얇게 하고 매우 얇은 소스와 드레인 접합을 만드는 것이 단채널 효과로 인한 소자의 특성저하를 막을 수 있었다. 희석된 TMAH 용액으로 간단하게 body 의 두께를 줄이고, 고체상 확산법을 이용한 얇은 접합을 만들어 Body 두께 3nm, 게이트 길이 45nm 에서 Sidewall 없이 undoped 기판을 이용하여, 우수한 I-V 특성을 보이는 소자를 성공적으로 제작하였다. 얇은 body 를 가지는 FD SOI-MOSFET 은 앞으로 SEG 와 silicide 공정과 두께 조절 공정의 안정화를 통해 실리콘 미래 신소자를 이용한 SOC(System-on-a-chip) 기술을 위한 기초가 될 것이다.

References

- [1] Y.K.Choi, et. al. " Ultra-thin Body SOI-MOSFET for Deep-sub-tenth Micron Era" , IEDM, 1999.