

# IEEE 802.11a 무선랜 모뎀 동기부의 고정 소수점 DSP 구현

정 중 현, 이 서 구, 정 윤 호, 김 재 석, \*서 정 욱, \*최 중 찬  
연세대학교 정보통신용 SOC 설계 연구실, \*한국전자부품연구원  
전화 : 02-2123-3880 / 핸드폰 : 016-228-8709

## Fixed point DSP Implementation of the IEEE 802.11a WLAN modem synchronizer

Joonghyun Jung, Seogu Lee, Yunho Jung, Jaeseok Kim, Jungwook Seo, Jongchan Choi  
Communication SOC Design Lab, Yonsei University  
E-mail : jhjung@asic.yonsei.ac.kr

### Abstract

Orthogonal Frequency Division Multiplexing (OFDM) is a promising technology for high speed multimedia communication in a frequency selective multipath channel. In this paper, Software IPs for the synchronizer of IEEE 802.11a Wireless LAN system are designed and optimized for TI's TMS320C6201 fixed point DSP. As a result of the execution cycles of the target DSP for each functions of the system, an efficient HW/SW partitioning method can be considered.

### I. 서론

현재 이동통신 시스템 분야의 연구는 멀티미디어 통신을 위한 100Mbps 이상의 고속화와 서로 다른 표준 간의 핸드오프(handoff)를 목표로 활발히 진행되고 있다. 직교 분할 다중 반송파(OFDM) 전송 방식은 차세대 이동통신의 고속화에 대한 요구를 만족시키는 통신 방식으로 디지털 TV나 무선랜(Wireless LAN)등에서 활발히 연구되고 있으며, 1999년에 제정된 IEEE 802.11a 무선랜 표준은 OFDM 방식을 적용하여 최고 54Mbps의 전송속도를 갖도록 규정되었다.

더불어 최근 활발히 연구되고 있는 SDR(Software Defined Radio) 및 다양한 표준을 지원하는 개방형 플랫폼의 연구에서는 빠른 시장진입을 목표로 하는 소프트웨어에 의한 기능블록의 설계가 그 중요성을 더해가고 있다.

본 논문에서는 IEEE 802.11a 무선랜 모뎀의 수신단의 동기부를 TI사의 TMS320C6201 고정소수점(fixed point) DSP를 이용하여 구현하고, 각 기능 블록들을 수행하는데 소요되는 연산량을 산출하였다.

### II. IEEE 802.11a 무선랜 시스템

#### 2.1 OFDM 방식 및 전송 사양

IEEE 802.11a 무선랜 시스템은 OFDM 변조 방식을 사용한다. OFDM 방식에서는 주파수 영역에서 입력 데이터를 처리하고, 이를 IDFT를 취하여 전송한다. 수신단에서는 받은 데이터를 DFT를 취하고, 주파수 영역에서 원래 신호를 복원하며, 이러한 송수신 과정은 아래와 같이 IFFT/FFT로 표현된다.

$$x_n(m) = \sum_{k=0}^{N-1} X_{n,k} e^{j2\pi k \frac{m}{N}} \quad (1)$$

$$\hat{Y}_{n,p} = \frac{1}{N} \sum_{m=0}^{N-1} y_n(m) e^{-j2\pi m \frac{p}{N}} \quad (2)$$

OFDM 방식을 사용하면, 기존의 단일 반송파

(single-carrier) 방식을 사용하는 경우보다 ISI의 영향을 줄여 전송속도를 높일 수 있다. 또한 페이딩(fading) 채널 하에서도 간단한 1-탭 등화기만으로 원하는 성능을 얻을 수 있다.[1]

반면 단일 반송파 시스템에 비해 시간 및 주파수 오차에 대해 민감한 단점을 갖는다.

표 1은 802.11a 시스템의 기본적인 사양을 보여준다. 총 64개의 부반송파를 사용하며, 이 중 48개를 이용하여 실제 데이터를 전송하고, 4개는 파일럿(pilot)으로 사용한다. 또한 채널의 상태에 따라 BPSK, QPSK, 16QAM, 64QAM의 변조방식을 가변적으로 사용하여 6Mbps에서 54Mbps의 전송속도를 지원한다. 하나의 OFDM 심볼 전송 시간은 순환 보호 구간(cyclic prefix guard interval)을 포함하여 4us이다.

표 1. 802.11a 물리계층의 주요 파라미터

Number of subcarrier	64
IFFT/FFT period	3.2us
Symbol duration	4us
PLCP preamble duration	16us
Modulation	BPSK, QPSK, 16QAM, 64QAM
Data rate(Mbps)	6,9,12,18,24,36,48,54

## 2.2 전체 시스템의 구성

그림 1은 IEEE 802.11a 시스템의 구성을 보여준다. 상위 MAC 계층으로부터 입력된 데이터는 주파수 영역에서 스크램블러(scrambler), 길쌈 부호기(convolutional encoder), 인터리버(interleaver)를 통과한다. 그 후 전송속도에 따라 다르게 변조되고, IFFT를 통과한 후 보호 구간이 삽입되어 전송된다. 수신단에서는 전송단의 역순으로 데이터를 처리하는데, 그림 2에서와 같이 동기부와 등화기가 추가된다.

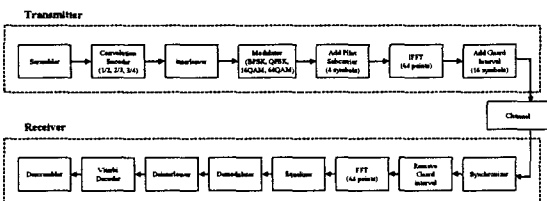


그림 1. 802.11a 물리계층(PHY) 구조

그림 1에서 보여주고 있는 물리계층과 상위 계층인 MAC 계층 사이에는 PLCP 계층이 존재한다. 이 계층에서는 MAC 계층과 물리계층 사이의 인터페이스 역할을 수행하며, 수신단에서 동기 획득에 이용되는 프

리엠블을 삽입해 준다. MAC 계층에서 전송 프레임의 전송 모드와 데이터 비트수를 알려주면, PLCP 계층은 이 데이터를 프리엠블 바로 뒤에 전송되는 SIGNAL field에 실어 준다.

## 2.3 PLCP 프리엠블 구조

OFDM 방식은 단일 반송파 시스템에 비해 시간 동기 및 주파수 오차에 매우 민감하며, IEEE 802.11a 시스템에서는 시간동기와 주파수 오차를 위해 그림 2와 같은 PLCP 프리엠블 구조를 채택하였다.

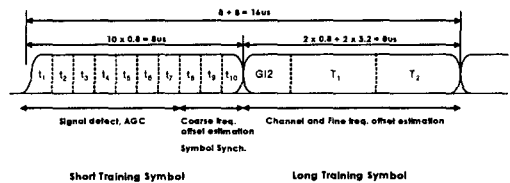


그림 2. 802.11a PLCP 프리엠블 구조

우선 16샘플로 이루어진 짧은 훈련 심볼(short training symbol)을 10번 반복하여 전송한다. 짧은 훈련 심볼은 신호 검파, AGC, 미세 시간 동기 및 정수배 주파수 오차 추정에 사용되어 진다. 이어서 64주기의 긴 훈련 심볼(long training symbol)을 두 번 연속 전송하는데, 이는 소수배 주파수 오차 추정 및 채널을 추정하는 용도로 사용된다.

IEEE 802.11a 시스템에서는 프리엠블을 이용하여 동기 및 채널 추정을 수행하여 한 프레임동안 계속 사용하기 때문에, 빠르게도 정확한 추정을 수행하는 것이 전체 시스템 성능에 크게 영향을 주게 된다.

## 2.4 동기부의 동작 및 순서

IEEE 802.11a 시스템의 수신단에서는 가장 먼저 동기화 작업을 수행하는데, 그림 3은 동기부의 동작 순서를 보여준다. 먼저 짧은 훈련 심볼을 이용하여 신호의 유무를 대략적으로 찾는데, 본 논문에서는 두 개의 window를 사용하여 신호의 auto-correlation 값이 두 window의 전체 power의 일정(threshold)이상이 될 경우 신호의 존재를 결정하는 MNC(Maximum Normalized Correlation) 알고리즘을 사용하였다.[2] 이 과정을 통해 현재 패킷이 시작되었다고 판단되면, 다시 짧은 훈련 심볼을 이용하여 정확한 symbol의 시작점을 찾는데, 본 논문에서는 cross-correlation window 방식을 사용하였다. 주파수 옴셋에 관해서는, Moose 알고리즘을 사용하였다.[3] 짧은 훈련 심볼을 이용하여

정수배 주파수 오프셋(coarse freq. offset)을 찾아서 수신 프레임 전체에서 이를 보상해 준다. 다음으로 긴 혼련 심볼을 이용하여 소수배 주파수 오프셋(fine freq. offset)을 찾아 프레임 전체를 보상해준다. 잔류 주파수 오프셋은 OFDM 심볼 내에 삽입된 파일럿 심볼을 이용하여 추정하고 보상하였다.

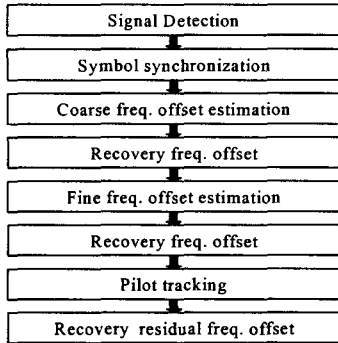


그림 3. 동기부의 동작 순서

### III. 시스템 설계 및 분석

본 논문에서는 IEEE 802.11a 시스템의 수신단의 동기부가 설계되었다. 설계 과정은 우선 동기부를 부동소수점 방식으로 설계하여 검증하고, 이를 고정소수점 방식으로 전환한 후 타겟 DSP에 최적화하였다.

#### 3.1 시스템의 성능 검증

그림 4는 시간 동기화 주파수 동기는 정확히 맞았다고 가정하고 설계된 IEEE 802.11a 모델의 성능을 보여준다. 채널은 12탭을 갖는 IEEE 레일레이(Rayleigh) 페이딩 채널 모델을 사용하였고, 부동소수점방식으로 설계하였다. 시스템 성능은 802.11a의 성능을 분석한 [4]와 동일한 결과를 보였다.

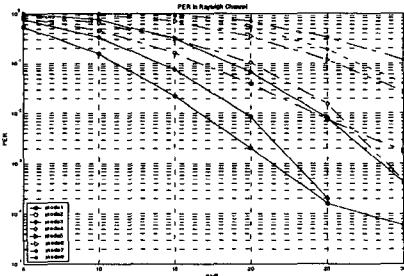


그림 4. 설계된 모델의 성능 분석(PER)

#### 3.2 동기부의 설계 및 최적화

본 논문에서는 동기부의 기본적인 동작과 성능을 검증하기 위해 먼저 부동소수점 방식으로 설계하였다. 그러나 타겟 DSP인 TMS320C6201은 고정소수점 DSP이므로 부동소수점으로 설계된 시스템은 고정소수점을 방식을 사용하도록 변환되었다. 그림 5는 부동소수점 방식으로 설계된 IEEE 802.11a 무선랜 기저대역 모델의 성능과 이를 고정소수점 방식으로 변환하였을 때의 성능을 보여준다. 성능 평가 결과 Q-format을 효율적으로 설정하여 고정소수점 방식으로 변환했을 때 부동소수점 방식과 유사한 성능을 보임을 알 수 있다. 따라서 고정소수점 방식을 사용하더라도 시스템의 성능에 큰 영향을 주지 않는다.

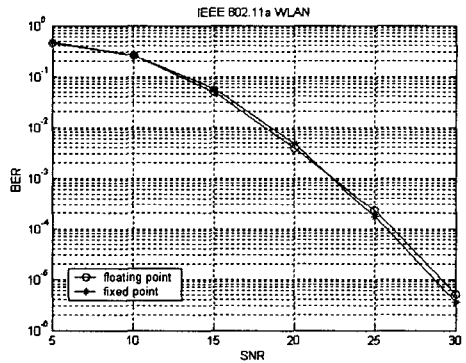


그림 5. 설계된 IEEE 802.11a 시스템의 성능

고정소수점으로 변환된 시스템은 타겟 DSP에 최적화되었다. TMS320C6201은 최대 200MHz의 동작주파수에서 1600MIPS의 연산을 수행할 수 있고 동시에 최대 8개의 연산 수행이 가능하다.[5] 본 논문에서는 C언어 상에서만 최적화가 수행되었다. 최적화를 위해 타겟 DSP 전용의 intrinsic 함수가 사용되었고, 변수형이 최적화되었으며, 메모리 load에서 32비트 단위로 두 개의 데이터를 동시에 access할 수 있도록 설계하였으며, 루프와 조건문을 줄이고, 가능한 한 bitwise 연산을 수행하였고, 초월함수를 lookup table 방식으로 대체함으로써 연산량 감소를 유도하였다.

#### 3.3 DSP의 연산량 분석

표 2는 위에서 언급된 방법들을 사용하여 최적화를 수행한 결과이며, 기능 블록들을 수행하는데 소요되는 사이클 수를 TI사의 Code Composer Studio를 이용하여 추출하였다. MAC 계층으로부터의 입력 데이터는 100바이트이고, 16QAM 전송 모드를 가정하였다.

표 2. 최적화 결과 기능 블록별 수행 사이클

	Cycles per cell	Cycles per frame
signal detection	5295	5295
symbol synchronization	7182	7182
coarse freq. offset detection	2052	2052
fine freq. offset detection	20014	20014
phase tracking	904	8136
freq. offset recovery	1151932	2303865

위의 표에서 주파수 옵셋 보정 블록 함수에서 많은 사이클이 소요됨을 볼 수 있는데, 이는 한 frame 전체를 보정하기 위해 많은 곱셈연산을 수행하기 때문이며, 이 블록을 하드웨어로 대체한다면 고속 구현이 가능하리라 예상된다.

#### IV. 결론

최근 인터넷의 보급과 멀티미디어 자료의 급격한 증가에 의해서 초고속 통신망에 대한 수요가 증가하고, 빠른 시장진입을 목표로 하는 소프트웨어에 의한 기능 블록의 설계에 관한 연구가 활발히 진행되고 있다.

본 논문에서는 IEEE 802.11a 표준의 모뎀의 동기부를 TMS320C6201 DSP에 최적화된 소프트웨어로 설계하고, 여기서 추출된 수행 사이클을 통해 전용의 하드웨어가 필요함을 검증하였다. 시스템의 대부분의 기능 블록들을 소프트웨어로 처리하여 시장 진입 시간을 줄일 수 있고, 또한 이는 차세대 이동통신 단말기에서 응용이 가능할 것이다.

설계된 소프트웨어 모뎀은 현재 Innovative Integration사의 M6x TMS320C6201 DSP EVM 보드 상에서 검증이 수행되고 있고, 차후로 긴 수행 사이클이 필요한 블록을 하드웨어로 설계하고 이를 하드웨어와 소프트웨어가 통합된 보드 상에서 검증할 예정이며 최종적으로 개방형 아키텍처를 갖는 플랫폼 상에서 동작하도록 전환될 것이다.

#### 참고문헌(또는 Reference)

[1] IEEE, "Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications", 1999.  
 [2] S. H. Muller, "On the Optimality of Metrics for Coarse Frame Synchronization in OFDM: A Comparison," 1998.  
 [3] P. Moose, "A technique for orthogonal frequency-division multiplexing frequency offset correction," *IEEE Trans. Commun.*, Vol.42,

No.10, pp.2908-2914, Oct. 1994.

[4] Angela Doufexi et al, " A Comparison of HIPERLAN/2 and IEEE 802.11a", *IEEE Communications Magazine* , Volume: 40 Issue: 5, May 2002.  
 [5] TI, "TMS320C6000 Programmer's Guide", 2002.