

TFT-LCD array에 FALC 공정을 적용한 채널영역의 저온결정화 연구 Low Temperature Poly-Si Crystallization of Channel Region in TFT-LCD Array using FALC Process

김윤수, 최덕균
한양대학교 박막전자재료연구실
(kimyoonsu@hotmail.com)

최근, Low-temperature Poly-Si(LTPS) TFT시장이 새롭게 형성됨에 따라 저온결정화 기술 연구가 활발히 진행되고 있다. 그러나, 기존의 저온결정화방법에 비해 수율이 높고 생산단가를 낮출 수 있으며 대 면적 프로세스 적용이 가능한 결정화공정개발이 시급히 필요한 실정이다.

본 연구에서는 TFT-LCD array를 구성하고 있는 데이터 라인과 ITO 공통 전극이 개별 트랜지스터의 소스와 드레인에 연결되어 있다는 점에 착안하여, 전계를 이용한 방향성유도결정화법(Field Aided Lateral Crystallization)을 이에 적용하였으며 채널영역의 균일한 결정화를 위하여 컨택홀의 모양에 변화를 주어 결정화 실험을 진행하였다. 이 방법은 간단한 공정(TFT-LCD array를 통한 전계 인가 및 열처리)으로 패널내의 모든 채널영역을 균일하게 결정화할 수 있을 것으로 기대되는 방식이다.

실제 TFT-LCD array 기판과 유사한 구조를 가진 시편을 제작하여 결정화를 수행하였다. 800Å의 a-Si이 증착된 유리기판(coming 1737)에 게이트 유전물질로 사용되는 SiO₂(1000Å)를 RF스퍼터법을 사용하여 증착하였으며, 사진식각공정과 에칭공정을 통하여 소스와 드레인을 연결하는 컨택홀과 배선(Mo)을 구현하였다. 컨택홀의 모양은 직사각형, 삼각형 그리고 반원형으로 나누어 분류하였다. DC 스퍼터법을 이용하여 증착한 Cu 50Å을 결정화 촉매로 사용하였으며, 열처리는 질소 분위기의 관상로에서 150V의 전압을 일정하게 유지하며 500°C에서 10시간동안 수행하였다. 채널영역 내에 분포하는 전계의 방향 및 크기를 유한요소법(Finite Element Method)을 이용한 전산모사를 통하여 계산하였다.

TFT-LCD array의 소스와 드레인 사이에 FALC 공정을 적용한 결과, 트랜지스터 내에 존재하는 채널영역의 a-Si을 성공적으로 결정화할 수 있었으며, 결정화 방향은 (-)극에서 시작하여 (+)극으로 진행되었다. 컨택홀의 형태에 따른 채널영역의 결정화 양상은 모서리부분에서 우선적으로 결정화가 일어나는 것을 관찰하였으며 전체적인 결정화 형태를 고려할 때, 반원형의 컨택홀이 가장 균일한 결정화 특성을 보였다. 유한요소법을 사용한 전산모사를 통하여 FALC 공정은 전계의 세기와 방향에 밀접한 관련이 있는 것을 확인하였다. 결과적으로 본 연구에 사용된 결정화방법은 간단한 공정을 통하여 패턴 내에 존재하는 모든 채널영역을 균일하게 결정화함으로써 생산단가를 절감할 수 있을 뿐 아니라 대 면적 프로세스에 적용 가능한 방법으로 판단된다.