

SiO₂/CVD-HfAlO/Pt-electrode gate 구조에서 H-termination 효과 및
전기적 특성의 관찰
H-termination effect and electrical property of SiO₂/CVD-HfAlO/Pt-electrode
gate stack

최지훈, 이치훈, 박재후, 이석우, 황철성, 김형준
서울대학교 재료공학부
(hjkim@plaza.snu.ac.kr)

최근 전자재료분야 중 고집적 소자를 다루는 분야에서는 산화규소 유전박막의 두께가 얇아짐에 따라 상부전극과 하부기판 사이에서 발생하는 누설전류가 큰 문제가 되었다. 따라서 이를 극복하기 위해 고유전상수를 가진 두꺼운 유전박막을 사용하기 시작하였는데, 그 중 대표적인 것이 hafnium dioxide(HfO₂)와 알루미늄산화물(Al₂O₃)이다. HfO₂의 장점은 큰 유전상수를 갖는다는 것이고, Al₂O₃의 장점은 열적 안정성이 뛰어나며, 높은 bandgap 에너지를 갖는 것인데, 이 둘의 장점을 살려서 보다 편리한 방법으로 박막을 증착한 것이 바로 HfAlO이다.

본 실험에서는 CVD로 HfAlO를 증착하여 MOSCAP 구조를 제작해 보았으며, 특히 HfAlO 증착 이전에 Si-sub에 여러가지 treatment를 해보아 gate oxide로서의 특성을 개선시켜보았다. 첫째로, Si precleaning의 조건을 변화시켜서 H-termination 효과를 강화시켜보았고, NH₃ 분위기에서 RTA 처리를 함으로써, Si를 nitridation시켜 leakage current 감소효과를 살펴보았다. 또한 두께의 변화를 주어 N₂, NH₃ 분위기에서 forming gas annealing을 해서 전기적 특성변화와 Dit의 변화량에 대해 살펴보았다.

precleaning 조건의 변화로 인해 flat band voltage가 shift함을 알 수 있었다. 또한, pre-nitridation으로 gate leakage current의 양을 줄일 수 있었으며, 유전막의 두께의 변화에 따른 전기적 특성 변화를 살펴볼 수 있었다.