

## Flash Memory의 Model Parameter 생성 자동화

이준하 · 이홍주 · 강정원\*

상명대학교 컴퓨터시스템공학전공, 중앙대학교 전자공학과

### Automation of Flash Memory Model Parameter Generation

Jun-Ha Lee, Hoong-Joo Lee, and Jung-Won Kang\*

Dept. of Computer System Eng., Sangmyung Univ., \*Dept. of Electronic Eng., Chung-Ang Univ.

#### 요 약

Flash memory는 device 특성상 peripheral circuit을 구성하는 transistor의 종류가 다양하고, 이에 따른 각 transistor의 동작 전압 영역이 넓다. 이에 따라 설계 초기의 전기적 특성 스펙 결정을 위해서는, silicon 상에서 소자의 scale down에 따른 전기적 특성을 선 검증하는 과정이 필수적이었으며, 이로 인해 설계 및 소자 개발의 기간을 단축하기 어려웠다. 본 연구에서는 TCAD tool을 사용하여 silicon상에서의 제작 공정을 거치지 않고, 효과적으로 model parameter를 생성할 수 있도록 하는 방법을 제안하여, 전기적 특성 스펙 결정과 설계 단계의 시간 지연을 감소할 수 있도록 한다.

#### 1. 서 론

Flash memory transistor의 계속되는 신규 소자의 규격 결정 및 이의 설계를 위한 개발 시간은 소자의 성능 향상 속도와 비교할 때 줄어들지 않고 있다. 이는 회로 설계를 위해 제작되는 소자의 기간이 물리적으로 줄어들 수 없는 상태이기 때문이다. 따라서 설계의 관점에서 볼 때, 초기 공정 조건이 결정된 상태에서는 실 소자가 제작되기 까지 소요되는 시간동안 이 조건에 해당하는 SPICE 파라미터를 얻을 수 없기 때문에, 본 설계가 진행될 때까지 설계 여유를 확보하거나 다양한 관점에서의 설계 기법을 적용한 성능 향상보다는 칩의 동작을 실현하기에만 주력하게 되어 설계 최적화에 어려움이 있게 된다. 따라서 본 연구에서는 이와 같이 소자제작 이전 단계에

서 TCAD simulation을 통한 물리적 현상을 고려한 파라미터 생성 자동화 과정과 그 검증 결과를 제시한다.

#### 2. 본 론

##### 2.1 Efficient Design Methodology

본 연구에서 제안하는 새로운 설계 과정 개념을 그림1에 도시하였다. 기존의 설계 과정은 초기 소자 스펙이 결정되면, PA가 스펙에 대한 전기적 측정치가 없는 상태에서 예상되는 모델 파라미터를 이전 세대 소자 또는 유사 소자의 값을 수정하여 설계로 전송하고 이를 이용해 가설계를 한다[1]. 본설계는 소자가 제작되어 실제 모델 파라미터가 전달한 이후 시점부터 재시작되며, 소자 연구자는 설계로부터 요구되는 소자의 특성을

위해 공정 최적화 및 소자 성능 향상을 위한 업무를 진행하게 된다. 결국 물리적으로 초기 소자 제작을 거쳐야 하는 제품 개발 과정을 가지고 있기에 서로 조율상의 어려움이 있고, 제품의 초기 개발 시장 진출에 한계를 가질 수 있다. 또한 초기 설계에서는 main chip에 대한 본 설계가 아닌 scheme 구성 및 가설계를 진행한 후에 실제 소자의 파라미터를 추출한 단계에서 다시 한번 본 설계 및 main run이 진행된다. 그러나 이러한 순차적인 상호 진행은 일정 차질시 전체적 개발 일정에 영향을 주게 되고, 절대적 제품 개발 시간의 한계를 갖게 된다. 따라서 본 연구에서는 이러한 순차적인 진행을 TCAD를 이용하여 초기 소자 스펙 결정시 파라미터를 실소자의 결과를 대치시킬 수 있는 범위내에서 자동 생성하는 개념과 이의 실현 과정을 제시한다[2].

이를 위해서 필수적으로 선결되어야 할 과제가 TCAD simulation의 정확도이다. 이 정확도를 검증하고 확보하기 위하여 process 및 device simulator의 효율적인 calibration methodology를 정립하였다. 즉, 현재 main run이 fab-out되어 있는 이전/유사소자의 ET를 이용하여 TCAD simulator를 calibration하고, calibration된 TCAD tool을 이용하여 신규 스펙 제정된 소자의 파라미터를 생성하게 된다.

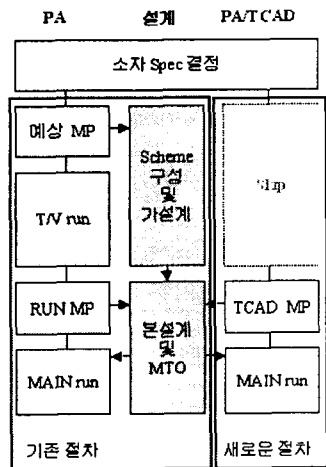


그림 1. 효율적인 설계 과정 개념

## 2.2 TCAD Calibration Methodology

TCAD의 process 및 device simulator calibration은 본 논문에서 제시하고자 하는 설계 과정에 있어서 가장 중요한 부분중의 하나로서, 성공적인 차세대 제품 설계의 중요한 요소가 된다. 그 이유는 공정 스펙 초기 단계에서 공정에 따른 현상을 전기적 특성에 고려하여야 하며, 공정 스펙으로부터 예상하는 전기적 특성의 목표값이 나올 수 있는지 점검할 필요가 있기 때문이다. 여기에서는 TSUPREM4/MEDICI를 이용한 calibration 방법을 간단히 언급하고자 한다[3]. 그림 2는 전체적인 calibration 과정을 나타내고 있다. Calibration은 정확한 공정 과정과 전기적 특성의 수집에서부터 시작된다. 필요한 data가 수집되고 나면 자세한 공정과는 관계없이 결정될 수 있는 gate polysilicon의 doping 농도와 gate oxide의 두께를 먼저 결정한다. 이것은 channel doping profile과 관계없이 deep accumulation region의 capacitance는 tox에 의해서 결정되고, deep depletion region의 capacitance는 tox와 polysilicon의 surface doping level에 의해서 결정된다는 사실에 근거한 것이다. 따라서 polysilicon depletion 및 quantum effect를 포함한 simulation을 이용하여 대면적의 inversion pattern에서 측정된 CV curve를 대상으로 진행함으로써 이와 같은 값이 결정될 수 있다. 다음으로 TSUPREM4를 calibration하게 되는데, long channel의 back bias effect가 mobility와 관계없이 vertical channel doping profile에 의해서 결정된다는 점을 이용하여 1-dimensional process calibration을 진행한다. 이때에는 channel dose에 따른 특성을 정확히 기술키 위해 channel dose가 split된 여러 개의 target을 이용한다. Medium channel length와 short channel에서는 RSCE/SCE 및 back-bias effect를 target으로 2-dimensional process calibration을 진행한다[4]. 1D/2D process calibration에서 RSCE/SCE와 back-bias effect는 특정 subthreshold current가 흐르는 gate bias로서 대체함으로써 calibration되지 않은 mobility에 의해서 threshold voltage가 변화되는 효과를 감소할 수 있다.

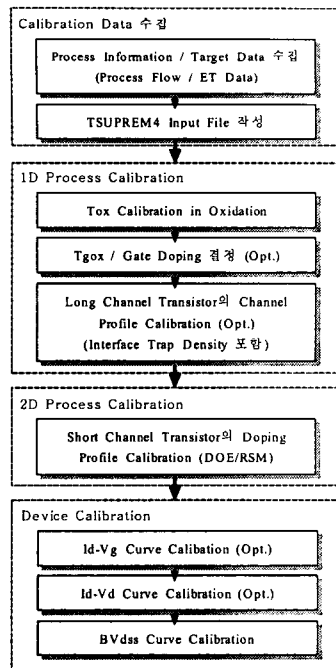


그림 2. TCAD calibration 전체 흐름도

이와 같이 process calibration이 완료되고 나면, Id-Vg 및 Id-Vd의 on-current를 target으로 mobility calibration을 진행하게 되는데, 먼저 carrier의 saturation velocity와 관계가 작은 Id-Vg를 target으로 transverse mobility를 calibration하고, Id-Vd를 target으로 saturation velocity를 포함하는 high field mobility를 calibration한다. 여기까지 진행하고 나면 기본적인 device calibration까지 완료된 것이며, 계속하여 BV curve를 target으로 carrier life time, field dependant life time 및 impact ionization과 관련된 parameter를 calibration함으로써 Ioff 및 BVdss가 정확히 simulation될 수 있도록 하여 TCAD calibration을 완료한다. 이 결과를 flash n/pmos 실제작 소자의 특성과 비교한 결과 Vth/Idsat은 약 4.3%, IV curve는 약 12%의 오차를 보이고 있으며, 각 bias상태에서의 IV curve로부터 추출한 파라미터를 이용하여 full chip simulation시에는 약 5% 오차를 갖는 정확도를 나타내었다.

### 3. 결론

본 연구에서는 제품 설계 과정에서 실 소자를 통한 SPICE 모델 파라미터를 생성하는 과정을 생략하고, TCAD tool을 이용함으로써 설계 기간을 약 2개월정도 단축하는 방법을 제시하였다. 초기 제품 설계 과정에서 소자 스펙이 결정된 후 소자를 통하여 파라미터를 추출하기까지 설계에서 가 설계를 진행할 수 밖에 없었던 것을 스펙과 초기 공정이 결정되었을 때 해당 공정에 calibration되어 있는 TCAD tool을 사용함으로써 스펙의 결정과 거의 동시에 파라미터를 제공할 수 있고, 설계팀에서는 변경된 공정 효과가 반영된 파라미터를 이용한 설계를 진행할 수 있다. Flash memory와 같이 다양한 소자를 이용하고 넓은 범위의 동작 전압을 요구하는 제품의 경우 shrink에 따른 소자 특성을 예측하기 어려우므로, 더욱 소자에 의한 파라미터의 생성과정이 요구되고 있기 때문에 이러한 파라미터의 생성 방법은 더욱 효과적이다.

[1] I. Fukuda and K. Nishi, "Application of TCAD to designing advanced DRAM and logic devices", *SISPAD '97*, pp.17-20, 1997

[2] H. Sato, H. Kunitomo, K. Tsuneno, K. Mori and H. Masuda, "Accurate statistical process variation analysis for 0.25-um CMOS with advanced TCAD methodology", *IEEE Transactions on Semiconductor Manufacturing*, vol. 11, pp.575-582, Nov. 1998

[3] Jun-Ha Lee, Kwan-Do Kim, Jeong-Taek Kong, Seung-Woo Lee, Young-Wug Kim and Doo-Heun Baek, "Systematic Global Calibration of a Process Simulator", *Tech. Proc. of MSM2000*, pp.52-55, March, 2000

[4] T. Kunikiyo, et. al., "Reverse Short-Channel Effect Due to Lateral Diffusion of Point-Defect Induced by Source/Drain Ion Implantation," *IEEE Trans. on CAD*, Vol. 13, No. 4., Apr. 1994