

ALU를 위한 단자속 양자 D2 Cell 과 Inverter의 설계

정구락, 박종혁, 임해용, *강준희, 한택상
한국광기술원, *인천대학교

Design of Single Flux Quantum D2 Cell and Inverter for ALU

K.R. Jung, J.H. Park, H.R. Lim, *J.H. Kang and T.S. Hahn
Korea Photonics Technology Institute,
*University of Incheon

krjung@kopti.re.kr

Abstract - We have designed a SFQ (Single Flux Quantum) D2 Cell and Inverter(NOT) for a superconducting ALU (Arithmetic Logic Unit). To optimize the circuit, we have used Julia, XIC and Lmeter for simulations and layouts. We obtained the circuit margin of larger than $\pm 25\%$. After layout, we drew chip for fabrication of SFQ D2 Cell and Inverter. We connected D2 Cell and Inverter to jtl, DC/SFQ, SFQ/DC and RS flip-flop for measurement.

1. 서 론

정보화 사회의 발달로 고속의 데이터 처리와 고용량의 데이터를 전송할 수 있는 시스템이 요구되고 있으나, 반도체 소자는 점점 그 한계를 드러내고 있다[1]. 양자 컴퓨터나 DNA 컴퓨터는 21세기 중반에나 나타날 것으로 예상되고 있으며[2], 초전도 디지털 소자는 빠른 스위칭 속도와 저 소모전력으로 인하여 반도체 소자의 대안으로서 주목받고 있다. 초전도 디지털 소자는 단자속(SFQ: Single Flux Quantum) 양자 논리회로[3], Digital to Analog Converter[4], Analog to Digital Converter [5], 스위칭소자[6], 라우터 그리고 Voltage standard[7] 등을 중심으로 세계적으로 활발히 연구되어 지고 있다.

본 연구에서는 단자속 양자 D2 Cell과 Inverter 회로에 대한 시뮬레이션, 마진 분석 그리고 Layout을 수행하였으며, 설계된 회로를 제작하기 위하여 칩을 설계를 하였다. 회로에 대한 시뮬레이션과 마진 분석은 Julia를 사용하였으며, Layout은 CAD 프로그램인 XIC과 Layout 상태에서 초전도선의 인덕턴스를 추출할 수 있는 Lmeter를 사용하였다. Julia를 사용한 마진분석을 통하여 최소 마진이 25%이상의 값을 얻을 수 있도록 회로를 최적화시켰다.

2. 본 론

2.1 단자속 양자 D2 Cell의 설계

그림 1은 단자속 양자 D2 Cell에 대한 회로를 보여 있으며, 그림 2는 단자속 양자 D2 Cell에

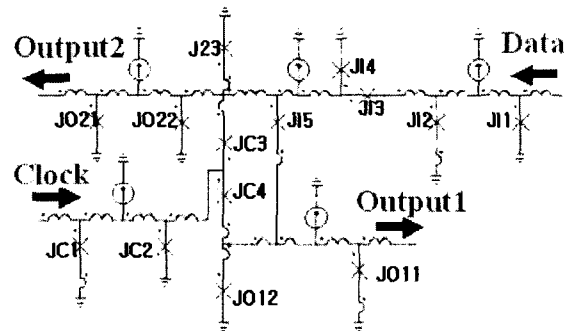


Fig. 1. Circuit Diagram of SFQ D2 Cell

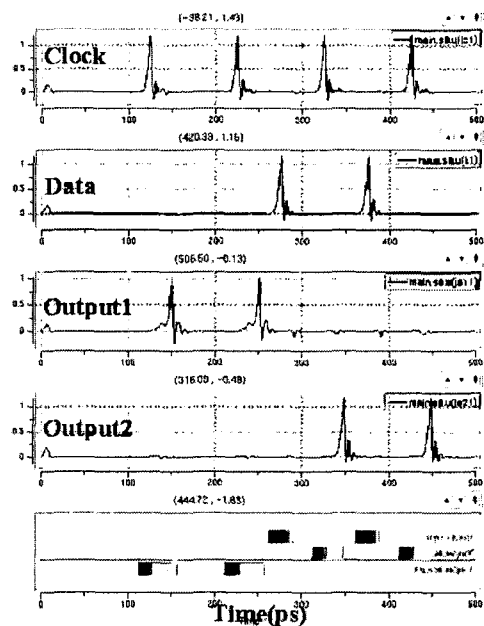


Fig. 2. Simulation result of SFQ D2 Cell

대한 시뮬레이션 결과값을 보여주고 있다. 단자속 양자 D2 Cell은 Output1과 Output2의 결과 값

을 선택적으로 내보내는 회로이다. Data에서 단자속 양자 펄스가 입력이 없을때에는 Output1으로 단자속 양자 펄스를 출력하고, Data에서 데이터가 입력되면 Output2로 SFQ 펄스 값을 출력하게 된다. 이는 SFQ decoder의 기능을 한다. Data에서 단자속 양자 펄스가 입력되면, JTL회로인 JI1-LI2-LI3-JI2을 통과하여, JI4를 스위칭하게 된다. JI4가 스위칭하게 되면 J14-L15-LO24-J23의 루프에 단자속 양자가 저장되게 된다. 저장된 단자속 양자로 인하여, Clock 펄스가 들어올 때, J23이 스위칭하게 되어 Output2로 SFQ 펄스를 내보내게 되고, Output1 방향으로는 JC4가 스위칭하게 되어 단자속 양자 펄스가 지나가지 못하게 한다. 만약 J14-L15-LO24-J23의 루프에 단자속 양자가 저장되어 있지 않은 상태에서 Clock 펄스가 들어오게 되면 JO12를 스위칭하게 되어 Output1으로 단자속 양자 펄스를 내보내게 된다. 이때 JC3이 스위칭하게 되어 Output2로는 단자속 양자 펄스가 지나가지 못하게 한다. 단자속 양자 D2 Cell에 대한 마진 분석은 Julia의 마진 분석 기능과 Optimize 기능을 이용하였으며, 최소 마진은 조셉슨 접합 JO12에서 가지고 있었고, $\pm 25\%$ 값을 얻을 수 있었다.

그림 3는 단자속 양자 D2 Cell의 Layout을 나타내고 있다. Layout은 CAD 프로그램인 XIC과 Layout 상에서 초전도 선의 인덕턴스를 추출할 수 있는 Lmeter를 이용하였다.

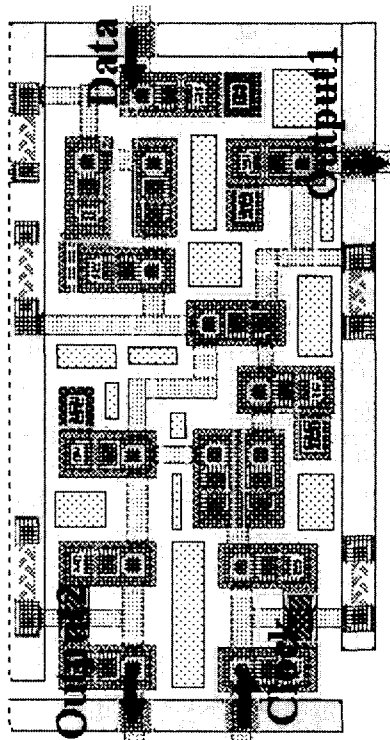


Fig. 3. Layout of SFQ D2 Cell

2.2 단자속 양자 Inverter의 설계

단자속 양자 Inverter는 NOT의 역할을 한다.

데이터 값이 들어오면 결과 값을 내보내지 않고, 데이터 값이 들어오지 않으면 결과 값을 내보내게 된다. 그림 4와 그림 5는 단자속 양자 Inverter 회로와 그에 대한 시뮬레이션 결과 값을 보여 주고 있다. Data1에서 단자속 양자 펄스가 입력되면, JTL회로인 JD1-LD2-LD3-JD2을 통과하여, JD3를 스위칭하게 된다. JD3가 스위칭하게 되면 JD3-LD5-LU4-JU2-LU5-LD6의 루프에 단자속 양자가 저장되게 된다. 이 루프에 단자속 양자가 저장되어 있는

Clock

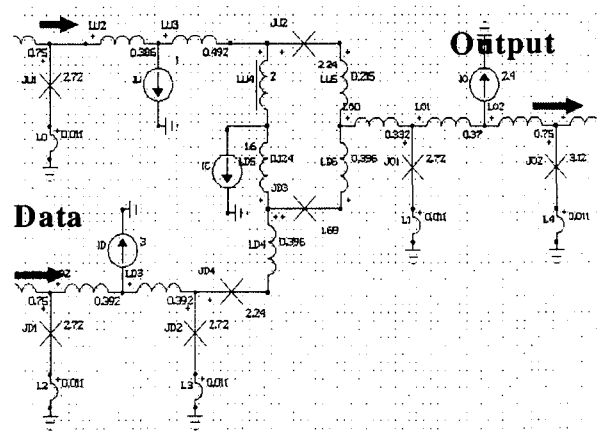


Fig. 4. Layout of SFQ Inverter

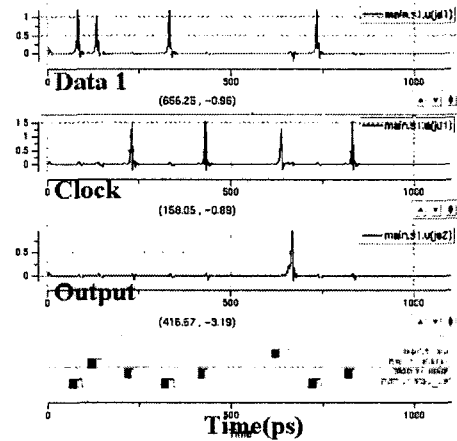


Fig. 5. Simulation result of SFQ Inverter

상태에서, Clock 펄스가 들어오면, JU2가 스위칭하게 되고 JD3를 스위칭하게 되어 Output 방향으로 단자속 양자 펄스가 지나가지 못하게 한다. JD3-LD5-LU4-JU2-LU5-LD6의 루프에 단자속 양자 펄스가 저장되어 있지 않은 상태에서 Clock 펄스가 들어오면, JU2가 스위칭되지 않고 JO1을 스위칭하게 되어 Output으로 단자속 양자 펄스가 출력되게 된다. 단자속 양자 Inverter의 마진 분석을 통하여 $\pm 27\%$ 이상의 마진 값을 얻을 수 있었다. 그림 6은 단자속 양자 Inverter에 대한 Layout을 나타내고 있으

며, 그림 7은 단자속 양자 D2 Cell과 Inverter에 대한 chip drawing을 나타내고 있다. chip drawing은 단자속 양자 소자를 제작한 후, 측정하기 위하여 데이터의 입력과 clock 부분에는 DC/SFQ 회로를 연결하고, 출력 부분에는 RS Flip-Flop 회로를 연결하였으며, DC/SFQ 회로가 정상적으로 동작하는지를 확인하기 위하여 DC/SFQ 회로에 SFQ/DC 회로를 연결하였다.

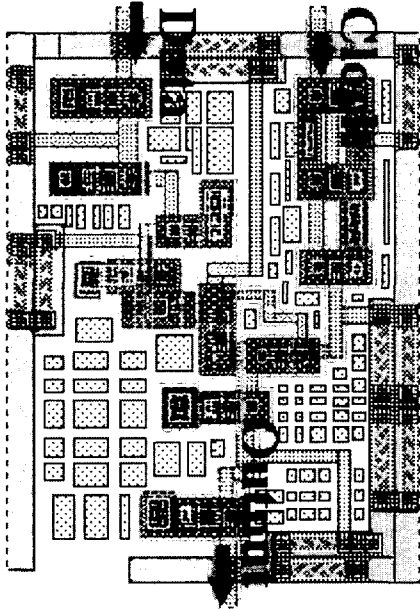


Fig. 6. Layout of SFQ Inverter

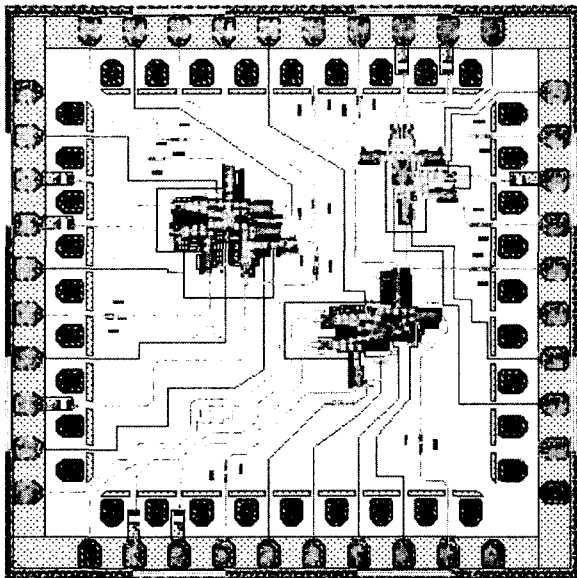


Fig. 7. Chip drawing of SFQ D2 Cell and Inverter

3. 결 론

본 연구에서는 초전도 ALU의 기본 회로인 D2 Cell과 Inverter의 시뮬레이션, 마진분석, Layout 그리고 chip drawing을 수행하였다. 설계에 사용한 소프트웨어로는 시뮬레이션 프로그램인 Julia와 CAD 프로그램인 XIC 그리고 초전도 선의 layout 상태에서 인덕턴스 값을 추출할 수 있는 Lmeter를 사용하였다. 본 연구에서 설계한 단자속 양자 D2 Cell 과 Inverter의 회로는 그림 2과 그림 5에서 보는 바와 같이 잘 동작을 하고 있는 것을 알 수 있었으며, 마진 분석을 통하여 최소 $\pm 25\%$ 이상의 마진을 가지도록 회로를 최적화 시켰다. 설계한 D2 Cell과 Inverter를 제작/측정하기 위하여 chip drawing을 하였다.

감사의 글

본 연구는 21세기프런티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

(참 고 문 헌)

- [1] M. Schultz, "The end of the road for silicon?" *Nature*, 399, p. 729-730, 1999.
- [2] D.K. Brock, "RSFQ Technology: Circuits and Systems," *International Journal of High-Speed Electronics and Systems*, vol. 11, p. 307-362, 2001.
- [3] Q.P. Herr, N. Vukovic, C.A. Mancini, K. Gaj, Q. Ke, V. Adler, E.G. Friedman, A. Krasniewski, M.F. Bocko, and M.J. Feldman, Design and Low Speed Testing of a Four-bit RSFQ Multiplier-Accumulator, *IEEE Trans. Appl. Supercond.* Vol. 7, p. 3168-3171, 1997
- [4] R.D. Sandell, B.J. Dalrymple, and A.D. Smith, AN SFQ Digital to Analog Converter , *IEEE Trans. Appl. Supercond.* Vol. 7, p. 2468-2470, 1997
- [5] V.K. Semenov, Digital to Analog Conversion based on processing of the sfq pulses, *IEEE Trans. Appl. Supercond.*, vol. 3, p. 2637-2640, 1993.
- [6] N.b. Dubash, P.F. Yuh and V.V. Borzenets, SFQ Data Communication Switch, *IEEE Trans. Appl. Supercond.*, vol. 7, p. 2681-2684, 1997.
- [7] C.J. Burroughs, S.P. Benz, T.E. Harvey, and C.A. Hamilton, 1 Volt DC Programmable Josephson Voltage TekSupercond., vol. 9, p. 4145-4149, 1999.