

# WRspice를 이용한 D2 cell의 simulation 연구

남도우\*, 강준희  
인천대학교 물리학과

## Study of D2 cell simulation by using WRspice

Doo-Woo Nam\*, Joonhee Kang  
Department of Physics, University of Incheon

[chelae75@chollian.net](mailto:chelae75@chollian.net)

**Abstract** – In superconductive digital logic circuits, D2 cells can be used to compose a decoder, an important component of an Arithmetic Logic Unit (ALU). In this work, we simulated D2 cell by using WRspice. D2 cell has one input, one switch input, and two outputs (output1 and output2). D2 cell functions in such way that output1 follows the input and output2 is the complement of the input data, when the switch input is "0." However, when there is a switch input "1," the opposite output signals are generated. In this paper, we optimized a D2 cell by using WRspice, and obtained the minimum margin of 26%. Our optimized D2 cell will play a key role in the ALU fabrication.

## 1. 서 론

최근 들어 반도체가 구현할 수 있는 속도의 한계와 경제성의 한계에 다다르게 되면서 전 세계적으로 반도체를 대체할 수 있는 기술 개발에 노력을 기울이고 있다[1]. 그 대안 중에 하나가 Rapid Single Flux Quantum (RSFQ)이다. 최근 많은 나라에서는 RSFQ에 많은 관심을 가지고 있다. RSFQ는 반도체와 비교할 수 없을 정도로 빠른 속도를 가질 뿐만 아니라 경제성도 우수하기 때문에 많은 관심을 가지고 있다. Fig. 1은 여러 전자소자들의 게이트 당 전력 소모율을 나타낸 것이다. RSFQ는 작동 속도가 100 GHz 이상의 속도를 구현할 수 있으므로 반도체의 대안으로써 세계 각국에서 그 연구에 많은 노력을 기울이고 있다[2,3]. 국내에서도 수년 전부터 RSFQ의 기초적인 회로에 대한 연구를 한국표준과학연구원, 한국광기술원, 인천대학교 등에서 많이 수행하여 오고 있다.

본 연구에서는 이러한 RSFQ의 기초적인 회로의 연구의 일환으로써 연구를 수행하게 되었다. 본 연구에서 시뮬레이션을 수행한 D2 cell은 RSFQ 회로 중 기초적인 회로로 초고속

RAM, microprocessor 그리고 정보통신 분야 등에 많은 분야에 응용될 수 있는 회로이다[4]. 여기서는 D2 cell에 대한 회로의 구성, 그 작동 결과 그리고 시뮬레이션하여 얻게 된 margin 결과 등에 대해 연구하였다[4,5].

## 2. 본 론

### 2.1 회로의 구성

현재 초전도 전자 소자 개발하기 위해 사용되어지고 있는 프로그램은 WinS, XIC, WRspice, Julia, PSCAN 등이 있다[6]. 각 프로그램들은 그 나름대로의 기능과 특징을 가지고 있다. 본 연구에서는 국내에서 많이 사용되어지고 있는 프로그램인 XIC를 사용하여 회로를 구성하였다. XIC를 사용하여 회로를 구성하면 국내 다른 초전도 전자 소자 연구 그룹과 연구 결과를 공유할 수 있게 되어 초전도 전자 소자 회로의 데이터베이스를 구축할 수 있고 서로의 연구 결과를 쉽게 공유함으로 좀더 복잡하고 향상된 기능의 초전도 전자 소자를 개발하는데 도움을 줄 수 있다.

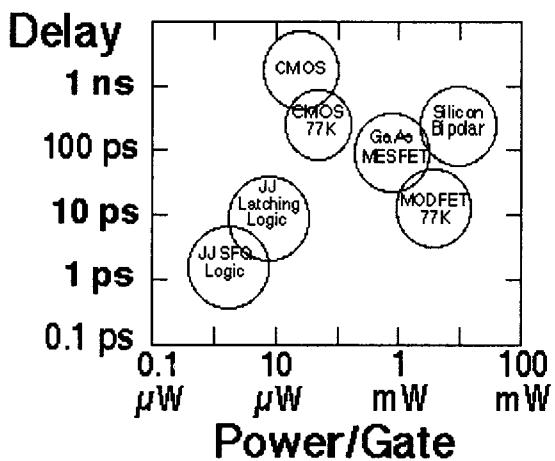


Fig. 1. Consumption rate per gate of several electronic device

이와 같은 장점 때문에 XIC를 선택하여 D2 cell의 회로를 구성하였다. XIC에서 회로를 구성한 후 각 device에 대한 값들을 입력한다. 이렇게 입력된 device의 값들은 XIC와 연동하여 작동하는 WRspice를 사용하여 회로의 작동을 곧바로 알아볼 수 있다[7]. 따라서 회로의 오작동을 곧바로 확인할 수 있어 회로의 작동 유무를 쉽게 확인할 수 있다.

본 연구에서는 XIC를 사용하여 D2 cell을 구성한 후 device 값을 입력하고 WRspice와 연동하여 그 작동을 확인하여 구성한 D2 cell은 Fig.2와 같다.

### 2.1.1 회로의 작동

XIC에서 구성한 D2 cell은 WRspice라는 시뮬레이션 프로그램을 이용하여 회로의 작동을 확인할 수 있다[7].

Fig.2의 D2 cell 회로에서 작동을 살펴보면 clock에서 clock pulse가 인가하면 pulse는 clock-JTL-L2-B2,B3으로 진행하여 junction B2와 B3이 동시에 switching하여 생성된 pulse는 Output 1로 clock pulse가 출력되며 이때 Input에서 data pulse가 Input-JTL-B4-B6-L3-L1-B0,B1로 진행하여 인가된 pulse는 B0과 B1이 switching시켜 Output 1로 출력하던 pulse를 차단되어 clock pulse를 더 이상 Output 1로 출력하지 않고 Output 2쪽으로 Input에서 인가된 data pulse에 해당하는 pulse가 출력하게 된다. data pulse가 더 이상 인가되지 않으면 clock pulse에서 인가하는 pulse를 다시 Output 1로 출력한다. 이 회로에서 junction B4와 B5는 buffer junction으로써 pulse가 역류되거나 원하지 않는 pulse를 차단하는 역할을 한다. 이와 같이 회로의 작동을 simulation한 결과는 Fig.3과 같다.

### 2.2 회로의 simulation

본 연구에서는 회로의 작동 시뮬레이션을 위해서 국내에서 많이 사용되어지고 있는 시뮬레이션 프로그램인 WRspice를 사용하여 회로의 작동을

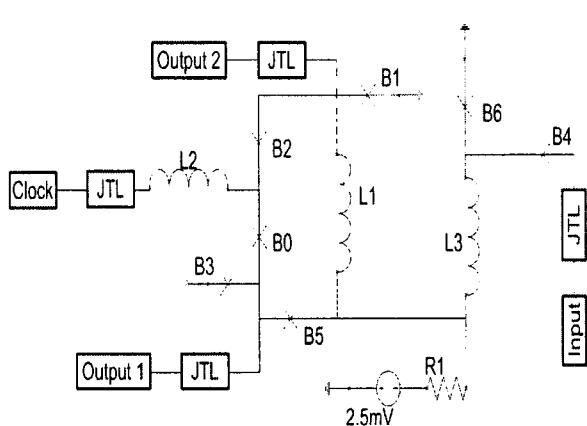


Fig. 2. D2 cell circuit diagram

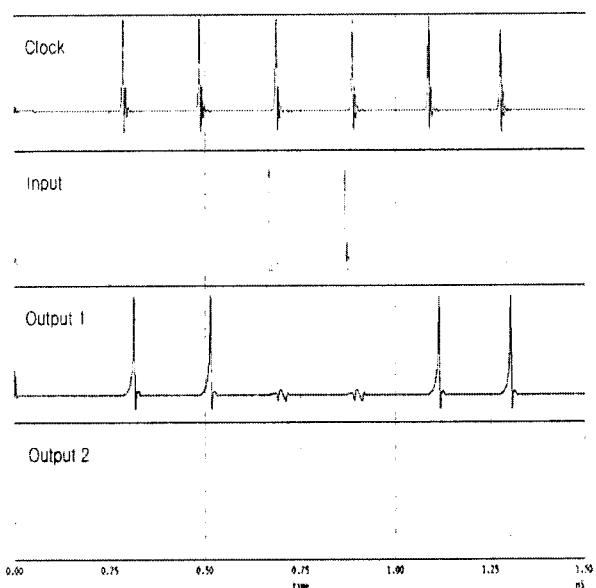


Fig. 3. D2 cell simulation result

확인하고 회로의 margin을 알아보았다. 이 프로그램은 XIC와 연동되어 사용되어지기 때문에 XIC를 사용할 때 같이 사용하면 아주 용이하게 이용할 수 있는 장점이 있다. 반면에 WRspice는 margin을 구할 때 optimize 기능을 갖추고 있지 않기 때문에 수동으로 margin을 구해야 하는 단점을 가지고 있다.

Table 1. D2 cell margin result

| Device Name | Value   | (-) margin | (+) margin |
|-------------|---------|------------|------------|
| L1          | 3.6 pH  | 36.11 %    | 91.67 %    |
| L2          | 0.7 pH  | 71.43 %    | 242.86 %   |
| L3          | 2.5 pH  | 92.00 %    | 172.00 %   |
| B0          | 0.23 mA | 26.09 %    | 30.43 %    |
| B1          | 0.32 mA | 50.00 %    | 56.25 %    |
| B2          | 0.20 mA | 100.00 %   | 70.00 %    |
| B3          | 0.20 mA | 55.00 %    | 35.00 %    |
| B4          | 0.35 mA | 45.71 %    | > 200.00 % |
| B5          | 0.16 mA | 56.25 %    | 43.75 %    |
| B6          | 0.20 mA | 100.00 %   | 85.00 %    |
| R1          | 9 Ω     | 28.89 %    | 62.22 %    |

회로의 margin을 구하기 위해서 우선 XIC로 회로를 구성하고 작동을 확인한 후 XIC 파일을 WRspice가 margin을 구할 수 있는 파일로 변환한 후 WRspice를 사용하여 회로의 margin을 구할 수 있다. 회로의 작동 margin은 최대한 큰 값을 가질 수 있도록 각 device의 값을 조정하여 margin을 구하였다. 특히 junction의 margin이 최대한 큰 값을 가질 수 있도록 값을 조정하면서 margin을 구하였으며, 이 margin을 바탕으로 XIC에서 다시 한번 작동 여부를 검사하였다. 또한 구하여진 device의 값은 차후 초전도 전자 소자 제작을 하는데 있어서 불편함이 없는 값을 정하였다.

Table 1.에서처럼 D2 cell의 최소 margin이 junction B0에서  $\pm 26\%$  이상을 얻은 것을 알 수 있다. 뿐만 아니라 D2 cell을 구성하고 있는 대부분의 device의 margin이  $\pm 36\%$  이상의 아주 높은 margin 값을 가지고 있으므로 차후 초전도 소자 제작을 하는데 큰 불편함이 없고 작동확률도 높다.

### 3. 결 론

본 연구에서는 초전도 전자 소자의 기초적인 회로 중의 하나인 D2 cell에 대한 simulation을 연구하였다. 우선 XIC를 이용해서 회로를 구성한 후 회로의 정상 작동을 확인하였고 각 구성 device의 margin을 구하였다. 이 결과 각 device의 최소 margin이  $\pm 26\%$  이상의 우수한 margin 결과를 얻게 되었다. 또한 본 연구를 통하여 초전도 전자 소자의 기초적인 회로의 디이터베이스를 구축하였고 제작을 위한 mask layout 및 전자 소자 제작을 위한 중요한 기초 자료를 얻을 수 있게 되었다.

### (감사의 글)

본 연구는 21세기 프론티어 연구개발사업인 차세대초전도용융기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

### (참 고 문 헌)

- [1] Semiconductor Industry Association, "The International Technology 캡오메 랙 Semiconductors", 1999, San Jose, CA 95129, U.S.A
- [2] K.K. Likharev and V.K. Semenov, "RSFQ Logic/Memory Family", IEEE Trans. on Appl. Supercond., vol. 1, pp. 3~28, March 1991
- [3] K.K. Likharev, "Rapid Single-Flux-Quantum Logic", in The New Superconducting Electronics, H. Weinstock and R.W. Ralston, eds. Dordrecht: Kluwer, 1993, pp. 423-452
- [4] A.F. Kirichenko, V.K. Semenov, Y.K. Kwong and V. Nandakumar, "4-bit Rapid Single-Flux-Quantum Decoder", IEEE Trans. on Appl. Supercond., vol. 5, pp. 2857~2860
- [5] Zhong J. Deng, Nobuyuki Yoshikawa, Stephen R. Whiteley, and Theodore Van Duzer, "Data-Driven Self-Timed RSFQ Digital Integrated Circuit and System", IEEE Trans. on Appl. Supercond., vol. 7, pp. 3634~3637
- [6] <http://www.ece.rochester.edu>
- [7] <http://www.wrcad.com>