

다중 프로토콜 가입자 수용을 위한 NP 기반 포워딩 엔진 보드의 설계

박완기* 최병철* 최창식* 광동용* 김대영**
한국전자통신연구원 네트워크 연구소* 충남대학교 정보통신공학과**
wkpark@etri.re.kr

A Design of Network Processor based Forwarding Engine Board for Multi-protocol Subscriber Physical Cards

Wan-Ki Park^{0*} Byung-chul Choi¹ Byung-chul Choi¹ Chang-sik Choi¹ Dong-yong Kwak¹ Dae-Young Kim^{2*}
Network Labs. ETRI, Dept. of Info. & Comm. Eng. Chungnam Nat' Univ.

요 약

인터넷 트래픽의 증가에 따라 초고속 대용량의 패킷을 처리할 수 있는 라우터 기술이 요구되고 있다. 이를 위해 라우터 분야에 있어서의 기술 흐름은 하드웨어 기술을 기반으로 한 고속의 룩업 및 포워딩 기술을 라우터 분야에 적용하는 것이 필요하다. 그러나, 하드웨어 기반 라우터 기술은 다양한 서비스의 요구 및 변화되는 서비스 유형에 유연성있게 대처할 수 없는 단점을 갖고 있다. 따라서, ASIC 을 기반으로 한 하드웨어 기술에 프로세서 기반의 소프트웨어 기술이 통합되어 네트워크 프로세서라는 새로운 기술이 라우터 기술분야에 등장하여 적용하고 있다. 현재 상용 네트워크 프로세서는 여러 회사들이 출시하고 있는 실정이지만 본 논문에서는 IBM 사의 2.5G 급 처리용량을 갖는 네트워크 프로세서를 선정하여 고속 포워딩 엔진 보드를 설계하는 내용에 대하여 언급하려 한다. 본 고에서 언급하는 포워딩 엔진은 기가비트 이더넷, POS 가입자 보드뿐 아니라 EPON 가입자 보드도 수용할 수 있도록 다양한 인터페이스를 제공할 수 있도록 하였다.

1. 서 론

인터넷 사용자들의 급속한 증가뿐 아니라 다양한 서비스가 개발되고 있다. 따라서, 인터넷 분야에서는 사용자들의 요구를 수용하기 위해 VPN(Virtual Private network), VLAN(Virtual LAN), MPLS(Multi-Protocol Label Switching) 등 새로운 기술들이 등장하고 있다. 이렇게 새로운 기술들의 등장에 대한 유연성을 확보하면서 고속으로 패킷을 처리하기 위한 기술로 등장한 것이 네트워크 프로세서(Network Processor)^{[1][2]}이다.

ASIC(Application Specific Integrated Circuit) 기술을 기반으로 하여 구성된 라우터는 Wire-Speed 라는 말로 대표되는 고속의 패킷 룩업 및 포워딩 처리 능력을 갖는다. 그러나, ASIC 기반 라우터는 인터페이스 및 요구조건이 변경됨에 따라 새롭게 시스템을 만들어야 하는 단점이 있다. 한편, 프로세서 기반에 소프트웨어적인 패킷 분류, 룩업 및 패킷 포워딩 기술을 이용하는 라우터는 서비스 및 인터페이스 변화에 대한 유연성을 갖고 있어 새로운 기술에 대한 신속한 대처 능력을 갖는다. 그러나 이 기술은 패킷처리에 있어 Wire Speed 를

보장하지 못한다. 네트워크 프로세서는 이러한 두 기술의 장점만을 살린 새로운 기술이다.^{[1][2]}

본 논문에서는 이러한 네트워크 프로세서를 이용하여 설계한 포워딩 엔진 보드에 대한 내용에 대하여 언급한다. 설계된 포워딩 엔진 보드는 POS 가입자, 기가비트 이더넷 가입자, 및 현재 새로운 분야로 대두되고 있는 EPON(Ethernet Passive Optical Network) 가입자 등을 수용할 수 있도록 설계되었다. 이어지는 논문에서는 제 2장에서 사용된 IBM 네트워크 프로세서를 중심으로 주변 하드웨어 인터페이스 및 기능, 가입자 종류별 인터페이스, 스위치 보드와의 인터페이스 및 제어, 그리고, 간단한 소프트웨어적인 구조에 대하여 언급함으로써 전체 시스템 설계내용에 대하여 언급한다. 그리고, 제 3 장에서는 결론이 이어진다.

2. 설계 개념 및 설계

네트워크 프로세서는 서론에서 언급하였듯이 다양한 프로토콜 인터페이스를 제공할 수 있다. 따라서,

본 논문에서 언급하는 포워딩 엔진 보드는 POS, 기가비트 이더넷, EPON 가입자를 수용할 수 있도록 설계하였다.

2.1 포워딩 엔진 구조

포워딩 엔진은 입구(Ingress) 방향에서는 다양한 인터페이스를 통해 입력되는 패킷의 헤더를 분석하여 패킷을 분류하고, 패킷 분류에 따른 룩업 및 포워딩 기능을 수행한 후 스위치로 해당 패킷을 전달한다. 스위치에서 해당 출력 포트에 스위칭된 패킷은 해당 스위치 포트와 연결된 포워딩 엔진 보드의 출력 방향으로 전달된다. 전달된 패킷은 스케줄링 등의 일련의 처리 과정을 거친 후 가입자 물리층 보드를 통해 출력된다.

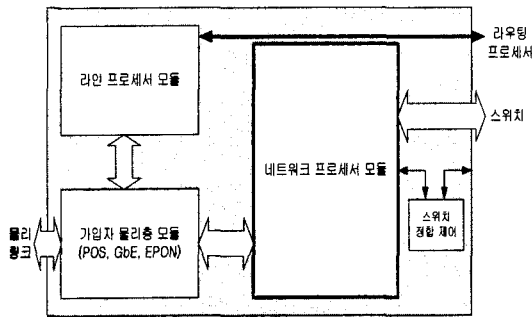


그림 1. 포워딩 엔진 구조

그림 1은 네트워크 프로세서를 기반으로 한 포워딩 엔진 구조를 보여준다. 그림에서 보여주는 바와 같이 포워딩 엔진은 크게 라인 프로세서 모듈, 네트워크 프로세서 모듈, 가입자 물리층 모듈로 구분된다. 라인 프로세서 모듈은 포워딩 엔진 보드에서 사용되는 가입자 물리층 모듈에 사용되는 디바이스들 보드 ID 값에 따라 로컬 버스 인터페이스를 통해 초기화를 수행하고 상태 레지스터를 통해 입출력되는 패킷의 상태정보를 확인할 수 있다. 또한, 라인 프로세서 모듈은 PCI 인터페이스를 통해 네트워크 프로세서를 초기화 작업을 수행하고, 네트워크 프로세서내의 내부 코어 프로세서들에 의하여 동작되어야 하는 코어 소프트웨어 다운로드하는 기능을 제공한다. 또한, 이더넷 프로토콜에 의해 동작되는 IPC(inter Processor Communication) 채널을 통하여 라우팅 프로세서(RP, Routing Processor)로부터 라우팅 정보에 따라 네트워크 프로세서가 룩업 및 포워딩 기능시 사용하여야 하는 각종 테이블을 생성 및 수정(update)하는 기능을 수행한다. 네트워크 프로세서는 포워딩 엔진 보드에 탑재되는 가입자 물리층 모듈의 종류에 따라 서로 다른 인터페이스에 따라 패킷을 수신한다. 수신된 패킷은 일련의 패킷 분류 과정을 거쳐

라인 프로세서 모듈에 의해 생성 및 수정된 각종 테이블을 바탕으로 룩업 및 포워딩 기능을 수행한 후 스위치와의 인터페이스 포트를 사용하여 출력한다.

2.2 네트워크 프로세서 모듈

네트워크 프로세서 모듈은 IBM사의 NP4GS3 RAINIER R3.0^[1]을 이용하여 설계되었다. 네트워크 프로세서 모듈은 패킷 분류, 룩업, 포워딩, 스케줄링 등의 기능을 수행하기 위하여 다양한 메모리 인터페이스를 갖는다. 그림 2는 네트워크 모듈에서의 다양한 메모리 인터페이스를 보여준다.

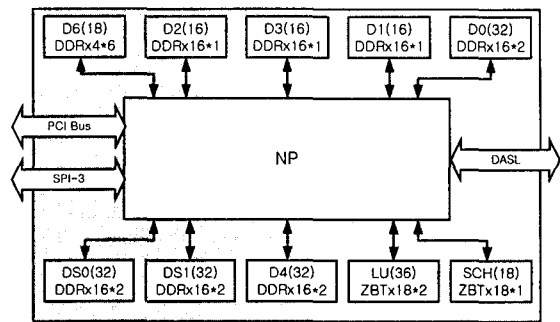


그림 2. 네트워크 프로세서 모듈의 구조

그림 2에서 보여주는 바와 같은 네트워크 프로세서는 D6, D0, D1, D2, D3, D4, DS0, DS1, Z0, Z1 이 다양한 인터페이스를 갖는다. Z0, Z1 메모리는 ZBT SRAM으로 구성되는 메모리로 구현되면, NP로부터 출력되는 133MHz의 메모리 클럭에 의하여 동작되는 인터페이스를 갖는다. Z0, Z1 인터페이스를 제외한 다른 메모리는 DDR SDRAM에 의해 구현되고, 역시 NP로부터 출력되는 133MHz의 클럭에 의하여 동작되는 인터페이스로 구성된다. Z0 메모리는 PSCB(Pattern Search Control Block)이라는 룩업을 위한 엔트리 정보가 저장되는 공간으로서 1클럭에 의하여 룩업 정보를 찾는다. Z1 메모리는 출구 방향에서 스케줄링 메모리로서 사용되는 공간이다. D6 메모리는 네트워크 프로세서에서 동작하는 펌웨어 코드의 이미지가 PCI 인터페이스를 통해 복사되는 공간이고, 또한 라인 프로세서와 NP(NP4GS3)간의 통신을 위해 사용되는 메일 박스 메모리로서 사용되며, 그 공간은 64MByte의 DDR SDRAM으로 구성되어 있다.

D0, D1, D2, D3 메모리는 룩업을 위한 트리 정보에서 Leaf가 저장되는 공간들이다. 이 공간의 크기는 D0 메모리가 32M 바이트이고 나머지는 각각 16M 바이트의 크기로 구성되어 있다. D4 메모리 공간은 출구 방향의 패킷 구조를 위한 메모리 공간이고, DS0 및 DS1

은 프레임 데이터를 저장하기 위한 메모리로 사용된다.

2.3 가입자 인터페이스 연결

본 논문에서 언급하는 IBM NP4GS3 를 기반으로 한 포워딩 엔진 보드는 POS 가입자, 기가비트 이더넷 가입자, EPON 가입자 보드를 수용할 수 있도록 설계하였다. 기본적으로 NP4GS3 칩은 인터페이스 선택에 따라 POS-32 인터페이스, TBI 인터페이스, GMII 인터페이스, SMII 인터페이스를 제공할 수 있는 네트워크 프로세서이다. 이렇게 다양한 인터페이스를 제공할 수 있는 NP의 기능을 이용하여 POS 가입자를 위해서는 POS-32 인터페이스로 동작하고, 기가비트 이더넷 가입자를 위해서는 TBI 인터페이스로, 그리고 EPON 가입자 보드가 장착될 경우에는 GMII 인터페이스를 통해 각 가입자 보드가 NP 모듈에 정합되도록 하였다. 이를 위해서는 펌웨어에서 먼저 각 가입자 보드의 식별값을 읽어 들여 시스템 부팅과정에서 각 가입자 보드에 맞는 인터페이스로 4 개의 DMU(Data Mover Unit)가 동작되어 물리층 보드와 NP가 정합될 수 있도록 한다.

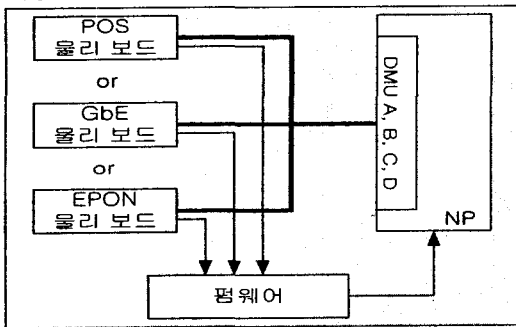


그림 3. 가입자 물리 보드와의 연결

이 보드에서는 POS일 경우에는 2.5Gbps 급 1 포트, 기가비트 이더넷 및 EPON일 경우에는 1Gbps 급 2 포트가 동작할 수 있도록 설계하였다.

2.4 스위치 인터페이스 제어

스위치 인터페이스에 있어서는 스위치 패브릭 보드의 칩으로써 IBM사의 스위치 칩인 PowerPRS Q-64G⁴⁾를 사용함으로써 IBM사의 스위치 인터페이스인 DASL(Data Aligned Synchronous Line) 인터페이스를 사용하였다. 이 인터페이스는 송수신 각 8쌍의 Differential 신호로 구성되는 인터페이스이다. 스위치와 NP간의 동기 및 패킷 흐름 제어를 위해 CPLD 소자를 이용하여 그림 1.에서 보여주는 바와 같이 스위치 정합 제어 기능을 수행하도록 하였다.

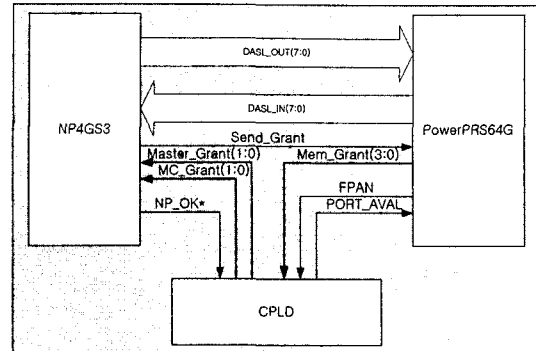


그림 5. NP/스위치간 인터페이스 제어 구조

그림 5에서 보여주는 것처럼 NP4GS와 스위치 패브릭 칩간에는 인터페이스 제어 구조가 일치하지 않는다. 따라서, 이를 효율적으로 제어하기 위해서는 CPLD 소자가 필요하고, 이 제어 로직에 따라 스위치를 제어하도록 설계하였다.

3. 결론

VPN, VLAN, MPLS 등 새로운 기술들에 대한 유연성 및 Wire-Speed로 대표되는 고속의 패킷 처리 능력을 위해 등장한 네트워크 프로세서를 이용하여 포워딩 엔진 보드를 설계하였다. 본 논문에서 제안한 포워딩 엔진 제어 보드는 크게 라인 프로세서 모듈, 네트워크 프로세서 모듈, 가입자 물리층 모듈로 구성되어 있다. 제안한 포워딩 엔진 보드에서는 네트워크 프로세서에서 기본적으로 제공하는 인터페이스를 보드 식별자 및 펌웨어의 네트워크 프로세서 인터페이스 설정을 통해 POS 가입자, 기가비트 이더넷 가입자 및 EPON 가입자 물리층 보드를 다양하게 탑재하여 사용할 수 있도록 설계하였다. 또한, 스위치 인터페이스에 있어서는 DASL 스위치 인터페이스 및 CPLD 소자를 적용하여 스위치와 네트워크 프로세서간의 제어 방식에 따른 차이점을 해결할 수 있도록 설계하였다.

참고문헌

- [1] Werner Bux 외 4명, "Technologies and Building Blocks for Fast Packet Forwarding", IEEE Communication Magazine, pp70~77, 2001. 1.
- [2] Linda Geppert, "The New Chips on the Block"IEEE Spectrum, pp66~68, 2001. 1.
- [3] IBM Power NP NP4GS3 Databook, Ver. 10, IBM, 2002.
- [4] IBM PowerPRS Q-64G Databook, , Ver. 2.0, IBM. 2002. 8.