

QoS 측정 기반의 신경망을 이용한 연결 수락 제어기에 관한 연구

이 영 주 *, 변 재 영, 정 석 진, 김 영 철

전남대학교 전자공학과

광주광역시 북구 용봉동 300, 500-757

e-mail : yjlee@neuron.chonnam.ac.kr *

Study on the Connection Admission Controller Using QoS Measurement based Neural Network

Young-Ju Lee *, Jae-Young Pyun, Suk-Jin Jung, Young-Chul Kim

Dept. of Electronic Eng., Chonnam National University

e-mail : yjlee@neuron.chonnam.ac.kr *

Abstract

In this paper, a new connection admission controller using neural network is presented. The controller measures traffic flow, cell loss rate, and cell delay periodically. Using those measured information, it learns the distributions of traffics from different classes in order to guarantee the QoS of each traffic. Also the proposed controller is able to measure and manage the delays that source traffics experience through the network by using DWRR multiplexer with buffers dedicated to each traffic source. Experimental result show that the proposed controller can control effectively heterogeneous traffic sources with various QoS requirement.

1. 서론

ATM망은 모든 정보를 고정된 크기의 셀 단위로 하나의 전송링크에 통계적인 다중화를 하기 때문에 망 자원의 이용을 극대화 할 수 있지만 간헐성(burstiness)이 큰 트래픽들의 순간적인 폭주현상으로 인해 셀 손실 및 셀 지연을 피할 수 없게된다. 따라서 망 자원의 극대화와 트래픽의 서비스 요구를 동시에 충족시키기 위해서는 호 설정단계에서부터 적극적인 트래픽 제어가 요구된다.

본 논문에서는 대표적 예방 제어 방법인 연결 수락 제어 알고리즘을 신경회로망을 이용하여 구현하였다. 기존 제안되어진 신경회로망 호 수락제어기는 대

부분 FIFO방식의 스케줄링을 이용하는 다중화기의 출력 버퍼의 트래픽 정보를 학습한다. 이때 학습되는 정보는 모든 클래스의 트래픽들에 의해서 발생하는 평균 셀 손실률이기 때문에 가장 엄격한 QoS를 요구하는 트래픽에 기준을 두고 호 수락 결정을 내려야 하며, 버퍼에서의 셀 지연은 호 설정 단계에서 고려하지 않고 있다. 따라서 이러한 방식의 호 수락 제어기는 다양한 QoS를 요구하는 상이한 트래픽들이 다중화 될 때 효과적인 제어를 할 수 없다. 본 논문에서 제안한 알고리즘은 이러한 방식의 단점을 극복하기 위해 다음과 같은 신경망 연결 수락 제어기를 제안하였다.

제안한 제어기는 각 트래픽 소스에게 전용된 버퍼를 가지고 있는 DWRR 다중화기를 사용하고 있으며, 신경망의 학습 패턴으로는 같은 셀 손실 요구를 가지고 있는 트래픽들을 같은 클래스로 분류하여 클래스별 셀 발생률과 셀 손실률 및 셀 지연을 측정한다. 데이터를 사용하였다. 또한 망내에서 지연 한계를 초과하고 있는 셀들을 폐기함으로써 이를 셀 손실률에 반영하고 셀 지연 상황을 신경회로망에 학습하여 호 설정 시부터 적극적으로 지연 발생을 예방할 수 있도록 하였다.

본 논문의 구성은 다음과 같다. 2절에서는 제안한 알고리즘에 대해 설명하였고, 3절에서는 시뮬레이션을 통해서 제안한 알고리즘의 성능을 검증하였으며, 4절에서는 결론을 기술하였다.

2. 제안한 신경망 호 수락제어

호 수락제어는 network에 의해 호 설정 단계에서 하나의 가상경로 혹은 하나의 가상 채널의 요구에 대해 허가/거절을 결정하는 것을 말한다^[1]. 일반적으로 호 수락제어 알고리즘은 수학적 모델의 해석에 기초한 방법^[2], 등가대역에 의한 방법^[3], 트래픽 측정에 기초한 방법^[4], 신경회로망에 의한 방법^[5-8]등을 이용하여 연구를 수행하고 있다.

본 논문에서 제안한 호 수락제어 알고리즘은 각 클래스의 서비스 품질을 고려하기 위해서 같은 QoS를 요구하는 트래픽들을 같은 클래스로 분류하여 임의의 시간 구간동안의 셀 발생률과 셀 손실률 및 셀 지연을 클래스별로 측정하고, 이를 학습하여 발생된 트래픽 부하에 대한 수락과 거절을 결정할 수 있는 함수를 찾는 것이다. 또한 제안한 알고리즘은 버퍼에서 허용할 수 있는 지연 한계를 위반한 셀들을 폐기함으로써 이 폐기되어진 셀들을 셀 손실률에 반영하고 버퍼에서 셀들이 경험하는 셀 지연을 신경망에 학습하도록 하여 지연 민감 트래픽들을 효율적으로 제어하도록 하였다. 이를 구현하기 위해 본 논문에서는 DWRR 알고리즘^[9]을 제안한 알고리즘에 적합하도록 다중화기에 구현하였으며, 그림 1과 같이 연결 수락제어기를 모델링 하였다.

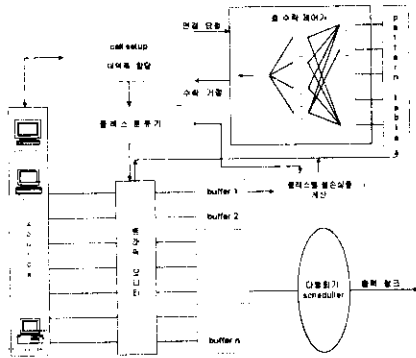


그림 1. 호 수락제어기 모델.

2.1 트래픽 측정 방법

신경망 제어가 뛰어난 성능을 발휘하기 위해서는 트래픽의 흐름에 대한 망의 서비스 제공 능력을 얼마나 잘 학습하는지에 따라 크게 달라지므로, 좋은 학습 패턴을 찾는 알고리즘이 필수적이다. 따라서 다음과 같이 트래픽을 측정하여 패턴을 생성하는 방법을 이용하였다. 그림 2와 같이 트래픽의 측정 구간 T를 설정하고, 측정 주기를 아래와 같이 갱신하여 측정구간을 overlap한다.

$$\frac{(n-1) \times T}{2} \sim \frac{(n+1) \times T}{2}, \quad n = 1, 2, \dots$$

따라서 T/2 시간 간격으로 측정된 데이터를 임시 버퍼에 저장해야 한다. 이에 대한 이유는 과거의 주기에 발생한 트래픽이 현재의 주기에 발생한 호들의 트래픽과 합쳐지게 되어 최근에 발생한 트래픽 정보가 과거에 발생한 정보에 의해 크게 영향을 받을 수 있기 때문이다. 신경회로망의 입력 패턴은 측정 구간 동안 클래스별로 발생한 셀 수를 링크용량으로 정규화한 값으로 하고, 출력 값은 발생된 셀 패턴에 대한 셀 손실률과 버퍼 지연을 클래스별로 측정하여, 모든 클래스들이 목적 셀 손실률과 지연을 만족하면 -0.5, 그렇지 않으면 0.5로 한다. 또한 버퍼에서 지연을 위반하여 폐기되어진 셀도 셀 손실률에 포함을 한다. 따라서 패턴 테이블에 저장되는 정보는 다음과 같다.

입력 패턴 = { AR₁, AR₂, ..., AR_i; Target },
 여기서,
 AR_i : 신경망의 입력값(클래스 i의 셀 발생률),
 Target : 신경망의 출력값(-0.5 or +0.5).

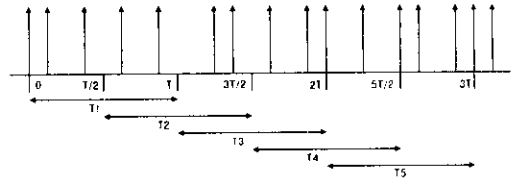


그림 2. 트래픽 측정 방법.

2.2 제어 알고리즘

가. 어떤 측정구간 동안에 얻은 정보를 패턴 테이블에 저장한다
 나. 만약 어떤 측정구간에 QoS 위반 패턴이 발생되면 1을, 그렇지 않으면 0을 임시 버퍼에 기록한다.
 다. 만약 새로운 호가 연결 요청을 해오고, 임시 버퍼의 값이 1이면,
 1. 그 구간 동안 기존 호의 해지가 없을 경우 새로 요청한 호는 거절된다.
 2. 같은 구간 동안 호의 해지가 있었다면, 그 시점까지의 측정결과와 새로운 호의 등가대역 이용률을 해당 클래스에 가산하여 신경망 제어기에 입력한다.
 라. 새로운 호가 연결 요청을 해오고, 임시 버퍼의 값이 0이면 그 시간까지의 측정결과와 새로운 호의 등가대역 이용률을 해당 클래스에 가산하여 신경망 제어기에 입력 한다.

3. 모의 실험

3.1 트래픽 모델링

본 실험에서는 지연 민감한 트래픽을 위해 on-off 모델은, 손실 민감한 트래픽과 손실과 지연에 민감한 트래픽을 위해서는 IPP 모델을 이용하였으며, 실험에 사용한 파라미터와 변수들은 표 1에 나타내었다. 제안한 알고리즘은 참고 문헌 [3]의 등가 대역 할당 알고리즘을 참조하여, 실험을 통해 찾은 최적의 등가 대역을 이용한 제어 방법과 성능을 비교하였다. 따라서 이 등가 대역 제어 방법은 시뮬레이션에 의해 최적의 등가 대역을 구했기 때문에 본 시뮬레이션 환경에서는 최적의 해라 할 수 있다. 또한, 학습하지 않은 트래픽을 실험에 사용하여 트래픽 환경의 변화에 대한 제안한 제어기의 유연성을 실험하였으며, 제안한 알고리즘(실험 2)가 이에 대한 실험 결과이다.

표 1. 실험에 사용된 파라미터 및 변수들.

구분	클래스 1	클래스 2	클래스 3
지연 민감	○	○	
손실 민감		○	○
평균 on구간	0.2 ms	0.05 ms	0.01 ms
평균 off구간	0.4 ms	0.2 ms	0.1 ms
목표 셀 손실	0.01	0.001	0.001
목표 셀 지연	0.01 초	0.03 초	0.5 초
최대 셀 속도	50	100	200
버퍼 크기	2	3	3
실험시간	200000 time slot(200초)		
실험 환경	SPARC 20		
holding time	평균 20초의 지수함수 분포		
호도착률	평균 0.3초의 지수함수 분포		
링크 용량	1000cell/sec(1000 time slot/sec)		
학습하지 않은 트래픽의 변경된 파라미터			
평균 on구간	0.3ms	0.05ms	0.01ms
평균 off구간	0.6ms	0.3ms	0.08ms

3.2 실험 결과

제안한 알고리즘에 대한 성능 평가를 위해 실험에 사용한 QoS 파라미터는 셀 손실률과 셀 지연으로 하였으며, 지연에 대한 성능평가를 위해 지연 허용치를 위반한 셀을 이용하여 간접 평가를 하였다. 즉, 지연 허용치를 위반하여 폐기되어진 셀이 많을수록 버퍼에서의 지연 시간이 크다는 것을 의미한다.

그럼 3.4.5는 클래스별로 측정 구간마다 발생하는 셀 손실률과 망내에 다중화되는 호원의 수를 보여 주고 있으며, 표 2는 망내에서 지연 허용치를 위반하여 폐

기되어진 셀 수를 % 비율로 나타 내고있다. 그럼에서 알 수 있듯이 제안한 알고리즘은 등가 대역 제어 결과에 비해 조금 더 높은 셀 손실률을 보여 주고 있지만, 두 방법 모두 목표로 하는 셀 손실률을 잘 보장해주고 있음을 알 수 있다. 그렇지만 망 내에 다중화된 호수는 제안한 알고리즘이 등가대역을 이용한 방법 보다 전체적으로 더 높게 나타나고 있다. 표 2는 망 내의 버퍼 지연 결과를 보여 주고 있는데 제안한 방법과 등가 대역 방법의 결과가 거의 비슷한 수준이며, 두 방법 모두 각 클래스에 대해 불과 0.0001% 정도의 극소수의 셀들이 지연 한계를 위반하였다. 한가지 중요한 사실은 제안한 알고리즘은 학습을 하지 않은 트래픽을 적용한 실험, 즉 제안한 알고리즘(실험 2)에서도 각 트래픽들의 QoS를 잘 만족시키고 있음을 알 수 있다.

따라서 제안한 알고리즘은 3개 클래스 트래픽들의 QoS를 모두 만족시키면서, 할당된 대역을 효율적으로 사용하였음을 알 수 있고, 트래픽의 상황이 변화하더라도 크게 영향을 받지 않는 유연성을 가지고 있음을 확인하였다. 이 실험은 신경망을 300개의 대표 패턴만을 가지고 off-line 학습하여 사용한 결과를 호수락 결정함수로 사용하였지만, 실제 ATM 망 운용시에 on-line 학습을 하여 망의 상태를 학습한다면 좋은 성능을 기대할 수 있을 것이라 생각된다.

표 2. 버퍼 지연 한계 초과한 셀 수. (단위 : %)

구분	제안한 알고리즘(실험 1)	등가대역	제안한 알고리즘(실험 2)
클래스1	4.2×10^{-4}	3.8×10^{-4}	6.6×10^{-4}
클래스2	7.8×10^{-3}	6.6×10^{-3}	2.4×10^{-4}

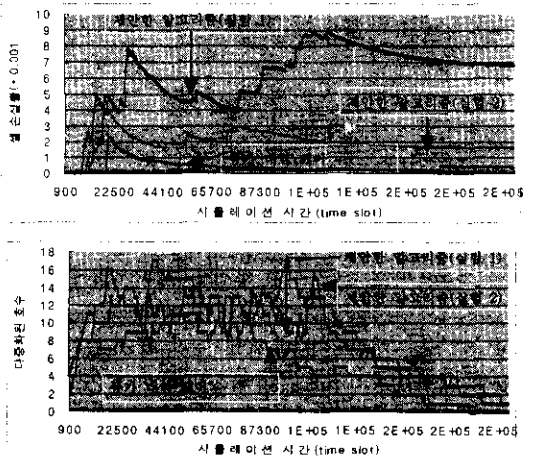


그림 3. 클래스 1에 대한 실험 결과.

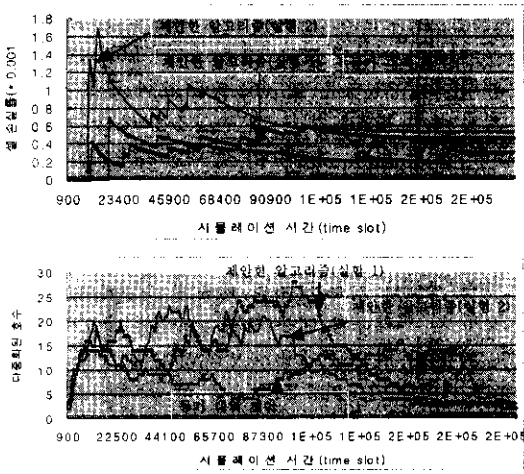


그림 4. 클래스 2에 대한 실험 결과.

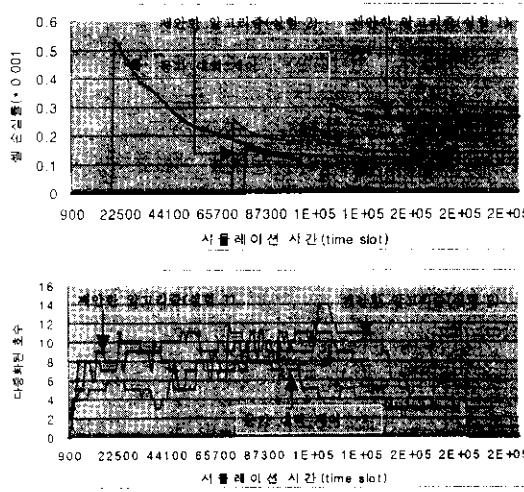


그림 5. 클래스 3에 대한 실험 결과.

4. 결 론

본 논문에서는 다중화되는 트래픽 전체의 평균적인 성능을 보장하는 방법보다는 각 클래스의 QoS를 동시에 보장해 줄 수 있는 호 수락제어 알고리즘을 위해 신경회로망을 이용하는 방법을 제안하였다. 또한, 호 수락단계에서부터 지연 민감한 트래픽들의 지연문제 해결 고려할 수 있도록 망 내에 지연 허용치를 위반한 셀들을 폐기하여 이 폐기된 셀을 이용하여, 망내의 지연현상을 신경회로망 제어기에 학습하도록 하였으며, 이를 위해 DWRR 알고리즘을 본 제어기의 다중화기 알고리즘으로 채택하였다. 제안한 호 수락제어기는 지

연 허용치를 위반하여 폐기되어진 셀들에 관한 정보를 얻을 수 있도록 알고리즘을 구현한다면 전용 버퍼가 아닌 공통 버퍼를 사용하는 ATM 노드에도 적용할 수 있을 것이라 생각된다.

참고문헌

- [1] Recommendation I.371, Traffic Control And Congestion Control In B-ISDN (Perth, November 1995).
- [2] T. Kamitake, T. Suda "Evaluation of an Admission Control Scheme for ATM Network Considering Fluctuation in Cell Loss Rate," in Proc. IEEE GLOBECOM '89, pp. 49.4.1-49.4.7, 1989.
- [3] Michael Ritter, Phuoc Tran-Gia, "Multi-Rate Models for Dimensioning of ATM Networks," *Interim Report*, June 1994.
- [4] H. Saito, K. Shinomoto "Dynamic Call Admission Control in ATM Networks," IEEE JSAC. vol. 9, no. 7, pp. 982-989, Sep., 1991.
- [5] Hiramatsu, A., "Integration of ATM Call Admission Control and Link Capacity Control by Neural Networks," IEEE J. Sel. Areas in Commun., 9, 9, pp. 1131-1138, September 1991.
- [6] P. Tran-Gia and O. Gropp, "Performance of a Neural Net used as Admission Controller in ATM Systems," Proc. Globecom 92, Orlando, FL, pp. 1303-1309.
- [7] Richard Ogier and Nina T. Plotkin, "Neural Network Methods with Traffic Descriptor Compression for Call Admission Control," IEEE Infocom Proceedings, March 1996.
- [8] Ben Yuhua, Neural Networks in Telecommunications, Kluwer Academic Publishers, Second Printing 1995.
- [9] Chiung-Shien, Gin-Kou, and Bao-Shuh P. Lin, "A Cell Scheduling Algorithm for VBR Traffic in an ATM Multiplexor", GLOBECOMM'95, Singapore, pp. 632-637, September 1995.