

# 실리콘기판 효과를 고려한 전송선 파라미터 추출 및 신호 천이

유한중, 어영선  
한양대학교 전자공학과

## Parameter Extraction and Signal Transient of IC Interconnects on Silicon Substrate

Hanjong Yoo and Yungseon Eo  
Dept. of Electronic engineering, Hanyang University  
e-mail : hjyoo@iel.hanyang.ac.kr  
eo@iel.hanyang.ac.kr

### Abstract

A new transmission line parameter extraction method of IC interconnects on silicon substrate is presented. To extract the accurate parameters, the silicon substrate effects were taken into account. Since the electromagnetic fields under the silicon substrate are propagated with slow wave mode, effective dielectric constant and different ground plane with the multi-layer dielectric structures were employed for inductance and capacitance matrix determination. Then accurate signal transients simulation were performed with HSPICE by using the parameters. It was shown that the simulation result has an excellent agreement with TDR/TDT measurement.

### 1. 서론

실리콘 반도체 제조 공정의 고도화에 따라 현재 수천만 개의 트랜지스터를 하나의 칩속에 집적시키는 공정 기술이 가능하게 되었다. 집적회로의 집적도와 속도의 급속한 진전에 따라 칩내에서 인터컨넥트의 평균 길이가 길어질 뿐만 아니라 칩면적에서 차지하는 비율이 약 80% 이상이 되고 있다. 때문에 오늘날의 VLSI 회로의 성능에 인터컨넥트는 지대한 영향을 미치고 있다. 따라서 칩내의 인터컨넥트에 관한 정확한 전기적 특성 분석 및 물리적 현상에 대한 이해가 필수적이다. 그래야만이 정확한 신호의 지연, 크로스톡, 신호의 변형등과 같은 인터컨넥트 관련 문제를 해결할 수 있다.

현재까지 실리콘 칩내의 인터컨넥트 신호특성을 분

석할 때 인덕턴스의 영향은 무시하고 커패시턴스와 레지스턴스만을 고려한 RC 회로모델을 사용하여 인터컨넥트 관련 문제를 해결해 왔다. 하지만 클럭 속도가 수백 MHz 대역으로 증가함에 따라 GHz 내역의 클럭 밴드위드스를 요하게 되어 칩내에서 인덕턴스의 영향은 무시할 수 없는 중요한 요인이 되고 있다. 따라서 인터컨넥트 관련 문제에서 인덕턴스를 고려하는 것은 이제 필수적이라 할 수 있다.

그러나 현재 나와있는 칩내의 인터컨넥트의 계산 방법이나 상용화된 CAD tool들은 실리콘 기판에서의 인터컨넥트의 인덕턴스 계산시 상당한 오차를 보이고 있기 때문에 파라미터 추출 시뮬레이션시 커패시턴스와는 달리 정확도가 커다란 문제로 부각되어 왔다. 이는 실리콘 기판에서는 일반적인 마이크로 스트립 혹은 스트립라인과 같은 TEM 모드로 전파가 형성되지 않음에도 불구하고 단순한 TEM 모드를 가정하고 인덕턴스를 계산하기 때문이다[1]. 즉 보통의 실리콘 집적회로 내부의 배선은 옥사이드와 실리콘으로 구성된 유전체 위에 위치하기 때문에 대부분의 신호는 quasi-TEM 모드라기 보다는 slow wave 모드로 전파가 전달된다. 본 논문에서는 이러한 실리콘 칩내의 slow wave 모드 현상들을 고려하여 정확한 IC 인터컨넥트 파라미터를 계산하는 새로운 방식을 제시하고 이의 타당성을 실험적으로 검증한다.

본 논문의 구성은 먼저 실리콘 기판에 의한 영향에 대해 설명한 후에 Green 함수를 이용한 커패시턴스 계산 및 인덕턴스 계산 방법을 기술한다[2][3][4]. 마지막으로 본 논문의 방법의 타당성을 시뮬레이션과 실험을 통해 검증한다.

## 2. 실리콘 기판 효과

실리콘 기판을 사용한 집적회로에서 전자파가 전달되는 모드는 대부분의 경우 slow wave 모드로 전달되며 아주 높은 고주파 성분만 quasi-TEM 모드로 전달된다. 따라서 집적회로 상의 펄스 신호는 대부분의 신호 주파수 스펙트럼이 수 GHz 이내에 에너지가 분포하기 때문에 slow wave 모드로 전달된다. Slow wave 모드하에서는 전계는 옥사이드 층을 투과 할 수 있지만 실리콘 기판은 투과 할 수 없기 때문에 전계에 의한 에너지는 실리콘 표면을 그라운드 면으로하여 전달된다고 볼 수 있다. 반면에 slow wave 모드에서 자계는 옥사이드 뿐 아니라 실리콘까지 투과하기 때문에 실리콘의 아랫면을 그라운드로하여 자계에너지가 전달된다고 볼 수 있다. 따라서 PCB (Printed Circuit Board) 혹은 패키지에서 사용하는 단일 유전체 구조에서와 같이 quasi-TEM 모드를 가정한 전송선을 해석하는 것은 정확하지 않다. 이는 다시 말해서 slow wave 모드하에서 전송선의 커패시턴스는 전계에 의한 포텐셜과 전하와의 상관 계수이기 때문에 실리콘의 표면을 그라운드로 가정하고 계산해야하며 인덕턴스는 자계에 의한 플럭스 링키지(flux linkage)와 전류의 상관 계수이기 때문에 실리콘 밑면을 그라운드로 가정하고 계산하여야 한다는 것을 의미한다. 따라서 본 논문에서는 커패시턴스와 인덕턴스 파라미터를 계산하기 위하여 다층 유전체를 가정한 Green 함수로부터 커패시턴스를 계산하고 실리콘 기판을 고려한 인덕턴스 모델과 다층유전체 구조의 커패시턴스로부터 실효 유전상수를 추출하여 인덕턴스 파라미터를 계산한다. 이들에 관하여 다음절에서 설명한다.

## 3. 실리콘 기판에서 커패시턴스 파라미터

커패시턴스의 계산은 일반적으로 전하의 분포와 포텐셜로 표현되는 적분방정식을 풀어야한다. 적분 방법을 이용한 커패시턴스의 계산에서 가장 중요한 것은 도체 표면에 존재하는 전하 밀도의 크기이다. 도체 표면에서의 실질적인 전하 분포는 연속적인 값을 갖지만 계산의 편의상 그림 1처럼 도체 표면을 적당한 크기의 미소 구간으로 분할해서, 각 구간에서의 전하 밀도를 구한다. 계산시 전하 밀도는 각 구간내에서 균일한 전하 분포를 갖는다고 가정한다. 도체가 갖고 있는 전하량을 Q, 도체표면의 전위를  $\phi$ 라고 하면 전하량과 전위 및 커패시턴스 C는 다음과 같은 전하 방정식으로 표현할 수 있다.

$$Q=C\phi \tag{1}$$

따라서 그라운드 평면 위에 n개의 도체가 존재한다면

도체들 상호간에는 다음과 같은 관계가 성립한다.

$$Q_1=C_{11}\phi_1+C_{12}(\phi_1-\phi_2)+\dots+C_{1n}(\phi_1-\phi_n)$$

$$Q_2=C_{21}(\phi_2-\phi_1)+C_{22}\phi_2+\dots+C_{2n}(\phi_2-\phi_n)$$

$$Q_n=C_{n1}(\phi_n-\phi_1)+C_{n2}(\phi_n-\phi_2)+\dots+C_{nn}\phi_n$$

즉 임의의 도체 i에서 전하는

$$Q_i=C_{ii}\phi_i+\sum_{j=1}^n C_{ij}(\phi_i-\phi_j) \tag{2}$$

가되고 여기서  $Q_i$ 는 도체i의 전하량,  $\phi_i$ 와  $\phi_j$ 는 도체i와 j의 표면 전위, 그리고  $C_{ij}$ 는 도체i와 그라운드 평면사이의 관계를 나타내는 셀프 커패시턴스이고  $C_{ij}$ 는 도체i와 j사이의 커플링 커패시턴스이다. 따라서 전하와 포텐셜의 관계를 위하여 그림 2에서와 같은 영상 전하를 도입하여 점(x',y')에 단위전하가 존재한다고 가정하면 이 단위 전하에 의해 주변에는 전계가 발생하고 이고인한 전위를 계산 할 수 있다. 즉, 점(x',y')를 source point, 점(x,y)를 field point라 하면 단위 전하에 의해서 점(x,y)에 나타나는 전위를 다음과 같은 Green 함수 G(x,y|x',y')로 나타낼 수 있다[2][3][4].

$$G(x,y|x',y')=\frac{1}{2\pi\epsilon_0}\ln\left\{\frac{(x-x')^2+(y+y')^2}{(x-x')^2+(y-y')^2}\right\}^{1/2}$$

$$=\frac{1}{4\pi\epsilon_0}\ln\left\{\frac{(x-x')^2+(y+y')^2}{(x-x')^2+(y-y')^2}\right\} \tag{3}$$

여기서 분모 부분은 그라운드 평면 상측에 존재하는 실제 전하에 의해서 나타나는 전위의 성분이고, 분자 부분은 그라운드 평면 아래에 유기되는 영상 전하에 의해서 나타나는 전위 성분이다. 즉 그라운드 평면에서 +y되는 위치에 전하가 존재할 때 그라운드 평면아래로 -y되는 위치에 크기는 같지만 부호가 반대인 전하를 고려해 주는 것이다. 그림 1과 같이 도체의 표면을 미소길이를 갖도록 나누어 주변, 각 미소길이의 중점은 (x,y)의 2차원 좌표를 이용하여 나타낼 수 있다. 만약 점(x',y')를 포함하는 미소길이  $\Delta l$ 내에서는 크기가  $\sigma_l$ [C/m]로 균일한 전전하 밀도 분포를 갖는다고 하면 이  $\Delta l$  내에서의 전체 전하량은 전전하 밀도  $\sigma_l$ 의 값에 미소길이  $\Delta l$ 를 곱한 값이기 때문에 점(x,y)에서의 전위는 미소길이  $\Delta l$  내에서의 전체 전하량과 Green함수의 곱으로 주어진다.

$$\phi(x,y)=\int_{\Delta l} G(x,y|x',y')\sigma_l(x',y')dl \tag{4}$$

또한 유전체 경계면에서는 변위 벡터  $D(=\epsilon E)$ 의 수직성분이 연속이되는데 먼저 식(4)를 미분하여 전계에 대한 식을 얻을 수 있다.

$$E(x,y)=-\nabla\phi(x,y) \tag{5}$$

특히 유전체-유전체 경계면에서의 전계(x,y)는 Gauss의 법칙을 이용하면 다음과 같이 된다.

$$E(x, y) = -\nabla \Phi(x, y) + \frac{\sigma_f(x, y)}{2\epsilon_n} \quad (6)$$

각 유전체 경계면에서 변위벡터  $D(x, y)$ 는 수직성분( $y$  성분)이 연속이다. 즉,

$$\epsilon_1 E_1 = \epsilon_2 E_2 \quad (D_1 = D_2) \quad (7)$$

이 되고 식(7)에 식(6)을 대입한 후 정리하면 다음과 같은 식을 얻을 수 있다.

$$\frac{(\epsilon_1 + \epsilon_2)\sigma(x, y)}{2\epsilon_n(\epsilon_1 - \epsilon_2)} + \sum_{i=1}^N \frac{\sigma(x, y)}{2\pi\epsilon_n} \cdot \left[ \int_{y'} \left( \frac{(y-y')}{(x-x')^2 + (y-y')^2} - \frac{(y+y')}{(x-x')^2 + (y-y')^2} \right) dl_i \right] = 0 \quad (8)$$

그러면 도체-유전체 경계면에서의 전위에 대한 식(4)와 유전체-유전체 경계면에서의 전계에 대한 식(7)을 이용하여 구한 총 표면 전하 밀도를 사용하여 커패시턴스를 구할 수 있다. 식 (3)에서 (8)까지의 식을 사용하면 slow wave 모드하에서 인터컨넥트의 커패시턴스를 계산 할 수 있다.

#### 4. 실리콘기판에서 인덕턴스 파라미터

기존의 실리콘 기판에서 커패시턴스의 계산은 전절에서 기술한 바와 같이 실리콘 표면을 그라운드 평면으로 고려한 마이크로 스트립 구조로 부터 커패시턴스를 계산 할 수 있다. 그러나 이러한 방법은 단순히 커패시턴스만을 계산할 때 타당하다. 실리콘 기판에서 인터컨넥트의 인덕턴스의 계산을 위한 많은 시도가 있었는데 [2]에서는 다음과 같은 식을 이용하여 계산하였다.

$$[L] = \mu_0 \epsilon_n [C]^{-1} \quad (9)$$

사실 (9)식은 유전상수 값을 고려하지 않고 구조적인 면만을 고려한 식이기 때문에 실제의 실험값과 상당한 오차를 유발하게 된다. 본 논문에서는 이러한 문제를 해결하기 위해서 실리콘 기판상의 단일 전송선의 인덕턴스로부터  $\epsilon_{\text{eff}}$ 를 계산하여 다수의 전송선으로 확장하여 인덕턴스 파라미터 행렬을 계산한다.

실리콘 기판에서 단일 전송선의 경우에 인덕턴스는 식 (10)과 같이 모델링 된다[5].

$$L = \mu_0 \frac{1}{2\pi} \ln \left[ \left( \frac{h}{0.59w} + 1.1 \right) - 0.5 + \sqrt{\left( \frac{h}{0.59w} + 1.1 \right)^2 - 1.05} \right] \quad (10)$$

식 (10)은 실리콘 집적회로 IC 인터컨넥트 구조에 대하여 실험치와 잘 일치한다. 따라서 그림 3과 같이 실리콘 기판을 포함하는 다중 유전체 구조에 대하여 제 3절과 유사한 방법으로 단일 전송선에 대한 커패시턴스

C를 계산하여 다음과 같이 실효 유전상수  $\epsilon_{\text{eff}}$  (effective dielectric constant)를 계산 할 수 있다.

$$C_s L_s = \mu_0 \epsilon_n \epsilon_{\text{eff}} \quad (11)$$

여기서  $\epsilon_{\text{eff}}$  는 옥사이드와 실리콘의 기판특성을 포함하는 실효 유전상수 (effective dielectric constant)이며 이는 다수 도체 시스템에도 그대로 사용할 수 있기 때문에 이  $\epsilon_{\text{eff}}$ 를 이용하여 다음과 같이 실리콘 기판위에 있는 인터컨넥트의 인덕턴스를 계산 할 수 있다.

$$[L] = \mu_0 \epsilon_n \epsilon_{\text{eff}} [C_s]^{-1} \quad (12)$$

식(12)로 계산한 인덕턴스는 그림 4에서 보인 바와 같이 측정치와 잘 일치한다.

#### 5. 시뮬레이션 및 실험을 통한 검증

그림 5와 같은 화로에 대하여 고주파 영역의 TDR/TDT 실험과 더불어 본 논문에서 설명한 방법으로 계산한 파라미터들을 이용하여 신호의 천이에 대한 화로 시뮬레이션을 실행하였다. 인터컨넥트의 폭은  $1\mu\text{m}$ 이고 두께는  $1.2\mu\text{m}$  인터컨넥트들 사이의 간격은  $0.8\mu\text{m}$ 이다. 또한  $\text{SiO}_2$ 의 두께는  $0.8\mu\text{m}$ 이고 Si의 두께는  $200\mu\text{m}$ 이다. 그림 6에서 보는 바와 같이 TDR/TDT 측정과 본 논문에서 제시한 파라미터 추출 방법을 사용한 시뮬레이션 결과와 실험 값이 매우 잘 일치한다. 단순한 RC 모델은 크로스톡을 정확히 예측하지 못하는 것을 알 수 있으며 이는 인덕턴스를 고려하지 않았기 때문이다.

#### 6. 결론

본 논문에서는 실리콘 기판을 사용한 IC 인터컨넥트에서의 정확한 전송선 파라미터를 계산 할 수 있는 새로운 방법을 제시하였다. 특히 인덕턴스의 계산은 실리콘 기판의 효과를 고려한 실효유전상수 (effective dielectric constant) 및 다중 유전체 구조의 커패시턴스를 사용하여 인덕턴스를 계산하였다. 그러므로 커패시턴스와 인덕턴스 시뮬레이션시 따로 수행해야하는 번거로움을 피할 수 있고, 보다 정확한 결과를 얻을 수 있다. 제안한 방법을 검증하기 위하여 제안한 방법으로 계산한 파라미터를 이용하여 화로 시뮬레이션 한 것과 TDR/TDT 측정 결과를 비교하여 결과가 잘 일치함을 보였다. 본 논문에서 제시한 파라미터 계산은 집적회로 설계용 CAD 툴의 전처리 과정 혹은 타이밍 조건을 만족시키기 위한 배선 설계 및 시그널 인테그리티 검증용을 위하여 유용하게 사용 할 수 있다.

#### 참고문헌

[1] Hideki Hasegawa, Mieko Furukawa, and Hisayosi

Yamai, "Properties of Microstrip Line on Si-SiO<sub>2</sub> System," IEEE Trans. MTT, vol. MTT-19, pp. 869-881, Nov. 1971.

- [2] Cao Wei, et al, "Multiconductor transmission Lines in Multilayered Dielectric Media," IEEE Trans. MTT vol. 32, no. 4, pp. 439-450, Apr. 1984.
- [3] William T. Weeks, "Calculation of Coefficients of Capacitance of Multiconductor Transmission Lines in the Presence of a Dielectric Interface," vol. 18, no. 1, pp. 35-43, Jan. 1970.
- [4] Chen. P. Yuan, "Modeling and Extraction of Interconnect Parameters in Very-Large-scale Integrated Circuits," Ph.D. Thesis, University of Illinois at Urbana-Champaign, 1983.
- [5] Yungseon eo and William R. Eisenstadt, "High-Speed VLSI Interconnect Modeling Based on S-parameter Measurements," IEEE Trans. CHMT, vol. 16, no. 5, pp. 555-562, Aug. 1993.

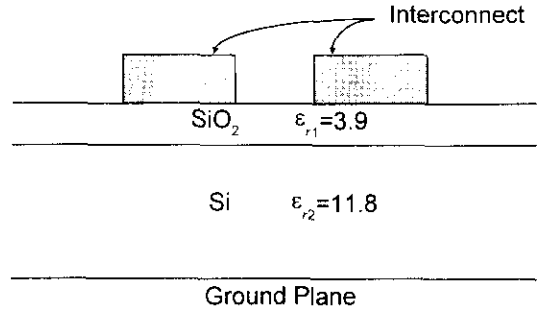


그림 3. 인덕턴스를 계산하기 위한 구조

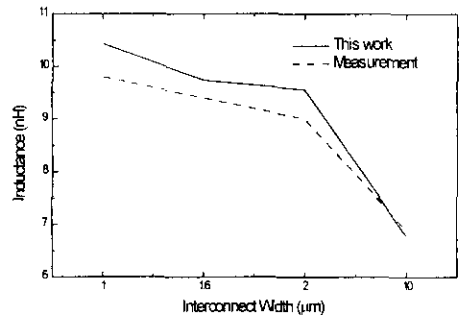


그림 4. 측정된 인덕턴스와 본 논문의 방법

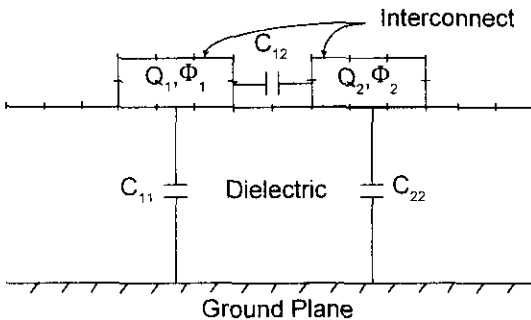


그림 1. 커패시턴스의 관계

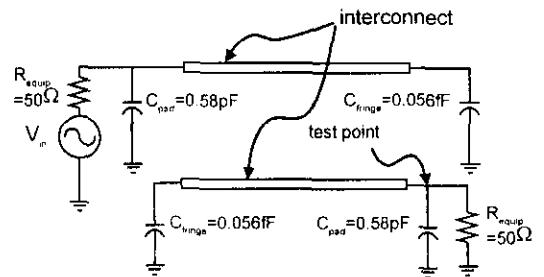


그림 5. 회로 시뮬레이션을 위한 구조

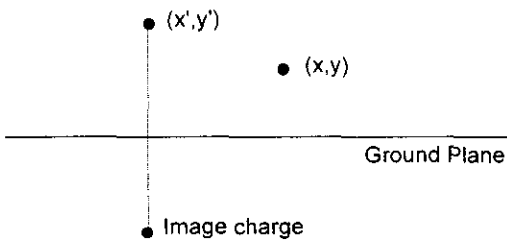


그림 2. 영상 전하

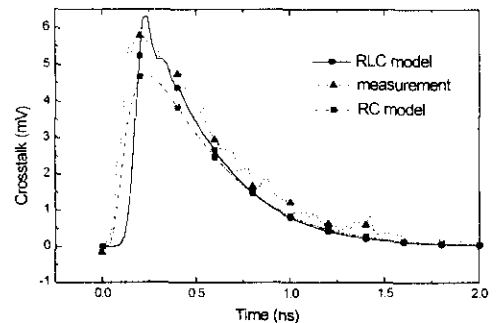


그림 6. 크로스톡 신호의 전이 파형